

研究課題別中間評価結果

1. 研究課題名： ロバストファブリックを用いたディペンダブル VLSI プラットフォーム

2. 研究代表者： 小野寺 秀俊（京都大学大学院情報学研究科 教授）

3. 研究概要

微細化の限界に近づくにつれ、VLSI の製造性が急速に劣化するとともに、デバイス特性のばらつきが顕在化してきた。動作にともなう特性の劣化も深刻化している。回路中の電荷量の減少により雑音や宇宙線への耐性が低下している。これらの要因で発生する物理的、自然現象的フォールトは VLSI のディペンダビリティを毀損する深刻な原因である。

ディペンダビリティ以外にも、VLSI システムの持続的発展を阻害する要因として、マスクコストなどの NRE コストの急騰が問題となっている。この問題を解決する有力候補が再構成可能 VLSI である。同一のチップで、要求されるディペンダビリティの異なる多様なアプリケーションを効率よく実現することが、産業上強く求められている。

本研究では、素子寸法の極限的な微細化に伴って問題となってきたデジタル VLSI の製造性劣化や素子特性のばらつき、使用に伴う特性劣化、ならびに一過性雑音事象(ソフトエラー)によるディペンダビリティ低下を克服することを目的とし、搭載回路の再構成と特性の適応的調整が可能な VLSI プラットフォームを開発する。

4. 中間評価結果

4-1. 研究の進捗状況及び研究成果の現状

(課題、目標の設定)

ばらつきや経年劣化、雑音や宇宙線によるエラーに加えて開発費の増大という普遍的課題を設定し、回路からアーキテクチャまでを階層縦断的に取り組んでいるのは妥当であり、各グループの共通目標を再構成可能 VLSI プラットフォームにおいてチーム内連携で開発しているのは適切である。

(成果状況)

リングオシレータのアレーにより回路特性のばらつき成分を統計的性質により3つの成分に分離した。ランダム要因が分離できるので、製造容易で、高信頼のロバストファブリック設計とともに用いると微細化によるばらつき増大の影響抑制に効果があると期待される。

「信頼性可変再構成可能アーキテクチャ」では、機能部分の粗粒度化により構成情報メモリの規模を小さくすれば、ソフトエラー耐性を高めて、信頼性－性能のトレードオフを可能にするアーキテクチャが CMOS 技術で実現できることをチップ試作により示した。

回路レベルでは、放射線耐性の高いフリップ・フロップ、ばらつき耐性の高いフリップ・フロップの考案、実証がなされ、STARC を通じて公開されている。

(外部との連携)

半導体メーカ、JAXA、自動車メーカ、医療機器メーカ、通信機器メーカ、STARC との対話をはかってきている。

4-2. 今後の研究に向けて

実 Si で概念を検証する研究姿勢が個別の技術について成果に結びついている。今後は加えて、本研究でめざすシステム全体が民生用や宇宙用に本当に求められている製品にどうつながるか、産業技術にどのようなイノベーションをもたらすかの検討が求められる。

アーキテクチャについてまず宇宙応用に集中し次いで民生応用に拡大していくアプローチが有力と思われる。実際のアプリケーションを特定して「粗粒度機能部分」の具体化まで含めた実装設計、動作仕様のマッピング技術などを進展させてほしい。粗粒度として再構成情報を圧縮すればソフトエラー耐性が高まることは自明であるが、そこまで到達するとこの概念の有効性が実証され、本研究の課題設定のオリジナリティについても説得力が生まれる。そこに向けたマイルストーンとして、プラットフォームの完成度を上げ、外部協力機関との共用テストベッドとして提供できるところまで早期に到達させてほしい。

ロバストファブリック、耐ばらつきフリップ・フロップのような回路レベルの成果、あるいはばらつき分析技術については、とくに宇宙用というだけでなく直接半導体メーカーへの出口を求めるのが適当であり、これまでの連携を継続、発展させてほしい。

4-3. 総合的評価

VLSI は用途により異なるレベルのディペンダビリティが要求される製品であるが、これを物理階層からアーキテクチャ階層までを包含する縦断的な取り組みで実現しようとするビジョンを持つ研究である。微細化にともなう素子・回路の特性ばらつき特徴の統計的抽出、ばらつきに耐性を持つ回路、再構成アーキテクチャの構造などにつき、実 Si での実証を重視した研究により、上記のビジョンが詳細化され次のステップが見えるようになってきている。今後は外部とより強固に連携して出口目標を確立し、真にインパクトのある成果を生むことが期待される。継続推進が適当である。