

# ナノスケールデバイス設計に向けたデジタルファクトリの構築

株式会社日立製作所 基礎研究所 丸泉琢也

Development of a prototype evaluation system, digital factory, for materials and structure of future electronic devices in nanometer scale.

Takuya Maruizumi, Hitachi Ltd, Advanced Research Laboratory

## Abstract:

We have developed a prototype evaluation system, digital factory, for materials and structures of future electronic devices in nanometer scale. The system is composed of several simulation tools in different scale hierarchy; first-principles analysis of the materials, mesoscopic analysis of elasto-plastic deformation in the devices, particle-based carrier transport analysis of the electronic devices, and composite of these analyses. The results of each simulation can be compiled into a database in XML format through network with a usual web browser. Using this system, electronic and structural properties of insulating materials for ULSI usage and dislocation behavior in silicon substrate were extensively examined. Moreover characteristics of device performance including reliability in sub 65nm node MOS(Metal Oxide Semiconductor) were predicted in advance of actual device fabrication.

## 1. はじめに

ナノスケールデバイスの研究開発、とりわけ IT 産業を支える MOS(Metal Oxide Semiconductor) デバイス開発においては、ITRS ほかのロードマップを前提に計画されているが、微細化に伴う原子レベルでの諸現象の顕在化などが予想され、従来のトップダウン的な材料、デバイスの研究開発の継続が危ぶまれている。このため、シミュレーション技術を活用した先行的な材料、デバイス評価技術の開発が極めて重要となっている。本研究課題では現行 MOS デバイスのブレイクスルー、さらに 100nm ~ 50nm 寸法の極微細 MOS デバイスに代表されるナノスケールデバイスの設計と評価に必須となる技術開発を目的に、材料設計、デバイス構造、動作設計の各分野でのプログラム開発を精力的に進めると共に、各種材料特性と極微細 MOS デバイスの特性評価を先行的に進めた。さらに連成ミドルウェアを活用するマルチスケールシミュレーション技術開発の一環として、MOS デバイス信頼性のシミュレーション予測を進め、材料・デバイス協調設計技術開発の第一歩を拓く事が出来た。

## 2. 研究開発項目とその成果概要

### 2.1 材料設計技術の開発

MOS デバイスに代表されるナノスケールデバイスの材料解析・設計においては、金属 / 半導体、半導体 / 絶縁体等のデバイスヘテロ界面の電子状態を第一原理的に予測し、欠陥や非平衡構造が電子物性に与える効果を評価できる材料設計評価技術の開発が重要である。本課題では 第一原理電子状態解析による界面・欠陥構造解析技術、非平衡界面構造解析技術、電荷移動確率解析技術、さらに極微細 MOS デバイスへの応用が期待される高誘電率材料評価を可能とする、結晶誘電率解析技術、以上 4 項目のプログラム開発をすすめた。

#### (1) 第一原理電子状態計算による界面・欠陥構造解析技術の開発

平面波基底第一原理擬ポテンシャル法バンド計算法を採用。大規模系を高効率に扱うためには、

電子状態計算部分に、「第一原理分子動力学法」の各種高速化アルゴリズムを採用する必要がある。本開発では従来の共役勾配法に加えて、WS/PC クラスタ等のメモリー分散型並列計算機に特に適合する RMM-DIIS 法を採用した。同法では、各バンド状態間の規格直交化処理回数の大幅な低減により波動関数最適化を各 CPU でほぼ独立に行うことができ、高効率の並列計算が可能となる。また、自己無撞着計算の電子密度混合法には、同様の原理による Pulay 法を採用した。図 1 に Si64 原子セルを本プログラムで解析した場合の並列化 RMM-DIIS ループ処理の結果を示す。8 ノードで 1 ノードの場合の 13.2% (理想値 12.5%)、16 ノードで 7.0% (理想値 6.25%) となり、並列化効率の高い事がわかる。本プログラムの大規模系解析への適用に関しては、先ず半導体用絶縁膜として重要である Si<sub>3</sub>N<sub>4</sub> の安定結晶構造の決定に用いた。- Si<sub>3</sub>N<sub>4</sub> は基本セルに多数の原子を含み、実験的に単結晶が得られにくいいため、真の安定構造が P6<sub>3</sub>/m と P6<sub>3</sub> のどちらであるか未解明であった。いくつかの格子定数のセットについて、N 原子が変位した鏡面对称のない P6<sub>3</sub> の内部座標で構造最適化すると、N 原子が鏡面对称を持つ P6<sub>3</sub>/m 構造となり本構造が安定結晶構造であると決定できた。次に、Si 中の転位欠陥の解析を進めた。Si 中で頻繁に出現する転位の一つである 30° 部分転位芯について安定構造とその電子状態を求めた。転位芯は dangling bond が再構成した構造が安定であること、再構成しきれないソリトンが出現しうる事などを明らかにする事ができた。以上の解析データ等をデータベースに蓄積した。

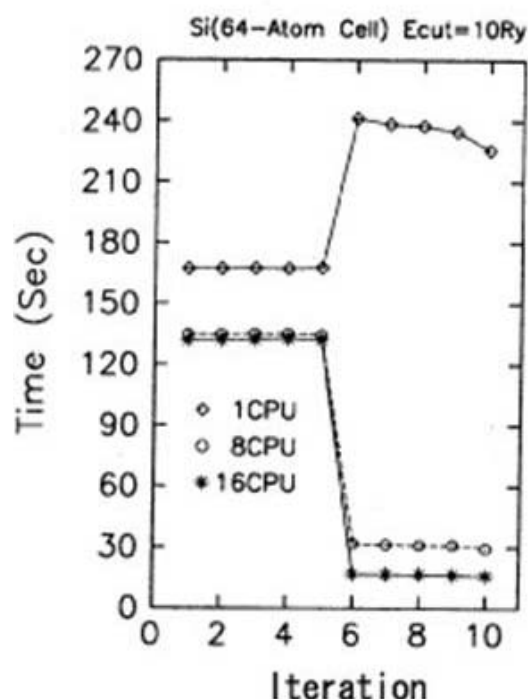


図 1 バンド計算並列化効率

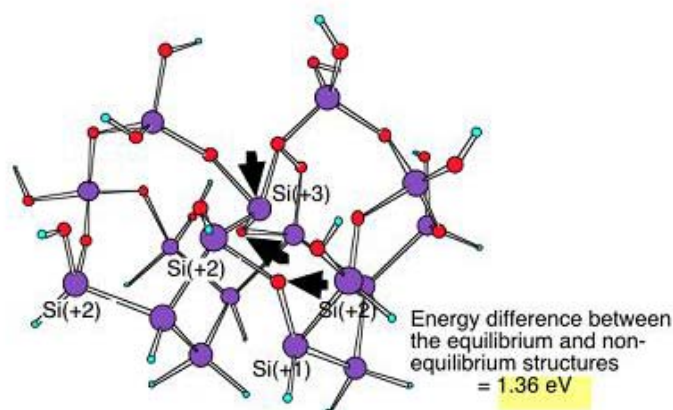


図 2 Si/SiO<sub>2</sub> 界面での非平衡構造

## (2) 非平衡界面構造解析技術の開発

MOS デバイス性能を左右する Si/絶縁膜界面は、必ずしも熱的に安定な平衡構造ではなくアニールやデバイス動作時の発熱により欠陥を含む準安定な非平衡構造であると考えられる。非平衡構造解析の実験が長年続けられているもののまだまだ不明な点が多く残されており、本研究開発では Si/絶縁膜界面の非平衡(準安定)構造の高速探索プログラムを開発した。アルゴリズムとしてモンテカルロ法(サリス統計を基本とする改良 Penna 法)と分子軌道法(MOPAC)を組み合わせる事により、

界面非平衡構造とその電子状態を同時に計算可能としたものである。MOS デバイス製造に際し、Si/SiO<sub>2</sub> 界面への N 原子導入によりデバイス電気特性が改善される機構の解明に本プログラムを適用した。図 2 に Si/SiO<sub>2</sub> 界面での非平衡構造発生の様子を示す。平衡構造より 1.36 eV エネルギーの高い非平衡構造が発生しやすく、Si-O-Si 結合の O 原子が近接した Si-Si 結合に移動、SiO<sub>2</sub> 膜中に Si-Si 結合が生成、これが電荷トラップサイトとなり、デバイス特性劣化の原因となる。一方、Si/SiO<sub>2</sub> 界面に N を導入した場合、安定平衡構造より 1.74 eV 高いエネルギーの非平衡構造が表れる。Si-O-H 結合の O が近接した N-Si 結合に移動して Si-H 結合と N-O-Si 結合をつくるが、電荷をトラップする欠陥構造とはならず、特性劣化を引き起こす原因とはならない。これらの解析から Si/SiO<sub>2</sub> 界面に N を導入することにより界面非平衡構造が電氣的に不活性なものとなり、デバイス電気特性の改善に寄与する事がわかった。

### (3) 電荷移動確率解析技術の開発

MOS デバイスのゲート絶縁膜への電荷蓄積はしきい値シフトなどデバイス特性の劣化を引き起こし、絶縁膜内の電荷移動は絶縁性劣化につながる。したがって材料の電荷蓄積しやすさ、通過させやすさは絶縁膜材料選択に重要な知見である。本研究開発では、これまで有機分子内電荷移動に使われていたアルゴリズムで絶縁膜内の電荷移動速度を解析する電荷移動確率解析プログラムを開発した。第一原理密度汎関数法により求まる電子状態を用い、移動確率を求める。具体的には、Marcus の電荷移動反応理論に従い、分子内の電荷移動速度定数（電荷移動確率）を EME（電子的因子）と Franck-Condon 因子（構造的因子）の積で計算する。EME は、分子内のある位置に電荷が局在した A 状態から異なる位置に局在した B 状態に電子状態が変化する反応の遷移構造における A 状態と B 状態の相互作用エネルギーに相当する。本プログラムを用い絶縁膜中の欠損が電荷移動特性に及ぼす影響を酸化膜、窒化膜、夫々について解析した（図 3）。酸素および窒素欠損構造（Si-Si 距離 4.60Å）に電子（ホール）電荷がトラップされた状態を考え、近接する欠陥（欠陥距離約 6.9 Å）への電荷移動確率を解析。電界の有無による違いも検討した。この結果、SiO<sub>2</sub> 中ではホールより電子が移動しやすい（電界がない場合、約 17 倍電子のほうが移動しやすい）、Si<sub>3</sub>N<sub>4</sub> 中では逆にホールが移動しやすい（電界がある場合 SiO<sub>2</sub> と比べて約 80 倍移動しやすい）事がわかった。これら電荷移動特性、非平衡構造安定性などの材料特性をゲートリーク他のデバイス特性と直接比較検討する事により材料とデバイスとの特性を明確に関係づけるデータベース構築が可能と考える。

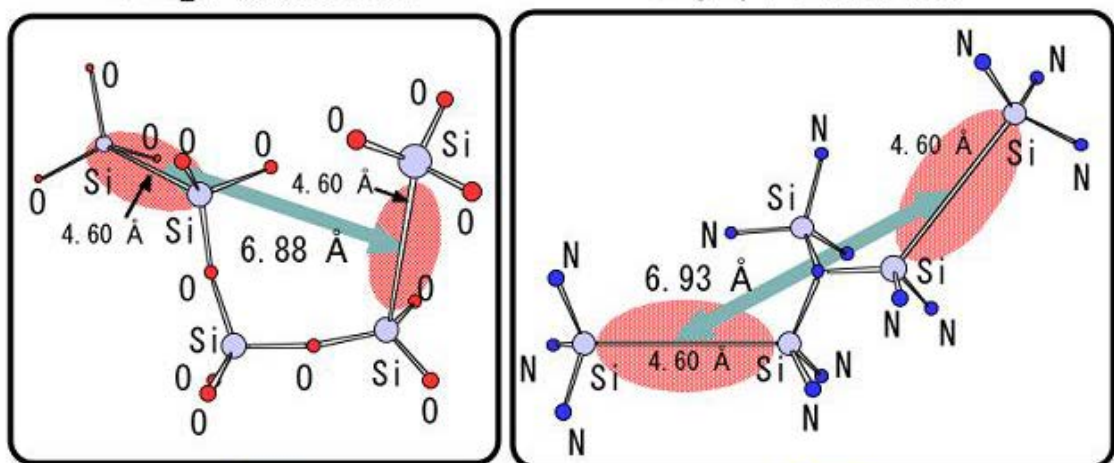


図 3 電荷移動確率解析プログラムによる SiO<sub>2</sub> 中および Si<sub>3</sub>N<sub>4</sub> 中欠陥間の移動速度の検討

#### (4) 結晶誘電率解析プログラム

ナノスケール寸法の MOS デバイスではシリコン酸化膜に比べより高誘電率な材料をゲート絶縁膜として用い、十分な容量と絶縁性を確保する事が急務となっており、各種絶縁性酸化物やシリケート材料などの開発が進められている。本研究開発では、これら金属酸化物材料の誘電率を結晶構造より予測できるプログラム開発を進めた。本プログラムでは、結晶構造を金属原子と酸素原子のクラスター（配位多面体）に自動分割し、多面体の分極率（微視的な誘電率）を分子軌道計算により求め、分極率より結晶の電子誘電率を算出する（図4）。本プログラムを用いて  $\text{SiO}_2$  の誘電率を計算したところ、従来よく用いられていたローレンツ・ローレンツ法と比較して実測値を良く再現する事がわかった。本プログラムを用い各種材料の電子誘電率を計算した結果、これらの電子誘電率は  $\text{SiO}_2$  のそれと同程度の大きさである事、これら高誘電率材料の誘電率は主に格子振動成分に起因する事を明らかにできた。この知見は高誘電率材料の設計を今後進めるうえで重要と指針となると考えられる

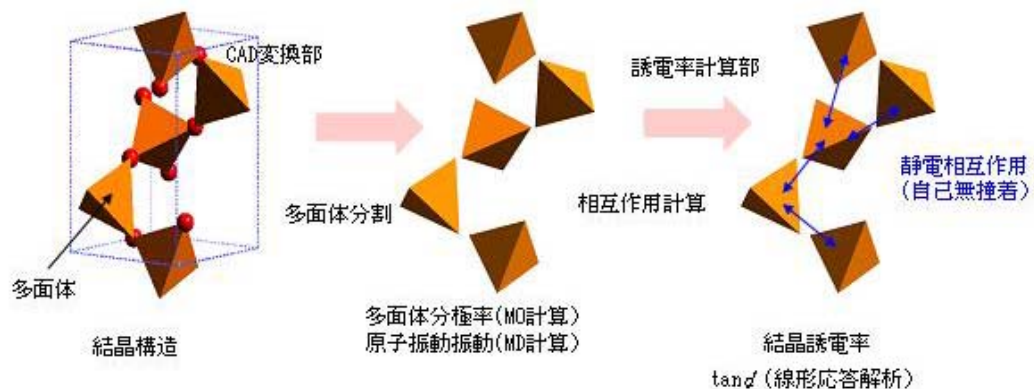


図4 結晶誘電率解析方法：配位多面体に分割、その分極率より結晶誘電率を計算

#### 2.2 デバイス構造設計技術の開発

現行 MOS デバイスでは素子間の電気的分離に浅溝分離形構造が多用されている。微細化の進行に伴い溝構造のアスペクト比が増加し、応力分布の不均一的な発生などによりシリコン基板に転位をはじめとする欠陥が発生する。チャネル領域での転位発生はデバイス特性の著しい劣化をもたらすため、デバイス構造とプロセス工程との関連をみるデバイス構造設計技術は極めて重要なシミュレーション技術となる。本研究開発では結晶塑性解析の手法に基づいて ULSI セル中の転位欠陥の発生を解析、評価できるシミュレーションソフトウエアの開発を行った。結晶材料の変形は多くの場合、転位の増殖と運動をとまなう「すべり変形」によって生ずる。すべり変形の生ずる結晶学的面とすべりの結晶学的方向との組み合わせ（すべり系）は Si の場合 12 ある。本研究で開発した結晶塑性解析ソフトでは、結晶のすべり系の活動によるすべり変形を表現する変形の構成式を求め、これを有限要素法をベースにした変形解析ソフト中に展開した。また、すべり系に発生する塑性せん断ひずみの空間勾配から「幾何学的に必要な転位」の密度と特性角度を計算する。

本開発ソフトウエアを用い、浅溝分離型 ULSI セル（図5）中の熱酸化膜形成に伴い生ずる転位について詳細な評価を進めた。熱酸化膜領域が形成される際に Si 基板中に生ずるすべり変形を解析し、転位分布を求めた。図6にはすべり面  $(111)$ 、すべり方向  $[1\bar{1}0]$  のすべり系に生じた「幾何



学的に必要な転位」の解析結果を示す。素子形成領域の肩部と溝底の両隅部に、溝と平行な方向の転位が発生している。これらの転位の特性角度（転位線の方角とすべり方向のなす角度）はほぼ  $60^\circ$  であり、これらの転位は  $30^\circ$  および  $90^\circ$  部分転位に分解する。すべり面とすべり方向の組み合わせがこれと異なる 6 組のすべり系についても転位の発生が観察され、そのうち 4 組は図 7 と同様、分離溝に平行な方向の  $60^\circ$  転位で、2 組のすべり系では転位は素子形成領域肩部から半ループ状に発生する事がわかった。さらにゲート長を 28nm まで縮小したデバイス構造で解析を進めた。この結果、転位密度の急激な上昇が発生する事がわかった。以上の転位発生予測の解析はこれまで他になく、本プログラムの利用により次世代、次々世代デバイス構造セル中の転位密度とその性質に関する情報を効率よく計算できることが示された。

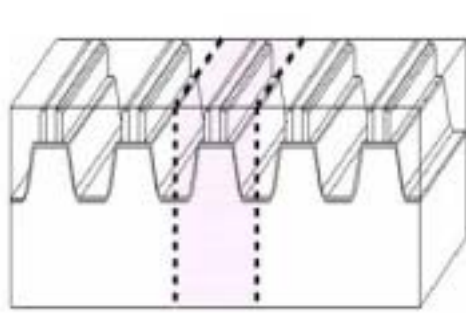


図5 浅溝分離型 ULSI セル構造図

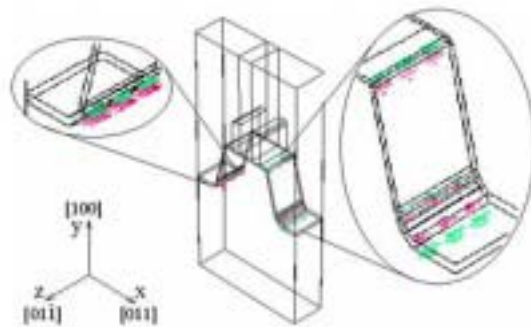


図6 熱酸化時に発生する転位分布図

### 2.3 データベースの開発

設計データとなる解析結果をネットワークを介し、一元的に集約、管理できるデジタルファクトリデータベースを開発した（図 7）。XML（Extensive Markup Language）を用いる事で各シミュレーションの入力または出力データを蓄積するに留まらず、各シミュレーションデータを有機的に結びつける事が出来る支援データベースとなっている。各シミュレーションデータはタグと呼ばれる固有 ID で認識されており、タグ間の相互リンクを用いることで材料解析や構造解析結果のデータ連携を行う。デバイス特性を解析・評価するプログラムの入力データをデータベース内で作成し、複合的なシミュレーションを容易に実現するプラットフォームを提供する。

### 2.4 デバイス動作設計技術の開発

従来の MOS デバイスの動作解析では流体モデルに基づくマクロ解析が主流に行われてきたが、デバイス寸法微細化に伴い限界を迎えている。本研究開発では粒子モデルのデバイスシミュレータに絶縁膜界面における荷電欠陥の静電場解析機能や転位位置での散乱モデルなどの機能を追加、より現実的、高精度なデバイス動作解析を可能とする事とした。これよりデバイス構造解析で得られた転位密度のデバイス動作特性への影響を直接解析評価可能となった。さらに、本研究ではこれを一歩進め、材料設計レベルでの解析情報をデバイス動作特性に直接反映できるアルゴリズムとして、複数の解析プログラムを相互に連結するマルチスケールシミュレーション技術のデバイス動作解析への適用を試みた。具体的には経済産業省のリアルワールドコンピューティング(RWC)プロジェクトで開発を進めた連成解析ミドルウェアを用い、MOS デバイスの材料解析(シリコン絶縁膜界面領域への高エネルギー電子衝突による界面水素原子の解離現象)とデバイス動作解析(デバイスの電圧・電流特性、閾値特性)を相互に連結する事を試みた。この結果、図 8 に示す通り、デバイスが(ストレス時間)<sup>1/2</sup> に従い劣化する事を示すことが出来た。これまでデバイス信頼性に関するシミュレーションで材料レベルの解析からこのようなデ

パイス特性を直接導出したシミュレーションはなく、本研究開発の大きな成果の一つである。



図7 XML ベースのデータベース概要

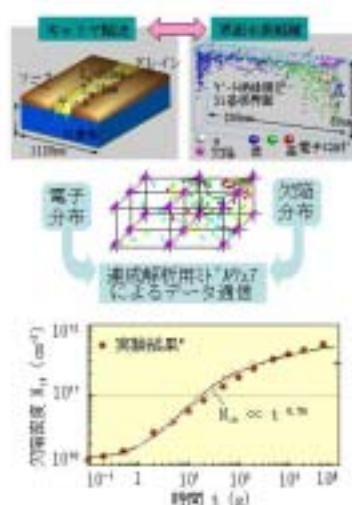


図8 マルチスケールシミュレーションによる  
MOS デバイス信頼性の予測

### 3. ネットワークの活用について

解析結果のデータベース一元管理に向け、株式会社日立製作所基礎研究所と北見工業大学、産総研関西センタ間でデータ受け渡しにネットワーク（IMNET ほか）を活用した。

### 4. まとめ

本研究課題では現行 MOS デバイスのブレークスルー、100nm～50nm 寸法のナノスケールデバイス設計の基本技術開発を目的に、材料、デバイス構造、デバイス動作、そしてデータベース機能に関し、プログラム開発を進めると共に極微細寸法 MOS デバイスの先行評価を進め、以下の成果を得た。

- (1) 平面波基底、擬ポテンシャル利用のバンド計算プログラムを開発、大規模系計算に向けた並列化を実施。絶縁膜  $\text{Si}_3\text{N}_4$  の安定構造の解明、Si 転移芯構造と電子状態などを明確化した。また、非平衡構造解析プログラム並びに電荷移動確率解析プログラムを開発、ヘテロ界面での不安定構造やリーク特性評価を可能とし、Si/SiO<sub>2</sub> 界面への窒素原子導入に伴う電気特性向上機構などを明らかとした。また、結晶誘電率解析プログラムを開発、金属酸化膜の誘電率評価を進め、ULSI 応用が検討されている材料系では電子成分に比べ、格子振動成分の寄与が高い事を明らかとした。
- (2) デバイス構造解析では、メゾ力学手法により実寸法デバイスの界面応力場と結晶転位を評価できるプログラムを開発、浅溝分離型の MOS デバイス構造に対しゲート寸法を 140nm から 30nm まで縮小した場合の転位発生の手動解析をデバイス作成に先行し進めた。
- (3) 粒子モデルのデバイスシミュレータに絶縁膜界面における荷電欠陥の静電場解析機能や転位散乱モデルを追加、プログラム機能向上を図ると共に、材料・デバイスの連成、複合解析が可能となるようした。MOS デバイスでのホットエレクトロンによる界面水素原子の解離現象とこれに伴う MOS デバイスの信頼性経時変化の連成解析を進め、デバイス劣化が（ストレス時間）<sup>1/2</sup> の時間依存性を持つ事をシミュレーションで始めて予測する事ができた。

## 5. 研究実施体制

研究代表 株式会社日立製作所基礎研究所 丸泉琢也

研究分担

### (1) 材料設計技術の開発

- ・研究開発項目：第一原理電子状態計算による界面・欠陥構造解析技術の開発

独立行政法人産業技術総合研究所生活環境系特別研究体

ナノ界面機能科学研究グループ 香山正憲、田中真悟

- ・研究開発項目：非平衡界面構造解析技術の開発

株式会社日立製作所基礎研究所 牛尾二郎

- ・研究開発項目：電荷移動確率解析技術の開発

株式会社日立製作所基礎研究所 牛尾二郎

- ・研究開発項目：結晶誘電率解析技術の開発

株式会社日立製作所基礎研究所 濱田智之

### (2) デバイス構造設計技術の開発

- ・研究開発項目：結晶塑性解析法によるデバイス構造設計技術の開発

北見工業大学機械システム工学科 大橋鉄也、菅原幸男、

佐藤満弘、長谷川稔

### (3) デバイス動作設計技術の開発

- ・研究開発項目：散乱モデルと材料・デバイス連成解析技術の開発

株式会社日立製作所基礎研究所 何希倫、北川功

### (4) データベースの開発

- ・研究開発項目：解析結果一元管理用データ

株式会社日立製作所基礎研究所 北川功

北見工業大学機械システム工学科 大橋鉄也

独立行政法人産業技術総合研究所生活環境系特別研究体

ナノ界面機能科学研究グループ 香山正憲

## 研究協力

- (1) 材料設計技術の開発：第一原理電子状態計算プログラム開発

東京大学大学院工学系研究科 渡邊聡

- (2) 材料設計技術の開発：非平衡界面構造解析技術の開発

オーストラリアシドニー工科大学 ユルゲン・シュルト