

リアル空間を強靱にするハードウェアの未来
2021 年度採択研究者

2021 年度 年次報告書

横式 康史

東京工業大学 科学技術創成研究院
助教

漏れ電流抑制素子を用いたパルス駆動型低消費電力 CPU

§ 1. 研究成果の概要

CPU チップの製作を行うためには、ハードウェア記述言語 (HDL) でのデジタル回路設計、HDL から回路情報を生成し、ファウンドリに適合したレイアウトデータを製作する必要がある。本研究では特殊な CPU の実装を目的としているため、HDL から設計可能である方が望ましい。そのため、本研究では HDL として、Verilog を用いて CPU の実装を行う方法を選択した。これにより自由度は高まるが、Verilog コードの検証も必要となる。Verilog コードで実装した CPU の検証には、一般的にはテストベクタと呼ばれるプログラムを用いる。本研究で採用した RISC-V アーキテクチャのテストベクタはオープンソースのものが利用可能なので、検証は比較的容易に行うことができる。本研究では、コードの検証はテストベンチ及び FPGA と、ロジックアナライザを組み合わせで行った。その結果として、正常な動作が確認でき、自作のプログラムも動作することを確認した。

次の課題として、CPU チップ製作までの過程の確認が挙げられる。配線規模の大きい CPU チップを製作するために、チップ製作過程までの問題点の洗い出しを事前に行う必要があった。そこで、本年度はパルス駆動型 CPU チップの製作前の準備として、先程検証した通常の RISC-V アーキテクチャの CPU にチップ製作を行い、チップ製作を行った。一連の流れを検証することで、現行の 0.18um プロセスでは配線密度が高くなりすぎる課題もみつかったが、通常のチップと比較してかなり密度を低くすることで、チップ製作は可能であることも分かった。チップ面積を広くしたことでクロックのタイミングなどで問題が起きる場合には、より微細なプロセスを採用する必要がある。その検討も今後行う予定である。

また、パルス駆動型 CPU の動作の仕組みや Verilog での実装についても研究を行った。その結果として、FPGA 上での動作を確認することができた。