

大量ストリームデータのリアルタイム処理に向けた柔軟なアーキテクチャ探索と設計環境構築

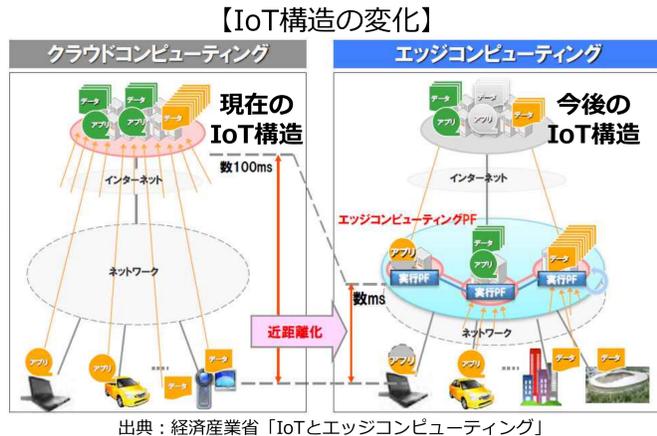
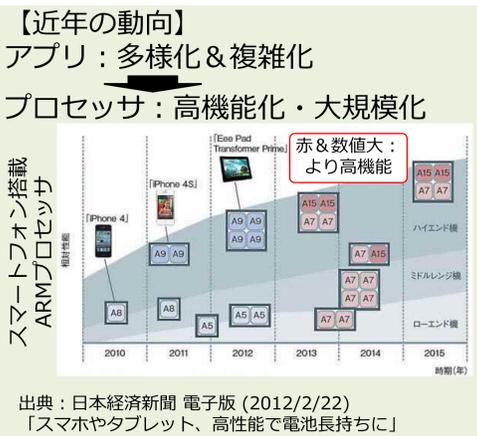
東京工業大学 工学院 情報通信系 原 祐子



小型・高速・省エネ！
マルチなプロセッサ

I. 背景 (解決したい問題) ・ねらい

- IoT端末やセンサ：発達・普及
 - 人・モノが絶え間なく生成する **ストリームデータ増加**
- アプリケーションの **多様化**
 - 汎用アーキテクチャ (プロセッサ)：多様なアプリを処理するためにハードウェア資源増加
 - アプリによっては使用しない (=無駄になる) 資源多
 - アプリ特化型アーキテクチャ： **再利用不可** (=設計コスト大)



- **ねらい** ●
- エッジコンピューティングでストリームデータ処理
 - ビッグデータ効率活用
 - リアルタイム (実世界の制御) 実現
 - 新たな **次世代情報処理基盤技術** を確立
 - = IoTエッジ端末向け 計算機システム

II. 未来への展開・インパクト

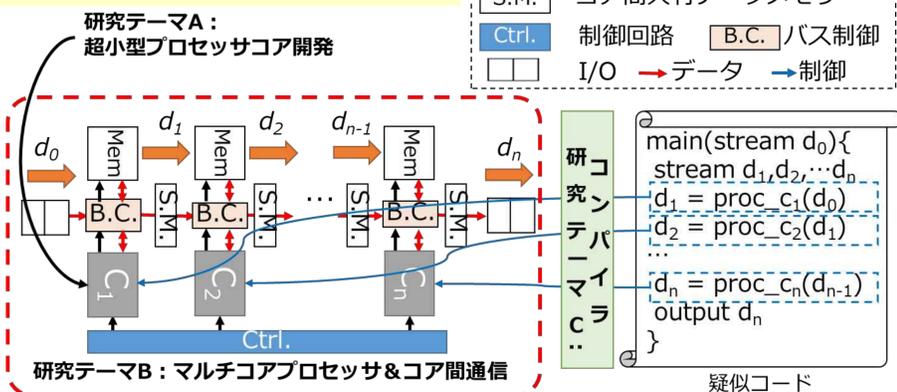
- IoTエッジ端末に搭載でき、収集したデータを直ちに処理できる **新たなアーキテクチャ** の仕組みと設計手法を開発
 - 少子高齢化社会 → 介護・自立支援・見守り
 - スマート工場・社会インフラ → 監視・異常検出 } **安全安心社会を実現**
- IoTエッジ端末とサーバとの通信を削減
 - 消費エネルギー削減 → **低炭素社会** への貢献
 - セキュリティ強化・プライバシー確保
- 日本技術を世界のスタンダードに
 - 日本の強み (リアルデータ蓄積量・センサ技術) を活かし支える
 - 新たなサービス・ビジネスの創出

III. 研究成果

- 小型 (=低製造コスト)・高性能・省エネルギー・再利用性 (=低設計コスト)** をすべて満たすアーキテクチャ設計を実現
 - 商用小型プロセッサに勝る有用性を実証
 - 1コア： **0.43倍のサイズ & 0.61倍の処理時間 & 0.25倍のエネルギー**
- アーキテクチャの構成を柔軟にカスタマイズ可能
 - コア数を増やして更に処理時間を短縮することも可能
 - 2~4コア (=マルチコアプロセッサ)：0.37~0.21倍の処理時間**
- ドメイン指向型のトップダウン設計** の効果・意義を実証
 - これまでのボトムアップ式設計は限界・非効率
 - 今後のIoT向けアーキテクチャにとって重要な設計アプローチ

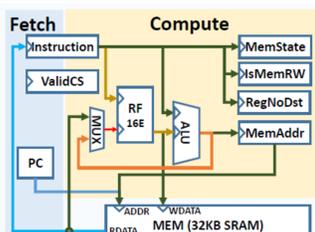
IV. 提案アーキテクチャ

キーアイデア = 「とことん無駄を抑える」
(A) コア設計 (B) マルチコア & コア間通信
(C) ソフトウェア設計 (コンパイラ)



A. 超小型プロセッサコア：SubRISC

- 単一命令セットコンピュータ (SNG: Subtract and branch on NeGative with 4 operands) をベースとして拡張
- 超小型 & シンプルな構造を活かす
- ISA：回路増加が少なく計算の非効率さを克服
 - sng: 減算 & 分岐 (SNGのオリジナル命令)
 - and: 論理和 (オリジナルALUの一部を利用)
 - sht: シフト (配線 & MUXのみで実現可)
 - mr & mw: メモリアクセス (レジスタ導入)



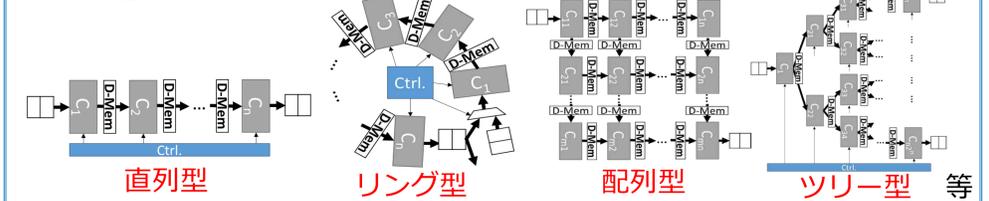
命令の種類とHW資源を制限したデータ前処理向けプロセッサ

B. マルチコアプロセッサ & コア間通信

- 超小型プロセッサコア (SNG/SubRISC) を利用したマルチコアプロセッサ
 - パイプライン式に処理 → **高スループット**
 - データ量やアプリに応じた柔軟なコア数・配置 → **エネルギーロス削減**
- 再利用性とカスタマイズ性の両立
 - プロセッサコアはそのまま **再利用** → 高い設計生産性
 - コア間通信はテンプレート化 → **カスタマイズ**



【コア間通信テンプレート】



C. ソフトウェア設計 (コンパイラ)

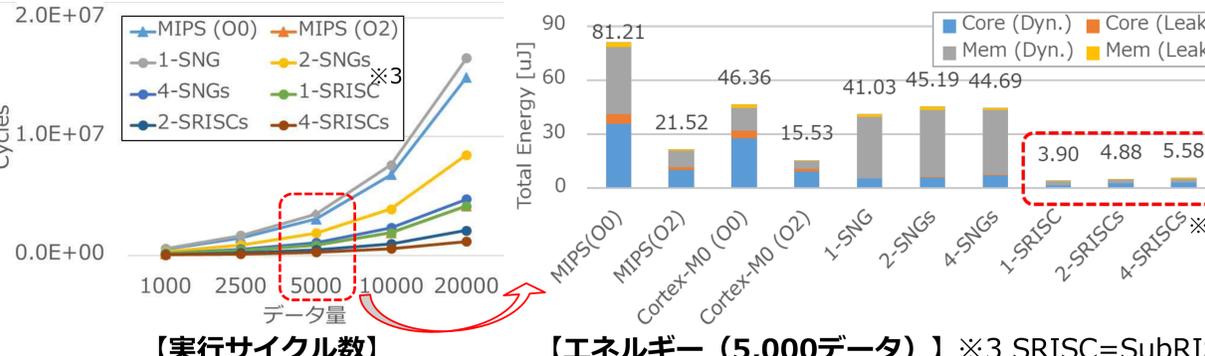
- LLVMコンパイラフレームワークの中間表現 (IR) を利用
- SNG/SubRISCのバックエンド部分を作成
- フロントエンド & ミドルエンドの最適化機能は利用可

V. 評価結果 (ベンチマーク=ソーティング; コア間通信=直列型)

【回路面積】 ※1 メモリ=64KB ※2 メモリ=32KB

45nmプロセス 500MHz	MIPS		Cortex -M0	提案1 (上段; SNG) & 提案2 (下段; SubRISC)		
	O0※1	O2※2		1コア	2コア	4コア
コアのみ [x10 ³ um ²]	35.4	35.4	17.9 (x0.51)	2.5 (x0.07)	4.9 (x0.14)	9.9 (x0.28)
コア+メモリ [x10 ³ um ²]	625.2	396.0	607.7 (x0.97)	363.0 (x0.58)	726.1 (x1.16)	968.1 (x1.55)

- **本研究成果 (優位性)**
- 小型・高スループット・エネルギー高効率・再利用性** をすべて満たすアーキテクチャ設計を実現
 - ハードウェア・ソフトウェアからの **包括的アプローチ**
 - 今後のエッジコンピューティングのニーズを見据えた **ドメイン指向型設計**



- **今後の展開**
- 設計環境の充実化**
 - 異なるコア間通信 & ソフトウェアタスク分割・マッピング
 - ハードウェア & ソフトウェアの包括的な設計空間探索
 - 上下設計レイヤとの融合**
 - 上層レイヤ (アプリ・アルゴリズム) や下層レイヤ (デバイス・センサ) との融合
 - アプリ→デバイスのドメイン指向設計法を確立