

研究開発構想(個別研究型)  
宇宙線ミュオンを用いた革新的測位・構造物イメージング等応用技術  
「ミュオン特性X線を用いた元素分布の可視化技術の開発」

研究開発実施報告書(年次)  
令和6(2024)年度

研究代表者  
梅垣いづみ  
高エネルギー加速器研究機構・助教

## 1. 当該年度における研究開発の実施概要

### (1) 研究開発概要

「ミュオン特性X線を用いた元素分布の可視化技術の実現と、その応用に関わる検出器などの要素技術開発およびデータ処理技術の高度化」を目的とします。軟X線から硬X線帯域の多チャンネルの半導体イメージヤーの要素技術は日本独自の技術であり、それをさらに発展させ、大型施設加速器で展開してきた、ミュオン特性X線を用いた元素分布の可視化技術を底上げ、構図物イメージングにつながる技術開発を行います。

### (2) 実施内容と成果の概要 (研究開発開始から当該年度末まで)

令和6(2024)年度

CdTe ピクセル検出器は、CMOS ASIC を CdTe ピクセル素子に接合する際の熱入力がスペクトル性能を劣化させる課題を解決し、99%以上の歩留まりを実現することを目標として、進めています。今年度はこれまでの設計資産を活用しつつ、5mm 角の ASIC の設計を完了させました。チップの歩留りを上げるために、プロセスのばらつきだけでなく、電源電圧の変動と温度の変動を考慮に入れたモンテカルロシミュレーションに取り組み、ピクセル間の性能ばらつきを定量化しました。

ハイブリッド型 Si ピクセル検出器については、大面積(20 mm × 40 mm)のピクセル検出器を実現することが目標です。今年度は、12.8 mm 角(ピクセルサイズ 20  $\mu\text{m}$ )の CMOS ASIC と接合した、ハイブリッド型センサーの試作品を開発しました。回路パラメーターを決定するために、この試作品の性能評価を行うためのセットアップを実験室に立ち上げ、センサー試作品の動作を確認できました。

モノリシック型シリコン(Si)ピクセル検出器は、20 mm × 20 mm の有効面積で実用的なエネルギー分解能をもつ大型 SOI-CMOS 検出器を実現することが目標です。今年度は、大型化によるエネルギー分解能の劣化の原因を調査するための試作品である 25 mm × 15 mm の大型 SOI-CMOS 検出器と評価システムの製造を行い、大型化によるエネルギー分解能の劣化の原因を調査する準備が整いました。また、大型 SOI-CMOS 検出器を設計する新しい環境を立ち上げました。

各々の検出器の開発進度に合わせて、J-PARC のミュオンビームラインで検出器のテストを実施しました。

## 2. 主たる研究分担者一覧

武田 彩希 (宮崎大学 工学部 工学科 准教授)

武田 伸一郎 (東京大学 カブリ数物連携宇宙研究機構 特任助教)