

日本—台湾研究交流「AI システム構成に資するナノエレクトロニクス技術」 2020 年度 年次報告書	
研究課題名（和文）	AI チップ技術に向けた三次元異種機能集積 hCFETs
研究課題名（英文）	3D Heterogeneous Complementary Field Effect Transistors (hCFETs) for AI Chip Technology
日本側研究代表者氏名	張 文馨
所属・役職	産業技術総合研究所・研究員
研究期間	2020 年 4 月 1 日 ～ 2023 年 3 月 31 日

1. 日本側の研究実施体制

氏名	所属機関・部局・役職	役割
Wenhsin CHANG 張 文馨	Researcher, AIST, NeRI 産総所 ナノエレクトロニクス研究部門 研究員	異種材料集積基板 作製
Tatsuro MAEDA 前田 辰郎	Research Manager, AIST, NeRI 産総所 ナノエレクトロニクス研究部門 研究主幹	異種材料集積基板 作製
Hiroto ISHII 石井 寛仁	M1, Tokyo Univ. Sci., Faculty Indus. Sci. Tech. 東京理科大学 基礎工学部 学生	異種材料集積基板 作製
Seiji SAMUKAWA 寒川 誠二	Professor, Tohoku Univ., Inst. Fluid Sci. 東北大学 流体科学研究所 教授	超低損傷加工技術 開発
Daisuke OHORI 大堀 大介	Research Associate, Tohoku Univ., Inst. Fluid Sci. 東北大学 流体科学研究所 共同研究員	超低損傷加工技術 開発
Takahiro SAWADA 澤田 堯廣	M1, Tohoku Univ., Inst. Fluid Sci. 東北大学 流体科学研究所 学生	超低損傷加工技術 開発
Junichi HATTORI 服部 淳一	Researcher, AIST, NeRI 産総所 ナノエレクトロニクス研究部門 研究員	TCAD シミュレー ション
Koichi FUKUDA 福田 浩一	Senior Researcher, AIST, NeRI 産総所 ナノエレクトロニクス研究部門 主任研究員	TCAD シミュレー ション
Tsutomu IKEGAMI 池上 努	Asst. Policy Administrator, AIST, ITRI 産総所 情報技術研究部門 総括主幹	TCAD シミュレー ション

2. 日本側研究チームの研究目標及び計画概要

3次元異種材料集積プラットフォームを構築するため、産総研で独自開発する転写技術を用いて、SOI ウェハー上に GeOI 構造を集積し、異種半導体接合技術を確立する。hCFET 作製の基盤技術として、無欠陥・ラフネスフリーGe 加工技術の開発は東北大で行う。

3. 日本側研究チームの実施概要

産総研と TSRI は日本-台湾国際連携を通じて、Si 層と Ge 層が積層された Si/Ge 異種チャンネル集積プラットフォームを構築した。Si や Ge などの熱膨張率の異なる材料の積層には、熱的ストレスの影響を避けるために、極力低温での積層プロセスが望まれる。われわれは 10 数回のサンプル輸出および週 1 回のオンライン会議により、200 度以下で高品質の Si 層と Ge 層を積層する低温異種材料接合技術（Low temperature Hetero-layer Bonding Technology, LT-HBT）を開発した。今回開発した技術を図 1 に示す。まず SOI ホストウェハー(a)とその上に Ge をエピタキシャル成長したドナーウェハー(b)を用意した。ここで、Si 層との界面に近い Ge 層中には多くの欠陥集中しており、表面側には高品質 Ge 層が存在する。次にドナーウェハーとホストウェハーそれぞれに SiO₂ 絶縁膜を堆積し、表面活性化した後(c)、200 度の低温で直接接合させた(d)。その後、ドナーウェハーの Si 基板(d)、BOX 絶縁膜、Si 層を順次除去する(e)。さらに、東北大で開発された低損傷で Ge を加工できる中性粒子ビームエッチング(Neutral Beam Etching, NBE)で Ge を均一に 40nm まで薄膜化および表面平坦化した(f)。得られた Si/Ge 異種チャンネル積層構造を(g)に示す。積層プロセスとエッチングプロセスをすべて低温で行うことで、Si 層や Ge 層へのダメージが極めて少ない高品質な Si/Ge 異種チャンネル集積プラットフォームを実現した。この技術を用いると、hCFET 作製プロセスの大幅な簡略化が図れるだけでなく、さらなる多層化構造にも対応できる。

また、hCFET の叩き台となる電気的および熱的挙動のモデルを作成し、Impulse TCAD 上でのシミュレーションを可能にした。実際のデバイス試作に基づき、チャンネル厚さは 10 nm、デバイスサイズはゲート長 50 nm およびゲート幅 40 nm である。現在、計算精度の向上に向けて、量子効果およびフォノンの組み込みを進めている。

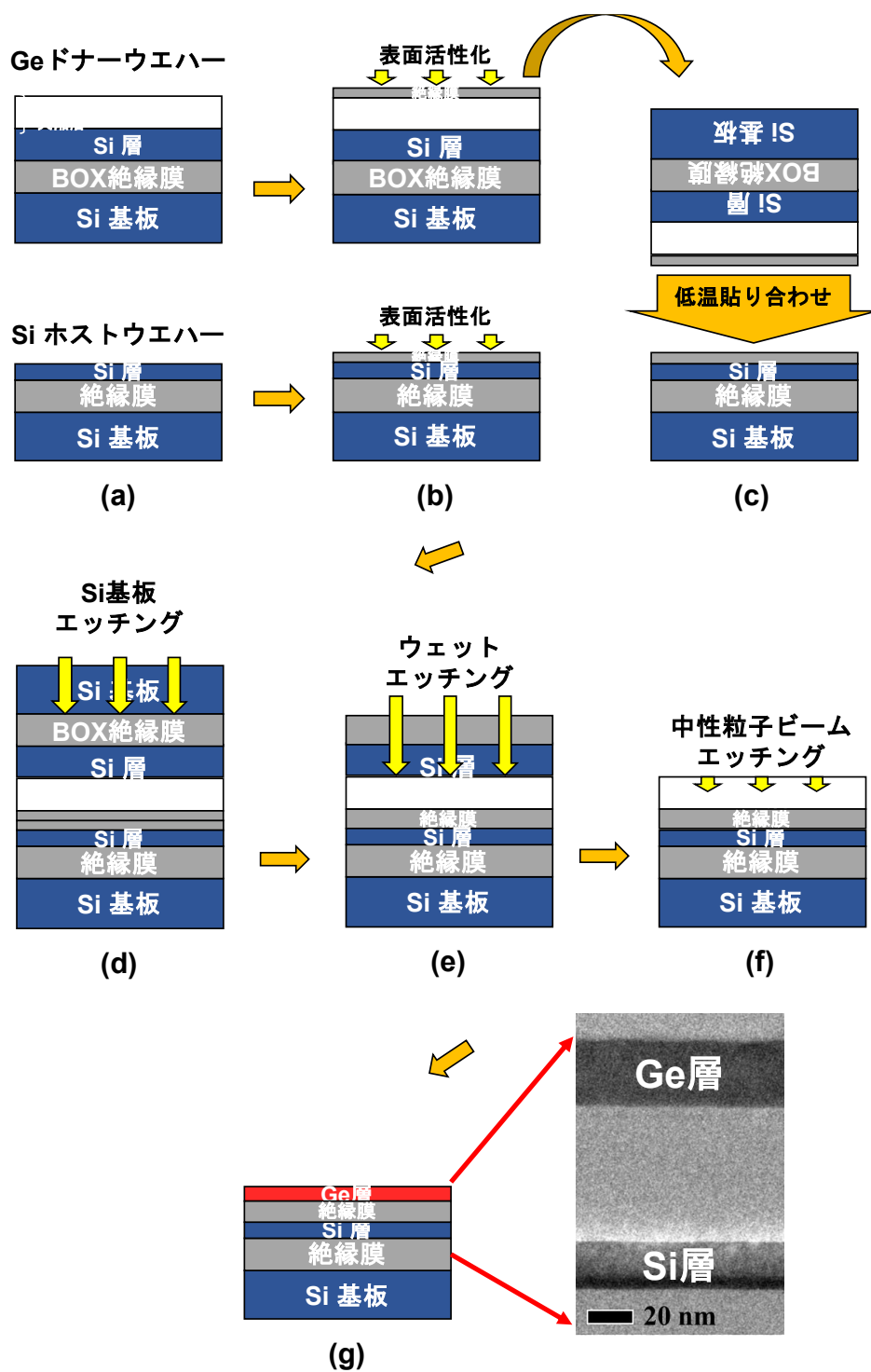


図 1 低温異種材料接合技術を使った Si/Ge 異種チャネル積層プロセス工程