

国際科学技術協力基盤整備事業
日本－台湾研究交流
終了報告書 概要

1. 研究課題名：「AI チップ技術に向けた三次元異種機能集積 hCFETs」
2. 研究期間：令和 2 年 4 月～令和 6 年 3 月
3. 主な参加研究者名：
日本側チーム

	氏名	役職	所属	研究分担
研究代表者	張 文馨	主任研究員	産業技術総合研究所	異 種 材 料 集 積基板作製
主たる 共同研究者	遠藤 和彦	教授	東北大学	超 低 損 傷 加 工技術開発
研究参加者	前田 辰郎	研究主幹	産業技術総合研究所	異 種 材 料 集 積基板作製
研究参加者	服部 淳一	主任研究員	産業技術総合研究所	TCADシミュ レーション
研究参加者	寒川 誠二	特任教授	東北大学	超 低 損 傷 加 工技術開発
研究参加者	尾崎 卓哉	技官	東北大学	超 低 損 傷 加 工技術開発
研究期間中の全参加研究者数			12名	

台湾側チーム

	氏名	役職	所属	研究分担
研究代表者	李 耀仁	教授	陽明交通大学	デバイス開発
主たる 共同研究者	楊 智超	研究員	台湾半導体研究所	デバイス開発
研究参加者	宋 柏融	研究員	台湾半導体研究所	デバイス開発
研究参加者	蘇 俊榮	教授	陽明交通大学	デバイス開発
研究期間中の全参加研究者数			4名	

4. 研究交流の概要

昨今のビッグデータと IoT 時代に、人工知能(AI)のさらなる進化が強く求められている。高密度高性能 AI チップの構築には、3 次元的な異種融合デバイス CFET プラットフォームが必須と考えている。本研究は、AI チップの技術基盤となる三次元異種機能集積された Heterogeneous complementary field effect transistors (hCFETs)の開発を目指す。産業技術総合研究所(AIST)チームはレイヤートランスファー技術を使って、三次元異種半導体基板を構築する。台湾チーム(台湾半導体研究所(TSRI)、陽明交通大学(NYCU))はその異種基板を用いて、hCFET デバイス作製と回路設計を行う。デバイス試作では、低ダメージ中性ビーム技術(東北大、TU)により、性能向上を図る。また、三次元デバイス固有の熱問題には、AIST の Impulse TCAD により熱輸送シミュレーションで検証を行い、TSRI のデバイス作製工程に実装する。本研究で開発した異種材料積層技術を活かせば、hCFET のさらなる性能向上と性能バランス整合により、AI チップに適用する CFET 回路の 3 次元的な構造縮小化と高速化が期待できる。

5. 研究交流の成果

5-1 共同研究の研究・開発成果

本共同研究では、AIST、TU と TSRI は国際連携を通じて、Si 層と Ge 層が多層に積層された Si/Ge 異種チャネル集積プラットフォームを構築した。また、TSRI と NYCU はこの異種プラットフォームを利用することで、異種材料そして異種面方位が集積した hCFET のデバイス作製に成功し、性能評価を実現した。さらに、AIST で開発した Impulse TCAD を用いることで、hCFET の特性と温度の関係を正確に予測できるモデルを構築し、デバイス設計の指針を導くことに成功した。

5-2 国際連携による相乗効果

本研究では、AI チップの技術基盤となる三次元異種機能集積された hCFETs の開発を目指し、hCFETs のモデルケースとして、2 nm 世代に対応する三次元積層型 SRAM(ビットセル 0.01 μm^2)を実現することを目的としている。日本台湾双方の次世代デバイス研究を担う研究機関の専門家およびファシリティーを結集させて、共同研究を行うことで、異種材料および異種面方位材料が集積した 8 インチウェハープラットフォームが実現でき、hCFET の作製や性能評価に成功した。この相乗効果により、双方が共有できる強力な hCFET PDK の構築ができ、AI チップ設計の挑戦的な技術課題に取り組むことができた。

5-3 共同研究成果から期待される波及効果および進展

本研究では、8 インチ異種材料のレイヤートランスファー技術開発から、hCFET の試作・評価、三次元集積型 SRAM の回路設計まで一貫して行っており、従来エピタキシャル技術を利用した CFET 製造と比べて、作製プロセスの大幅な簡略化が図れ、さらなる多層化構造にも対応できる。先端ロジック半導体に適用したプロセス指針を示すことに成功した。今すぐに製品化や企業化に繋がるものではないが、本共同研究の成果は半導体のトップ会議である IEDM や VLSI Symposium に毎年採択され、産総研のプレスリリースも行なった上で、社会への波及効果は十分にあると考える。

5-4 研究交流の有効性・継続性（研究交流を通じた人材育成、協働関係の継続・発展性）

コロナ禍により、本研究期間中に、当初予定していた対面ミーティング、双方の施設での研究交流見学や人材派遣を行うことができなかった。しかしながら、日本台湾の研究代表者間では、本研究の 4 年ほど前から自主的に共同研究を開始したおかげで、不定期だが頻繁にオンライン会議（多い時は週 1 回）を行うことで、お互いの課題を解決し合い、各自の研究を進めることができた。また、本研究で開発した技術の展開として、それぞれ大きな予算を獲得済みであり（日本：ALCA-NEXT、台湾：A 世代半導体計画）、本研究終了後も、引き続き同じ目標(高性能・高集積化 hCFET デバイスや回路の実現)に向けて、共同研究を行う。

Infrastructure Development for Promoting International S&T Cooperation
Japan – Taiwan Joint Research Exchange Program
Executive Summary of Final Report

1. Project Title : 「3D Heterogeneous Complementary Field Effect Transistors (hCFETs) for AI Chip Technology」
2. Project Period : April, 2020 ~ March, 2024
3. Main Participants :

Japan-side

	Name	Title	Affiliation	Role
PI	Wen Hsin CHANG	Senior Researcher	National Institute of Advanced Industrial Science and Technology	Hetero- integrated semiconductor platform fabrication
Co-PI	Kazuhiko ENDO	Professor	Tohoku University	Neutral beam etching technology development
Collaborator	Tatsuro MAEDA	Research Manager	National Institute of Advanced Industrial Science and Technology	Hetero- integrated semiconductor platform fabrication
Collaborator	Junichi HATTORI	Senior Researcher	National Institute of Advanced Industrial Science and Technology	TCAD simulation
Collaborator	Seiji SAMUKAWA	Specially Appointed Professor	Tohoku University	Neutral beam etching technology development
Collaborator	Takuya OZAKI	Technician	Tohoku University	Neutral beam etching technology development
Total number of participating researchers in the project:				12

Taiwan-side

	Name	Title	Affiliation	Role
PI	Yao Jen LEE	Professor	National Yang Ming Chiao Tung University	Device fabrication
Co-PI	Chin Chao YANG	Researcher	Taiwan Semiconductor Research Institute	Device fabrication
Collaborator	Po Jung SUNG	Researcher	Taiwan Semiconductor Research Institute	Device fabrication
Collaborator	Chun Jung SU	Professor	National Yang Ming Chiao Tung University	Device fabrication
Total number of participating researchers in the project:				4

4. Scope of the joint project

The monolithic 3D (M3D) integrated Complementary Field Effect Transistors (CFETs) will be building blocks for future functional AI chips. This joint proposal focuses on the integration of CFETs based on M3D hetero-semiconductor-on-insulator platform for emerging AI chip technology. The layer transfer technology developed in AIST, Japan, will apply to establish the hetero-semiconductor-on-insulator platform by integrating high mobility GeOI/SOI wafers. TSRI, Taiwan and NYCU, Taiwan will develop and fabricate junction-less (JL) gate-all-round (GAA) $p\text{Ge}/n\text{Si}$ heterogeneous CFETs (hCFETs), to realize high packed CMOS device on this M3D platform. Neutral beam technology from Tohoku University will be implemented to enhance hCFETs performance further. Thermal and reliability issues of distinctive hCFETs systems are investigated systematically by technology computer-aided design simulation and pulsed I-V characterization for AI chip application. Moreover, we will extend this hCFETs technology to integrate memory (SRAM, RRAM) or sensor monolithically in one chip for future AI system usage, which may attract R&D investments from the leading semiconductor companies worldwide.

5. Outcomes of the joint project

5 – 1 Intellectual Merit

In this joint research, AIST, TU and TSRI, through international collaboration, have successfully constructed a Si/Ge heterogeneous channel integrated platform with multiple stacked Si and Ge layers. In addition, by using this heterogeneous platform, TSRI and NYCU succeeded in fabricating hCFET devices that composed of not only heterogeneous materials but also hetero-oriented materials, and the hCFET performance evaluation has also been conducted. Moreover, by using Impulse TCAD developed in AIST, we were able to build a thermodynamic model that can predict the thermal transport behavior of hCFET.

5 – 2 Synergy from the Collaboration

By bringing together experts and facilities from national research institutes in Japan and Taiwan. The collaboration allows us to realize an 8-inch wafer platform that can integrate materials with different surface orientation and different functions. We also succeeded in fabricating hCFET and evaluating its performance. This synergy enabled us to build a powerful hCFET Process Design Kit (PDK) that can be shared with each other and tackle the challenging technical issues of AI chip design.

5 – 3 Potential Impacts on Society

The technology developed in this research greatly simplifies the CFET fabrication process and allows even highly integrated channel structures. We succeeded in presenting process guidelines, which can be applied to advanced logic semiconductor research society. Although, it will not immediately lead to commercialization, the achievement in this research still has great impact on society. The related results in this research have been accepted by the top semiconductor conferences, IEDM and VLSI symposium, in 2020, 2022 and 2023. Press release also conducted by AIST, indicating the importance of this research.

5 – 4 Effectiveness and Continuity of Exchange

(Human Resource Cultivation, Development and Sustainability of the Cooperation, etc.)

Owing to the severe COVID-19 pandemic, we were unable to hold the originally planned face-to-face meetings, visiting tours at each other's facilities or research workshops during this research period. Nevertheless, we have communicated with each other frequently (usually once a week), which helps us to solve research issues and proceed the project. Based on the technology developed in this research, we have succeeded in obtaining big grants (Japan: ALCA-NEXT, Taiwan: Angstrom Semiconductor Initiative), which allow us can push our research even forward after this collaboration.

共同研究における主要な研究成果リスト

1. 論文発表等

*原著論文（相手側研究チームとの共著論文）

[1] W. H. Chang, T. Z. Hong, P. J. Sung, T. Irisawa, H. Ishii, Y. J. Lee and T. Maeda, "(Invited) Layer Transfer Technology for Stacked Multi-Channel Semiconductor-on-Insulator Platform." ECS Transactions, **2021**, 102(4), 17-28.

*原著論文（相手側研究チームを含まない日本側研究チームの論文）

[1] J. Hattori, K. Fukuda, T. Ikegami and W. H. Chang, "Temperature rise effects on static characteristics of complementary FETs with Si and Ge nanosheets." Japanese Journal of Applied Physics, **2023**, 19(62), SC1025.

*その他の著作物（相手側研究チームとの共著のみ）（総説、書籍など）

特になし。

*その他の著作物（相手側研究チームを含まない日本側研究チームの総説、書籍など）

特になし。

2. 学会発表

*口頭発表（相手側研究チームとの連名発表）

発表件数：13 件（IEDM：3 件、VLSI symposium：1 件、招待講演：6 件）

*口頭発表（相手側研究チームを含まない日本側研究チームの発表）

発表件数：2 件（招待講演：0 件）

*ポスター発表（相手側研究チームとの連名発表）

発表件数：0 件

*ポスター発表（相手側研究チームを含まない日本側研究チームの発表）

発表件数：0 件

3. 主催したワークショップ・セミナー・シンポジウム等の開催

特になし。

4. 研究交流の実績

【不定期オンラインミーティング】

- ・多い時は週 1 回のペースで進捗会議を開き、お互い課題の共有と打開策の相談を行った。
- ・作製基板の材料や構造をディスカッションし、加工を進めた。

5. 特許出願

研究期間累積出願件数：0 件

6. 受賞・新聞報道等

[1] PC Watch、産総研、「産総研ら、上下積層で小型・高性能化を実現する 2nm 世代向けトランジスタ技術」、2020 年 12 月 8 日

[2] 日刊工業新聞、産総研、「新構造トランジスタ開発」、2020 年 12 月 10 日

[3] EE Times Japan、産総研、「日台が連携、2nm 世代に向けた「hCFET」を開発」、2020

年 12 月 10 日

[4] 電波新聞、産総研、「2 ナノメートル世代に向け新構造トランジスタ」、2020 年 12 月 18 日

[5] 日刊産業新聞、産総研、「次世代向けトランジスタ ゲルマニウムで開発」、2021 年 1 月 14 日

[6] 日経産業新聞、産総研、「2 ナノ世代の半導体に道」、2021 年 3 月 3 日

7. その他

特になし。