

国際科学技術協力基盤整備事業（日本－台湾 研究交流）

1. 研究課題名：「Nano-CMOS LSI 回路の実現に貢献する先端テスト技術の研究開発」
2. 研究期間：平成24年1月～平成27年3月
3. 支援額： 総額2,772,000円
4. 主な参加研究者名：

日本側（研究代表者を含め6名までを記載）

	氏名	所属	役職
研究代表者	温 暁青	九州工業大学・ 情報工学研究院	教授
研究者	梶原 誠司	九州工業大学・ 情報工学研究院	教授
研究者	宮瀬 紘平	九州工業大学・ 情報工学研究院	助教
研究者	ホルスト シュテファン	九州工業大学・ 情報工学研究院	助教
研究者	インファル シャファルニ	九州工業大学・ 情報工学研究院	研究員 (ポスドク)
研究者	榎元 和成	九州工業大学・ 情報工学研究院	博士後期生
研究期間中の全参加研究者数 22名			

相手側（研究代表者を含め6名までを記載）

	氏名	所属	役職
研究代表者	Jiun-lang Huang	国立台湾大学・ 電機資訊学院	準教授
研究者	Chien-Mo Li	国立台湾大学・ 電機資訊学院	教授
研究者	Yi-Tsung Lin	国立台湾大学・ 電機資訊学院	博士前期生
研究者	Guo-Yu Lin	国立台湾大学・ 電機資訊学院	博士前期生
研究者	Jiun-Han Pan	国立台湾大学・ 電機資訊学院	博士前期生
研究者	Ling-Yun Hsu	国立台湾大学・ 電機資訊学院	博士前期生
研究期間中の全参加研究者数 15名			

5. 研究・交流の目的

● 研究目的

Nano-CMOSのプロセス、デバイス、回路などの設計技術に加え、Nano-CMOS-LSIテスト技術が開発されて初めて、Nano-CMOS-LSI回路が実現可能になる。本研究は、Nano-CMOS-LSI回路に発生しうる従来にないほど複雑なNano-CMOS欠陥に対応できる総合的なNano-CMOS-LSIテスト技術（故障モデル、故障検出、故障診断、劣化検知など）

の研究開発を行うことによって、日本と台湾の半導体産業の競争力強化に貢献することを目的にした。

● **交流目的**

日本側チームの得意技術（論理回路テスト、遅延故障対応、低電力テストなど）と台湾側チームの得意技術（回路レベルのシミュレーション、アナログ回路の設計・テスト、テスト容易化設計）を両チームの活発な交流によって融合させることによって、それぞれのチームが単独では得難い研究成果を目指すと共に、両国の大学院生を交流活動に積極的に参加させることによって日台の次世代を担う国際的な人材の育成にも貢献することを目的にした。

6. 研究・交流の成果

6-1 研究の成果

● **新しい知の創造/画期的な科学技術の進展/新分野の開拓**

本研究交流を通じて、Nano-CMOS-LSI テストの基盤をなす複数の技術を開発できた。特に、今までにない新しい技術として、(1)テスト電力を受けやすい長い活性化パスの近傍におけるテスト電力ピンポイント制御、(2)危険パスの救済と救済不能パスのマスクを特徴とするテスト電力安全性保証型テスト方式、及び、(3)局所テスト電力を高めることを特徴とする最適電力テスト方式を世界に先駆けて確立することができた。これらの画期的なテスト技術進展によって、Nano-CMOS 回路で多発する誤テスト問題を根本的に解決できるだけでなく、Nano-CMOS 回路のテスト品質の向上にも貢献できる。この研究成果によって、「テスト電力安全性保証型テスト」という新しい技術分野が生まれ、その優れた学術的・産業的インパクトが国際的にも高く注目されている。

● **相手側との協力による研究への相乗効果**

台湾側研究チームは(1)LSI回路のアナログ的現象を扱う経験と知見、(2)電子回路の高速シミュレーション技術、及び、(3) LSI回路の設計について国際的に見ても優れた実績を有している。台湾側との協力によって、Nano-CMOS回路の各論理素子への供給電圧の微小な変動の影響を高速かつ高精度に調べることができるようになり、その結果テスト電力や温度のピンポイント制御ができるようになった。それによって、日本側研究チームはテスト電力安全性保証型テスト方式、及び、最適電力テスト方式を世界に先駆けて確立することができた。

● **当該研究の今後の展開見込、社会への波及効果**

本研究交流で確立したテスト電力ピンポイント制御技術を活かして、Nano-CMOS-LSI のクロック遅延への電力影響を抑えるために、本研究交流の台湾側研究チームと引き続き共同研究を展開していくことが決まっている。また、本研究で確立した低電力テスト方式は、従来技術と比べて、(1)テスト電力安全性を100%保証でき、かつ、テストデータ量増加を1/24に削減できるといった大きな産業的な価値を有している。

6-2 人的交流の成果

● **相手側との研究交流につながる人材育成**

日本側の若手研究者を積極的に本研究交流に参加させ、それぞれにサブ研究テーマを与え、主担当として責任を持って研究活動を行う環境を与えた。また、若手研究者は国立台湾大学を含む多くの台湾の大学を訪問したり共催のワークショップに参加したりしたことによって、同分野の実績ある研究者との切磋琢磨を通じて研究能力を大きく向上させることができた。

また、日本側から延べ14名の学生を延べ121日間にわたって台湾側に派遣し、博士

前期課程学生2名を46日間にわたって日本側に派遣した。双方の研究室でゼミに参加し研究指導を受けながら、共同研究作業に従事することによって、学生に最先端の研究課題に触れる機会を与え、学生の国際感覚の養成や異文化への理解に貢献した。

● 当該事業を端緒とした相手側との研究交流の増加/持続的発展の可能性

台湾側研究チームは当初教員1名であったが、その後更に1名が加わった。これによって、台湾側の研究活動が一層活発になった。また、国立中山大学とも活発な研究交流が展開された。特に、日本側代表研究者は台湾国科会(NSC)の「Short-Term Distinguished Visiting Researcher」プログラムで同大LSIテスト関連の研究室に招聘され、2週間の滞在期間中に活発な研究交流を行った。

今後、国立台湾大学と国立中山大学との研究教育交流を更に拡大するための部局間交流協定締結について作業を始めている。また、平成27年度に国立台湾科技大学と共同で先端LSI技術ワークショップを開催することが予定されている。

7. 本研究交流による主な論文発表・主要学会での発表・特許出願

論文 or 特許	・論文の場合：著者名、タイトル、掲載誌名、巻、号、ページ、発行年 ・特許の場合：知的財産権の種類、発明等の名称、出願国、出願日、 出願番号、出願人、発明者等	特記 事項
論文	Y. Yamato, K. Miyase, S. Kajihara, X. Wen, L.-T. Wang, and M. A. Kochte, "LCTI-SS: Low-Clock-Tree-Impact Scan Segmentation for Avoiding Shift Timing Failures in Scan Testing", <i>IEEE Design & Test of Computers</i> , Vol. 30, No. 4, pp. 60-70, Aug. 2013.	LSIテスト分野初のクロックスキュー低減技術
論文	W.-S. Ding, H.-Y. Hsieh, C.-Y. Han, James C.-M. Li, and X. Wen, "Test Pattern Modification for Average IR-Drop Reduction", <i>IEEE Trans. on VLSI Systems</i> . (掲載決定)	LSI設計・テスト分野の電源電圧変動解析用高速計算法
論文	A. Tomita, X. Wen, Y. Sato, S. Kajihara, P. Girard, M. Tehranipoor, and L.-T. Wang, "On Achieving Capture Power Safety in At-Speed Scan-Based Logic BIST", <i>IEICE Trans. Inf. & Syst.</i> , Vol. E97-D, No. 10, pp. 2706-2718, Oct. 2014.	埋込み自己テスト分野初の電力安全性保障技術
論文	S. Holst, M. E. Imhof, and H.-J. Wunderlich: "High-Throughput Logic Timing Simulation on GPGPUs" <i>ACM Transactions on Design Automation of Electronic Systems</i> . (掲載決定)	超高速シミュレーション手法

