

## 平成 20 年度顕在化ステージ 事後評価報告書

シーズ顕在化プロデューサー所属機関名： 東京エレクトロンデバイス株式会社

研究リーダー所属機関名： 東京農工大学

課題名： プロセッサマイクロアーキテクチャ教育・研究開発のためのスケーラブル FPGA システム

### 1. 顕在化ステージの目的

本シーズ候補は、プロセッサ内部アーキテクチャから OS、コンパイラからアプリケーションに至るまで、コンピュータシステムをあらゆる階層から見える形で、計算機科学、計算機工学における教育に役立つものとして提供することを目的とし、さらに研究分野においては、シミュレータによるアーキテクチャの評価方法にとって代わる、FPGA を用いた性能評価手法の実現および普及を目指すものである。

さらに、教育現場等を中心としてコミュニティを育成し、プロセッサの実現方式、マルチコア化に関する工夫、さらにシステムソフトウェアに関する作成物について情報交換を円滑に行える場を提供し、知財を共有していくことも目指した。

### 2. 成果の概要 研究実施者の完了報告書より抜粋

#### 大学の研究成果

本課題では、スケーラブル FPGA システムを開発し、Rocket I/O の1ポートあたり 2.5Gbps の高速通信を可能とするシリアル通信機構 8 基については良好な通信性能を発揮することを確認した。FPGA 内に PCI Express のコア IP を実装し、プロセッサカードとの接続を実現した。複数の FPGA にまたがる大規模回路を実現するハードウェア拡張機構を考案し、Rocket I/O の遅延を含めて基本データの取得を試みつつある。さらに、分割した回路を高速に動作させるためのバルク伝送方式を考案し、高速なプロセッサエミュレータや、高性能計算のためのハードウェア・アクセラレーション機構としての可能性を検証していく。

#### 企業の研究成果

大学側から提案された、スケーラブル FPGA システムの仕様にしたがって、その具体的な基板実装を行った。この設計に従い、実装配置を行った。基板完成後には、大学側と連携して共同でデバッグを進め、当初 1 ヶ月のデバッグ期間を 2 週間程度の短期間で完了することができた。ハードウェア拡張機構については、大学側のアイデアを元に、企業側のこれまでの実装、製品開発の経験の観点から貴重な意見を出すとともに、本課題が次につながる A-STEP において、どのような形で発展させていくかについて議論を進め、有望な方向性を示して、今後の協力体制について確認した。

### 3. 総合所見

当初の目標は未達成に終わっている。コンピュータシステム(マルチコアを含む)教育・研究開発のための FPGA を用いたシステムの開発という目的は途中で放棄されている。変更された方針である FPGA のアクセラレータとしての使用は、いわゆる市販のボードで従来から行われているものであり、I/O ポートを多数有する FPGA ボードを製作したに過ぎない。今後の計画では、当初の目的とは異なることについて議論されている。ハードウェア拡張機構の研究開発を育成ステージですというが、その内容は基礎的な段階のものに過ぎない。

研究開発では、目標を達成したと言う場合には、その根拠を明確にしめさなければならない。そして、当初の目標達成が困難と判断されたときには、学と産が十分議論を尽くさなければならない。