

## 平成 19 年度顕在化ステージ 事後評価報告書

シーズ顕在化プロデューサー所属機関名:三洋半導体株式会社

研究リーダー所属機関名 :東京農工大学

課題名:ファームウェア用クロスポイント最密集積型メモリの開発

### 1. 顕在化ステージの目的

本研究は、家電・交通移動体・携帯機器・製造装置などの電子機器の高性能化・小型化・多様化を展開するため、これらの電子機器の制御のために搭載されるマイクロコンピュータの制御プログラムであるファームウェア用のメモリや、アナログ制御回路の特性調整用トリムメモリ用として、最も高密度のクロスポイント型構成のメモリセル・アレイの実用化を目指している。これを実現するために、研究リーダーが開発した、SiC 薄膜を使用した低環境負荷の 2 端子不揮発性メモリを用いて、CMOS プロセスと整合し、且つ最適なメモリ特性を得るための作製プロセスや基本回路構成を開発し、実用化のための可能性検討を行なうことを目的とする。

### 2. 成果の概要 ※研究実施者の完了報告書より抜粋

#### ○大学の研究成果

提案した金属/SiO<sub>2</sub>/SiO<sub>x</sub>/3C-SiC/n-Si/金属の新しい構造から成る 2 端子抵抗変化型不揮発性メモリに関し、ドナー性欠陥準位での電子の充放電に依存して抵抗が変化する動作原理と、電子捕獲層とトンネル層の 2 層酸化層から成るメモリ構造を明確にした。現行 LSI プロセスに整合する低温で酸化層構造を作製する方法を考案し、850°Cで作製した素子でメモリ動作を実証した。この低温形成酸化層を用いて 10000 回以上のエンデュランス特性を得た。また、メモリの読み出し電流と素子構造との関係を明らかにし、素子特性と整合する集積回路構造を考案した。

#### ○企業の研究成果

SiC メモリを使用する場合のメモリセル・アレイの基礎的検討を行ない、SiC メモリが持つダイオード特性を利用することによって、ダイオード特性を持たない 2 端子不揮発性メモリと比較して、セルサイズを半減できることを示した。また、SiC メモリの読み出し電流を増幅して読み出す方式を考案した。この方式を使用することにより、センス・アンプ回路が簡単でオーバーヘッドの少ない組み込みメモリ IP を設計することができ、またセルの寄生容量を減らすことができるため、読み出しの高速化に有効であることを示した。

### 3. 総合所見

概ね期待通りの成果が得られ、イノベーション創出が期待される。メモリー動作原理ならびに素子構造の明確化、LSI プロセス適合性を意識した低温プロセスでの素子開発・動作確認、LSI 回路化のための集積構造および回路構成の考案など、多岐にわたる研究項目において、産学協力して目標を達成するとともに、成果に基づく特許出願がなされた。今後の研究計画も具体的かつ的確であり、メモリーとしての基本・実用特性を明確に意識した、次のステージへの研究展開、進展が期待される。