

## 平成18年度顕在化ステージ 事後評価報告書

シーズ顕在化プロデューサー所属機関名：株式会社東芝セミコンダクター社

研究リーダー所属機関名：九州大学

課題名：次世代移動体通信用アナログデバイスへのひずみ印加技術の顕在化

### 1. 顕在化ステージの目的

本共同研究では、東芝セミコン社の移動体通信用アナログICの構成デバイスであるバイポーラトランジスターに、ストレスソース(SiGe, SiN)を形成し、Si層に縦方向へのひずみを印加して電子の走行速度を向上させるデバイス化技術の確立を目的としている。これを実現するため、縦方向へのひずみ印加技術を顕在化できる可能性を本ステージで検証する。

### 2. 成果の概要

#### 大学の研究成果

応力シミュレーションでは理論解析ができる事を検証し、デバイス設計のため、膜厚比の調整並びに応力集中の緩和が重要である事を示すことができ、実デバイス構造を想定した応力シミュレーションの体制が整備された。ストレスソースの最適化では、Si立体構造の形状、拘束条件を適正化する事により、高ひずみ導入(圧縮:1.2%)を実現した。水素導入型SiN及びSiGeを用いたストレスソースを検討し、伸張ひずみの導入も可能とした。ひずみ率と欠陥の評価ではラマンとPLの併用により、より詳細なひずみ及び欠陥の情報が得られることを示し、次世代立体構造デバイスに印加する局所ひずみを定量的に評価することが可能となった。

#### 企業の研究成果

縦方向ひずみを評価する試料として模擬構造を考案し、その試作プロセスを確立した。LP-SiN膜ストレッサーでは下地SiO<sub>2</sub>からの拘束を受けないSi層形成が実現できた。ストレスソースの成膜条件を最適化するための模擬構造形成プロセスが確立できたことから、当初の目標は完遂できたと考えている。

### 3. 総合所見

学によるひずみの評価技術を確立させ、定量的に検証することで、Siバルク自体を歪ませるアイデアに基づいたバルクへの歪み印加を実証した。今後は将来の展望を明確化していくことが望まれる。