

プログラム名：量子人工脳を量子ネットワークでつなぐ高度知識社会基盤の実現

PM 名： 山本 喜久

プロジェクト名： 量子人工脳

委 託 研 究 開 発

実 施 状 況 報 告 書 (成果)

平成 29 年度

研究開発課題名：

量子フィードバック回路開発

研究開発機関名：

大阪大学

研究開発責任者

井上 恭

I 当該年度における計画と成果

1. 当該年度の担当研究開発課題の目標と計画

本課題は、コヒーレント・イジングマシン（CIM）の要の構成要素である量子フィードバック回路の開発、特に FPGA による信号処理回路の設計・実装を主な担務としている。量子フィードバック回路では、リング共振器型縮退光パラメトリック発振器（OPO）内を周回する時分割多重光パルスの各パルス状態を測定し、その測定結果を用いて FPGA 回路でパルス間結合に相当する演算を行い、演算結果を光信号に変換して OPO 周回パルスに注入する、という操作を行う。前年度までに、FPGA ボード 2 枚直列構成による {2048 パルス全結合、離散結合係数} という機能を有する信号処理回路を設計・実装し、またその改良版として、外部磁場機能を付加した回路、並びに {512 パルス全結合、連続結合係数} という機能を有する回路を設計・実装した。さらに、次期バージョンとして、10 万パルス全結合を実現する回路の基本仕様を策定した。

本年度は、上記の前年度までの研究成果を受け、基本仕様を策定した次期 10 万パルス全結合回路の詳細な設計を行うことを目標した。

2. 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

10 万パルスを収容するためのリング共振器 OPO の仕様は、これを担当する NTT チームとの検討により、{リング長：5km、パルス繰り返し周波数：5GHz} と設定した。このための信号処理回路には、(i)5GHz パルス列に対応可、(ii)一連のフィードバック処理（データ取り込み、10 万×10 万行列計算、信号生成・注入）を 25μ秒（=リング一周時間）以内に終了、という動作性能が求められる。(i)に関しては 5GHz パルス信号に対応する ADC/DAC の実装、(ii)に関しては 10 万×10 万行列演算を所定の時間内で実行する回路構成の設計、が課題となるが、いずれについても要求仕様を満たす見込みが得られた。詳細を次項にて述べる。

2-2 成果

ADC/DAC

5GHz パルス信号用の ADC としては、次の性能を有する製品（Abaco System 社、FMC126）が候補として挙げられた：{サンプリングレート = 5GS/s、アナログ周波数帯域 = 1M~3GHz、分解能 = 10 ビット}。しかしながら、サンプリングレートと分解能は要求条件を満たしている一方、アナログ周波数帯域の低周波側が 1MHz からであり、連続値が続くことが多い OPO パルス信号用としては、このままでは使用できなかった。本製品の回路図を検討したところ、入力段にコンデンサが配置されており、これにより低周波成分がカットされているものと考えられた。そこで、自前でこのコンデンサを除外（または小さいものに取り換え）した。その結果、低周波域が 0.1MHz 以下からとなり（図 1）、10 万パルス・マシン用として十分な特性が得られた。なお、DAC としては次の性能を有する製品（Euvis 社、FMC1662）があり、そのまま使用可能である：{サンプリングレート = 1~8GS/s、アナログ周波数帯域 = DC ~ 1.9GHz、分解能 = 12 ビット}。

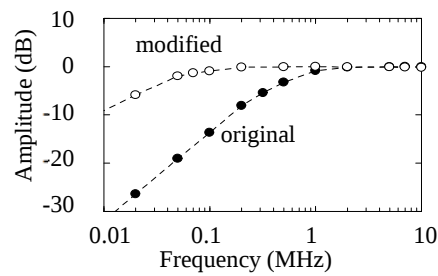


図 1 ADC 周波数特性

10 万×10 万行列計算

まず各種 FPGA 製品を比較検討し、Virtex 社 VU13P を用いることとした。ここで重要視したのは、DSP スライス数 = 12288、及びトランシーバ能力 = 33Gb/s×128 ポート、である。前者は大規模計算をなるべく少ないボード数で実行する、後者は全ての計算を所定の時間内で終了する、のに必要である。

10 万×10 万行列演算[$J \times S(k) = S(k+1)$]は単一の FPGA では実行することはできず、これを複数で分担する。これを効率良く行うため、10 万×10 万行列を 10 万×1800 行列に 58 分割し、各行列計算を各 FPGA ボードで行い、それを合算することとした（図 2）。そして、各 FPGA での計算及びその合算をなるべく遅延（または待機時間）無く行うため、FPGA の DSP-Box（デジタル信号処理ブロック）をツリー構成で接続することとした（図 3）。但しこれは論理的構成であり、物理的には FPGA ボード 58 枚を直列接続する。FPGA ボードの高速データ転送性能がこれを可能としている。

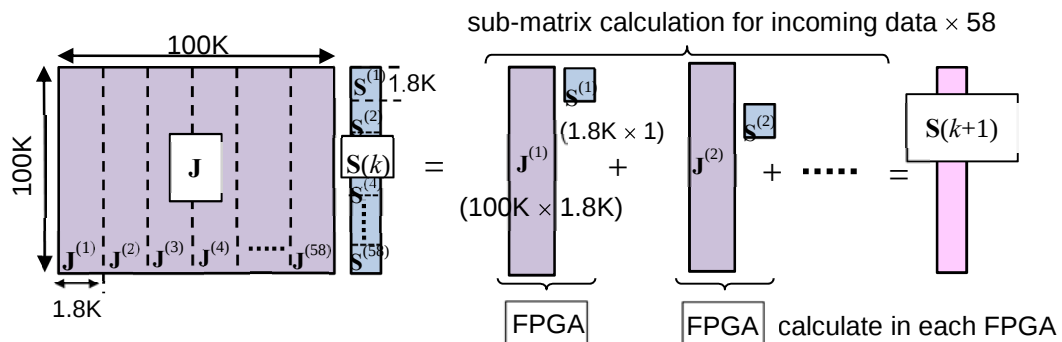


図 2 行列分割計算の構成

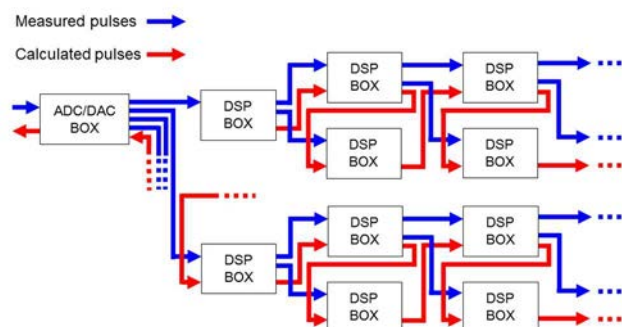


図 3 デジタル信号処理ブロックの配置構成

以上の構成により、所定時間内に 10 万×10 万行列演算が完了する見込みが得られた。

2-3 新たな課題など

前項のように回路設計は終えたので、今後はこれを実際に作製して動作を確認し、さらにはリング共振器 OPO と組み合わせて CIM としての動作を検証することになる。

3. アウトリーチ活動報告

特に無し。