

プログラム名：無充電で長期間使用できる究極のエコ IT 機器の実現

PM 名：佐橋 政司

プロジェクト名：電圧駆動 MRAM 開発タスクフォース

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平 成 2 9 年 度

研究開発課題名：

電圧駆動 MRAM のプロセス技術およびメモリアレイの開発

研究開発機関名：

国立研究開発法人産業技術総合研究所

研究開発責任者

湯浅 新治

I 当該年度における計画と成果

1. 当該年度の担当研究開発課題の目標と計画

本研究開発課題では、電圧駆動 MRAM が要求する諸特性を高いレベルで満たすためにエピタキシャル成長を用いて新材料素子を開発することを目標としている。H29 年度は、以下の課題について研究開発を行った。

1) 大径シリコン基板上への MTJ 薄膜のエピタキシャル成長

応用に近い垂直磁化 MTJ のエピタキシャル化を目指して、大型スパッタ装置を用いた材料・プロセスの最適化を行う。垂直磁化膜の作製技術を応用して、Si(001)大径ウェーハ上への垂直磁化 MTJ のエピタキシャル成長を試みる。トンネル障壁層としては、これまでに実績のある MgO(001)薄膜を基本として、さらに Mg-Al-O(001)などのスピネル系へ材料範囲を拡張し、その開発を同時に行う。

2) エピタキシャル MTJ 薄膜のウェーハ接合・3次元積層

前年度までに開発した Si(001)大径ウェーハ上エピタキシャル MTJ について、3次元積層化を行う。開発要素として重要なのは、ウェーハ接合プロセスにおける、接合界面材料の選択とそのラフネス抑制である。H29 年度はそれらの最適化によるラフネスやパーティクル起因の接合不良の低密度化、および裏面 Si 除去プロセスにおけるプロセス最適化を行う。

3) 低ダメージ・エッチングによる超微細 MTJ 素子の作製

直径<20 nm 寸法の MTJ 素子の加工を行いながら、同時に側壁ダメージの低減およびその評価を行う。具体的には、MRAM の基本動作であるスピントルク書込特性と、リファレンス層の強度特性を側壁ダメージの評価要素として取り込み、直径<20 nm 寸法に求められるエッチング工程、絶縁層形成工程の詳細技術の確立を目指す。また、上記にて開発を行う、3次元積層化エピタキシャル MTJ 薄膜の超微細加工にも取り組み、直径<20 nm 素子にて MRAM の基本動作実証を行う。

2. 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

1) 大径シリコン基板上への MTJ 薄膜のエピタキシャル成長

大型スパッタ装置を用いて MTJ 薄膜のエピタキシャル成長開発を行った。今年度は表面微細構造の観察 (RHEED 観察) によるエピタキシャル表面の改良に集中するとともに、昨年度までに問題であった MgO エピタキシャルバリアの低性能を改善すべく、材料開発を行った。まず材料開発では、スパッタ成膜 MgO が下地強磁性電極へのダメージを及ぼすことを見出し、これを解決するために Mg-Al-O バリア (NIMS グループが世界に先がけて発表したスピネル系 Mg-Al-O 材料) の形成方法を新たに開発し、これまで数 10%に留まっていた磁気抵抗比 (MR) を 230%以上にまで向上させることに成功した (図 1)。開発の一環で

は、量産向け成膜装置の自動成膜の利点を活かした網羅的なエピタキシャル成長改善が相まって、下地層やバッファ金属層の最適化を進展させたことがMR向上に奏功した。これらにより、大径Siウェーハ上へのフルエピタキシャルMTJ形成に目処を付けたとともに、さらに開発をすすめて、面積抵抗(RA値)が10Ω平方ミクロン以下の低RA領域でも150%程度のMRが再現性良く得られるようになり、STT-MRAMの動作確認が可能なフルエピタキシャルMTJ実現に至った。なお、垂直型MTJのフルエピタキシャル成長については、フリー層の垂直配向化まで成功した。

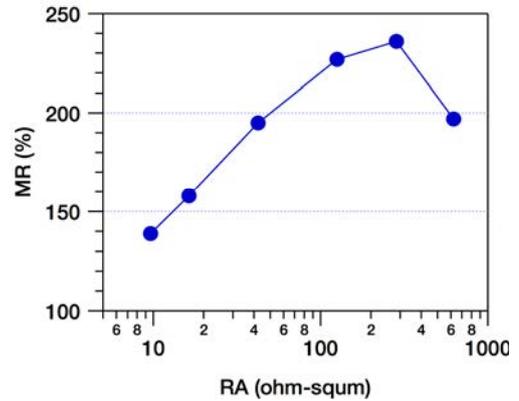


図1 フルエピタキシャルMTJのMR-RA性能曲線

2) エピタキシャルMTJ薄膜のウェーハ接合・3次元積層

上記のフルエピタキシャルMTJを用いてCMOSウェーハとの接合を行うための開発をすすめた。今年度は東芝より提供された12インチCMOSウェーハについて、産総研内でのプロセス推進を前提とした3インチへのレデュースと、接合に向けた表面観察およびラフネスの改善を行った。CMOSウェーハの表面観察では、金属配線のラフネスが15nm程度と非常に大きく、接合に必要なRa値0.3nm以下とは乖離していることが判明した。これを解決するために大きなラフネスをもつCMOSウェーハ上を金属膜で覆った上で、化学研磨(CMP)処理をすることで平坦化することを試みた。現在までに接合に必要な平坦性を得るまでには至っていないが、複数の解決手法を並行して進めている。エピタキシャルMTJ側は接合に充分平坦なRa値0.3nm以下を得ている。

3) 低ダメージ・エッチングによる超微細MTJ素子の作製

エッチング・成膜複合装置にてエッチング条件の最適化から、さらなる微細化を試みた。MTJ素子のエッチング前に、アルゴン・酸素の混合ガスによる逆スパッタでレジストマスクのスリミングを試み、マスク径の低減を試みた。昨年度開発した、KDC型イオンガンにおける低電圧・交互ミリング法により、φ55nmの電子線レジストマスクからφ17nmの垂直磁化MTJ素子の加工に成功した。さらに、代表的な素子でSTT書き込みの実証、反転確率の電流依存性から熱擾乱耐性指数の見積もりを行った。φ17nmでの書き込み効率はおおよそ1(P-APで0.75、AP-Pで1.00)であった。これらの結果は、本方法(ミリング前スリミング+低電圧イオンビームによる交互ミリング)によりサブ20nmφの垂直磁化MTJ素子まで加工ができること、また加工した素子がSTT書き込みに利用できることを示している。

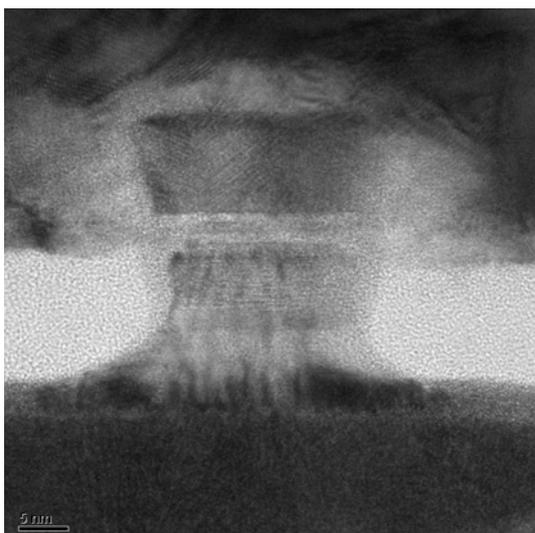


図2 深掘り法で微細加工した垂直磁化 MTJ の断面 TEM 像。直径はバリア端面間で 17nm

2-2 成果

1) 大径シリコン基板上への MTJ 薄膜のエピタキシャル成長

Mg-Al-O スピネル系バリアを用いることで、大径 Si ウェーハ上へのフルエピタキシャル MTJ 成膜に成功した。MR は最大で 230%以上を得た。低 RA 領域にて STT-MRAM 動作可能な MTJ 開発にも成功した。

2) エピタキシャル MTJ 薄膜のウェーハ接合・3次元積層

CMOS ウェーハを接合するための表面ラフネスの評価と改善を行った。CMOS 配線上は大きなラフネスを持つことから、CMP による表面ラフネス改善を行った。

3) 低ダメージ・エッチングによる超微細 MTJ 素子の作製

垂直磁化 MTJ を $\phi 17 \text{ nm}$ のピラー形状に加工することに成功し、その素子において STT 書き込みが出来ることを実証した。

2-3 新たな課題など

Mg-Al-O スピネル系バリア上への極薄膜の形成の難易度が高く、垂直型 MTJ の作成に時間を要している。Mg-Al-O スピネル系バリアについての知見と経験が豊富な NIMS グループのアドバイザーを得ながらこれを解決するとともに、開発スピードを上げる予定である。

3. アウトリーチ活動報告

該当なし。