

プログラム名：「無充電で長期間使用できる究極のエコ IT 機器の実現」

PM 名：佐橋 政司

プロジェクト名：電圧駆動 MRAM 開発タスクフォース

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平 成 2 9 年 度

研究開発課題名：

課題 2 電圧駆動 MRAM のプロセス技術およびメモリアレイの開発

課題 5 電圧駆動 MRAM 機能実証開発試作

研究開発機関名：

株式会社東芝 研究開発センター

研究開発責任者

與田 博明

I 当該年度における計画と成果

1. 当該年度の担当研究開発課題の目標と計画

平成 29 年度の目標としては、継続して取り組む課題 2(電圧駆動 MRAM のプロセス技術およびメモリアレイの開発)と平成 28 年度のコンセプト実証の成果を受けて平成 29 年度より新たに設定された課題 5(電圧駆動 MRAM 機能実証開発試作)についての以下の 5 つを掲げて、電圧駆動 MRAM の研究開発に取り組んだ。

目標

課題 2：電圧駆動 MRAM のプロセス技術およびメモリアレイの開発

1. 10nm 台幅（大容量型電圧駆動 MRAM では矩形素子を使用予定）素子の微細加工に必要なキーププロセス技術の開発（高精度エッチングエンド制御技術）

課題 5：電圧駆動 MRAM 機能実証開発試作

2. MTJ 素子幅 20nm 台の 3 端子素子の実証
3. MTJ の下部電極薄膜化(7 nm 以下)を MTJ プロセスモジュール、およびアレイ試作に適用
4. 特性バラツキの評価
5. CMOS 回路と組み合わせた場合の RER、WER 評価シミュレーションの立ち上げ
(藤田 PI に協力)

計画

課題 2 項目(2) 超微細加工技術の開発（産総研と共同）

幅 20nm 台の MTJ 素子を実用化するための超低ダメージのエッチング技術を開発する。すでに ImPACT で新規開発したエッチング・成膜複合装置(産総研に設置)を用いて、(i)超低ダメージのエッチング技術による MTJ 素子側壁ダメージの低減、(ii)低ダメージ成膜プロセスによる MTJ 側壁保護層の作製、(iii)幅 20nm 台の MTJ 素子の作製と特性評価について研究開発を行う。また、東芝としては、(iv)消費エネルギー低減のキーププロセスである下部電極薄膜化を達成するための MTJ の下部電極との高選択エッチングプロセスの研究開発に特化して研究開発を進める。

課題 5 電圧駆動 MRAM 機能実証開発試作

平成 29 年度から 30 年度にかけてメモリアレイを作製し、VoCSM の実現性を実験とシミュレーションを組み合わせ実証する。具体的には、(1)バラつき評価用の MTJ 素子アレイを開発し、バラつきを評価、(2)メモリアレイ作製プロセスモジュールを開発、(3)書き込み誤り率等の評価方法を開発し、RDER(Read Disturb Error Rate)、WER(Write Error Rate)を評価、(4)各バラつき低減の施策の明確化を行う、および(5)VoCSM 用の CMOS 回路全体を先端シリコン設計ルールにて高精度に設計し、RER(Read Error Rate)、WER のシミュレーション評価を行う。最終的には、上記(1)から(5)を統合し、バラつき低減、VCMA 最終目標値を仮定した場合における 10^{-6} 以下の RER と WER の可能性を実証する。なお、上記(5) CMOS 回路と組み合わせた場合の RER と WER のシミュレーション評価は弊社藤田 PI 主導で行い、本チームはこれに協力する。

また、上述のうち、平成 29 年度は、(1)下部電極材料開発を含めた MTJ 素子の開発を行ない、さ

らにバラつき評価 MTJ 素子アレイを開発し(4)特性バラつきを評価、(2)メモリアレイ作製を考慮した MTJ プロセスモジュールを開発、(3)RDER と WER の評価方法の開発と実測、(5)CMOS 回路と組み合わせた場合の RER と WER のシミュレーション評価の立ち上げを行う。なお、上記(5)CMOS 回路と組み合わせた場合の RER と WER のシミュレーション評価の立ち上げは、弊社藤田 PI 主導で行い、本チームはこれに協力する。

2. 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

課題 2 項目(2) 超微細加工技術の開発(順調に進捗)

本課題の目標は、課題 5 にて使用する MTJ 素子の微細加工技術を構築することである。まず、超低ダメージの MTJ エッチング技術と低ダメージ成膜プロセスによる MTJ 側壁保護層の作製技術を開発し、これを幅 26 nm の MTJ 素子の試作開発に適用した(図 1 (a))。その結果、図 1 (b)に示すように幅 26nm でも良好なヒステリシス曲線を有する微細 MTJ 素子の作製に成功した。

さらに、消費エネルギー低減のキープロセスである下部電極薄膜化を達成するための MTJ 下部電極との高選択エッチングプロセスを開発し、図 1(a)に示すように下部電極のオーバーエッチングを 1nm 未満に抑え、下部電極の薄膜化(厚さ 5nm)に成功した。最終的には、上記 MTJ 作製プロセスを統合・最適化し、同図(c)に示すようにトンネル障壁ショート回避 MTJ 加工プロセスモジュールを構築した。

下記に本課題の進捗を要約する。

- ✓ 超低ダメージな MTJ 加工と MTJ 側壁保護層の作製技術を開発。
- ✓ MTJ 下部電極の高選択エッチングプロセスの研究開発を行い、5nm 厚さの下部電極具現化に成功。
- ✓ 上記プロセスを統合し、幅 26nm の微細 MTJ 素子を作製。良好なヒステリシス曲線を確認。

課題 5 電圧駆動 MRAM 機能実証開発試作

本課題の平成 29 年度の目標は、最終年度の目標である『VoCSM の実現性を、実験とシミュレーションを組み合わせ実証する』ためのメモリアレイ作製技術を構築することである。まず、TaB/Ta 下部電極材料を開発し、書き込み効率低減を阻害し、また Ic バラつき増大要因である MTJ 記憶層の magnetic dead layer 厚さを測定限界以下(~0nm)にまで低減した。次に、バラつき評価用の MTJ 素子アレイを開発し、Ic バラつき(面積バラつきを除外すると約 13%のバラつき)、VCMA バラつき(約 16%のバラつき)等を実証した(図 2)。13%から 16%のバラつきは最初にとれたデータとしては、まずまずの値である。最終年度には、このバラつきを 10%程度に低減したいと考えている。さらに、前述のトンネル障壁ショート回避 MTJ 加工プロセスモジュールを構築し、集積メモリアレイを作製した。これにより図 1(c)に示すように、現状約 99%程度の Shunt-less 率を実現することができた。そして、最終的には RDER と WER 評価方法を開発し、上述の集積アレイを用いて同特性を実証した(図 3)。読み出し時の電圧をプラス側に設定することで、 10^{-8} 以下の RDER を確認するとともに、 10^{-8} 台の良好な書き込みエラー率を実証した。上記に加えて、本プログラムの目標である 1fJ/bit の超低消費エネルギー書き込みの実現にチャレンジし、図 4 に示すように VoCSM

書き込み技術により約 10fJ/bit の低消費エネルギー書き込みを実証した(STT 書き込みの半分以下)。また、将来に備え自主課題として Ir 下部電極材料を開発し、1000fJ/(V/m)/m² の巨大な VCMA 値を実現した(図 5)。なお、CMOS 回路と組み合わせた場合の RER、WER の simulation の立ち上げに関しては、藤田 PI に協力した。

下記に本課題の進捗を要約する。

- ✓ TaB/Ta 下部電極材料を開発し、magnetic dead layer 厚さを極限まで低減。
- ✓ バラつき評価 MTJ 素子アレイを開発し、I_c と VCMA のバラつき等について RDER と WER の評価方法を開発し、RDER と WER を実測。
- ✓ VoCSM 書き込み技術により約 10fJ/bit の低消費エネルギー書き込みを実証。
- ✓ Ir 下部電極材料を開発し、1000fJ/(V/m)/m² の巨大な VCMA 値を実現(自主)

2-2 成果

下記に上述の本課題の成果を要約する。

🚩 課題 2 項目 (2) 超微細加工技術の開発

- ✓ トンネル障壁ショート確率を桁違いに低減(図 1(c))。
- ✓ 幅 26 nm の 微細 MTJ 素子を開発、その TMR 特性を評価した(図 1(a))。
- ✓ 5nm 厚さの下部電極の薄膜化に成功した(図 1(a))。

🚩 課題 5 電圧駆動 MRAM 機能実証開発試作

- ✓ TaB/Ta 下部電極材料を開発。
- ✓ I_c バラつき、VCMA バラつき等を評価(図 4)。
- ✓ RDER と WER 評価方法を開発し、同特性を実測(図 5)。
- ✓ CMOS 回路と組み合わせた場合の RER と WER のシミュレーションの立ち上げに際して藤田 PI に協力(藤田 PI の成果報告参照)。
- ✓ 10fJ/bit の低消費エネルギー書き込みを実現(図 4)。
- ✓ 1000fJ/(V/m)/m² の巨大な VCMA 値を実現(図 5, 自主)。

また、これらの高密度版 VoCSM の課題 2 および課題 5 に対する成果に加えて、新たに高速版 VoCSM のコンセプト検証を行ない、書き込み電圧パルス幅 5ns における無限 回に相当する 10¹³ 回の書き込み耐性(10¹³ 以上)を実証することに成功し、新たな出口展開に道筋を拓いた。さらに、これらの研究開発成果をセクション II に示す特許提案・論文・対外発表等、ImPACT 成果の知財化、公表、アウトリーチ等につなげた。

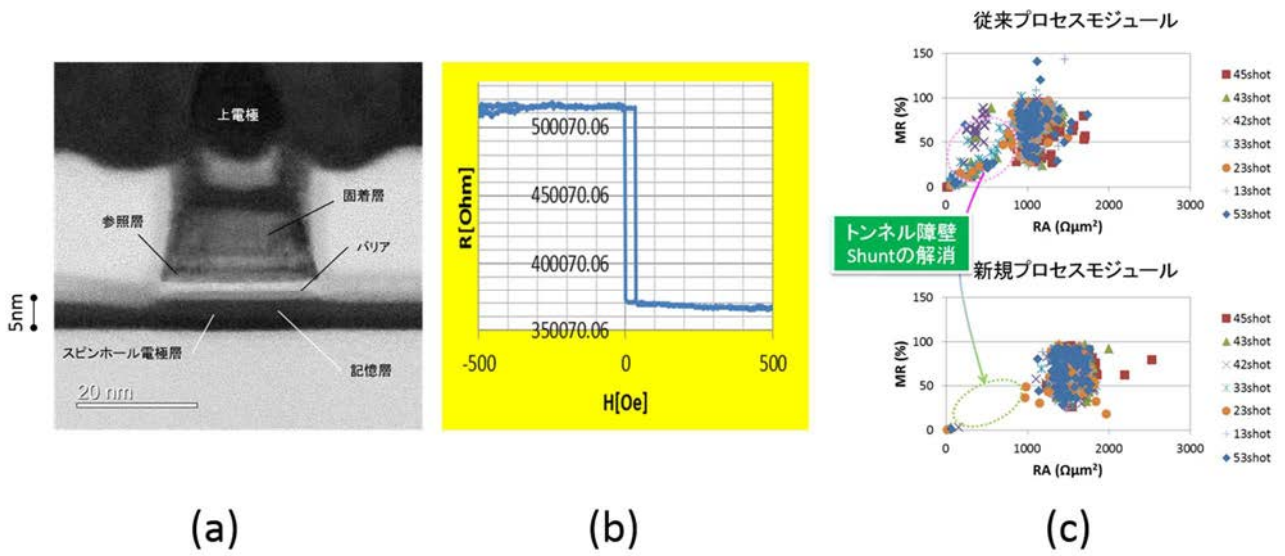


図1 下部電極を薄膜化(5nm)した 26nm 幅の MTJ (VoCSM) 素子を作成 (a)、その TMR 曲線 (b)、およびトンネル障壁ショート確率の大幅低減 (c)

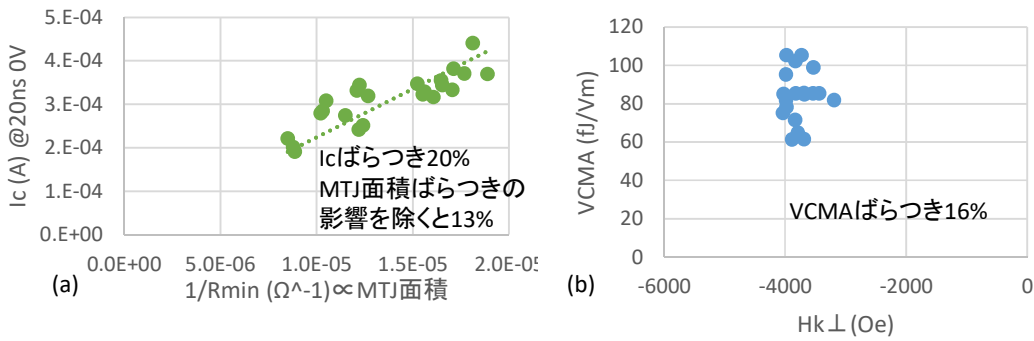


図2 (a) Ic バラつき、(b) VCMA バラつきの把握

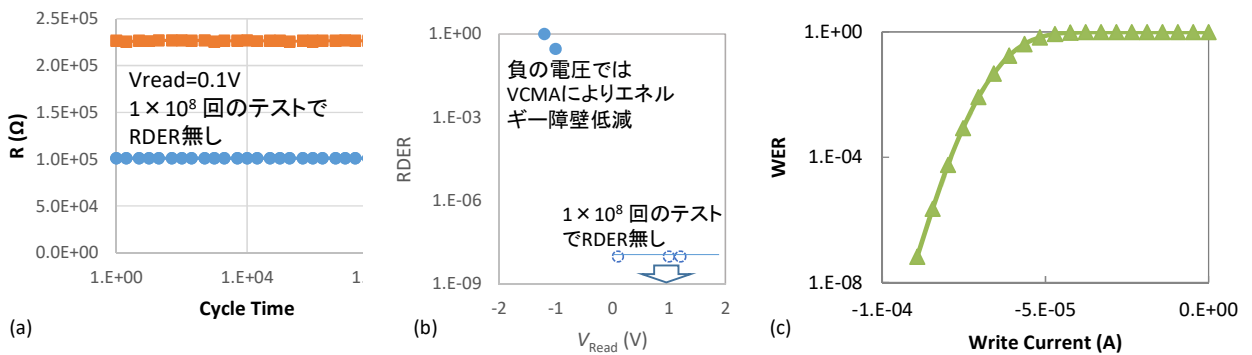


図3 (a)、(b) RDER と (c) WER の実測

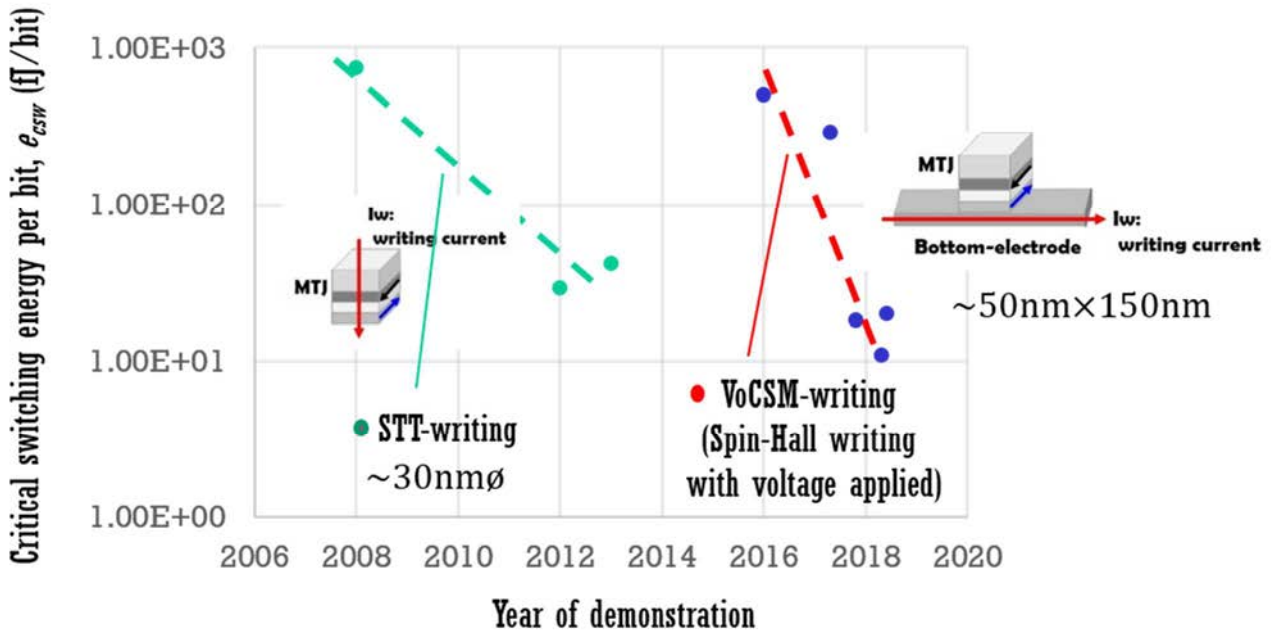


図4 低消費エネルギー書き込みの実現

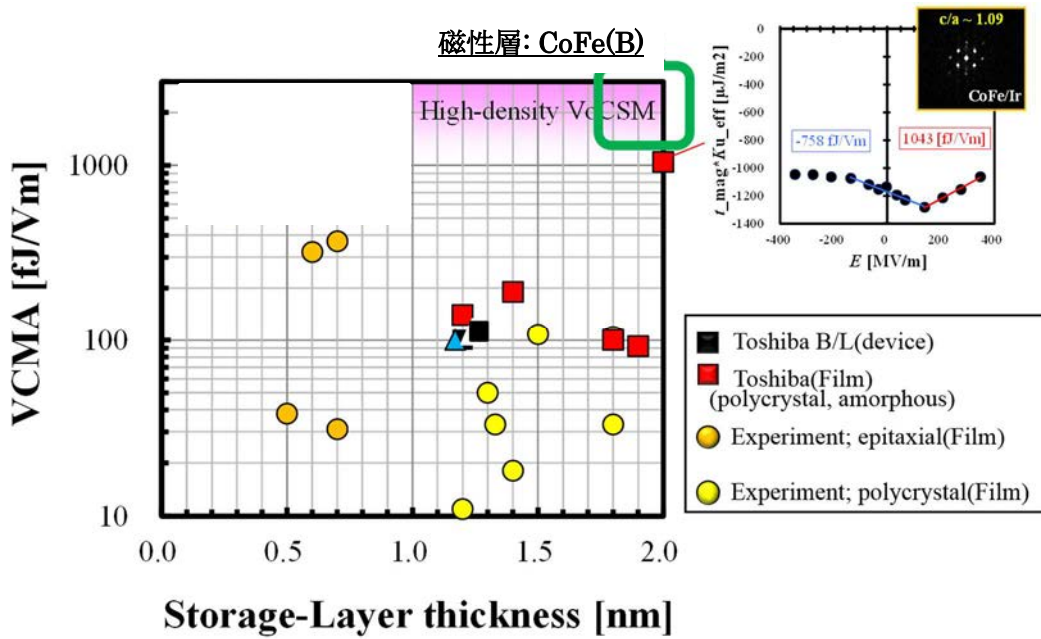


図5 1000fJ/(V/m)/m²のVCMAの実現

2-3 新たな課題など
特になし

3. アウトリーチ活動報告
特になし