

プログラム名：無充電で長期間使用できる究極のエコ IT 機器の実現

PM 名：佐橋 政司

プロジェクト名：電圧駆動 MRAM 開発タスクフォース

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平 成 2 9 年 度

研究開発課題名：

電圧駆動 MRAM のための新材料素子の開発

研究開発機関名：

国立研究開発法人産業技術総合研究所

研究開発責任者

野崎 隆行

I 当該年度における計画と成果

1. 当該年度の担当研究開発課題の目標と計画

本課題では電圧効果の飛躍的な増大を実現する新材料 MTJ 素子の開発と電圧誘起ダイナミック磁化反転による安定な書き込みを実現する電圧書き込み評価の 2 テーマを柱とする。平成 29 年度では、4d、5d 系の大きなスピン-軌道相互作用を利用した希薄合金新材料の探索による電圧効果の増大とスパッタ成膜への技術移管、及び高速パルス電圧の精密な形状制御とスピンドイナミクス理解を通じたエラー率の低減を目標とした。

2. 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

新材料 MTJ 素子の開発に関しては、昨年度に引き続き Fe/MgO 界面への重元素ドーピングによる界面磁気異方性、および電圧磁気異方性変化の増大を目的とした材料探索に取り組んだ。エピタキシャル膜だけでなくスパッタ成膜をベースとした MTJ 素子への技術移管を検討し、FeB/MgO 素子においても Ir ドーピングによって電圧効果効率が約 4.5 倍に増大することを確認した。また、界面磁気異方性に関しては W ドーピングも効果的であることを新たに見出した。

電圧書き込み特性評価に関しては、パルス形状制御を通してエラー率の低減が可能であることを見出し、 2×10^{-6} のエラー率を達成した。また、計算科学支援チームとの連携により、エラー率のパルス幅依存性に現れる特異なエラー率増大現象の物理機構を解明し、パルス幅に対する鈍感化の指針を得た。さらに逆バイアス法によるエラー率低減効果についてマクロスピンモデルシミュレーションによる定量評価を行い、飛躍的な低減が可能であることを示した。

2-2 成果

(新材料 MTJ 素子の開発)

昨年度、エピタキシャル超薄膜 Fe/MgO 界面への低濃度 Ir ドーピングによる界面磁気異方性、および電圧効果増大効果を見出した。今年度も引き続き詳細な構造・理論解析を通して起源の解明に取り組み、これらの現象は本来面内磁気異方性を好む Ir が Fe 内に分散することで垂直磁気異方性を増大させ、さらに Fe の約 5~10 倍大きな電圧磁気異方性変調特性を有することに起因することが明らかとなってきた。平成 29 年度はエピタキシャル膜に加えて、電圧ダイナミック磁化反転への展開も踏まえてスパッタ成膜による FeB/MgO 構造をベースとした多結晶 MTJ 素子への技術移管も進めた。Ir に加えて、計算科学支援チームより界面磁

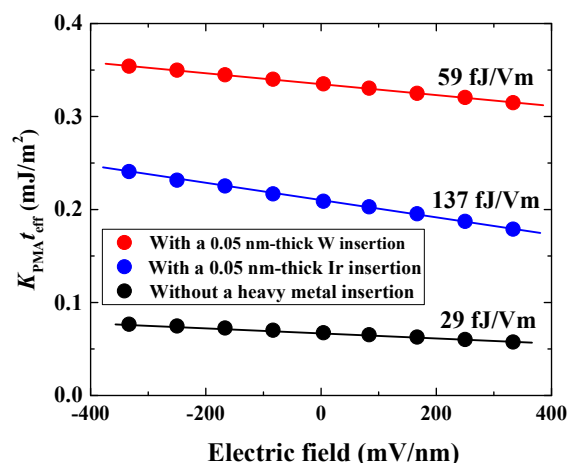


図 1 FeB/Fe/Ir or W ドーピング層/MgO 構造における電圧磁気異方性変化の観測例 (Fe 挿入層厚 0.2 nm)。

気異方性、電圧効果の増大が予測されたW(タングステン)ドーピングも検討した。

FeB上に極薄のFe(0.2 nm)を挿入した後にIr、Wをドーピングした場合には明瞭な異方性および電圧効果増大効果が観察された(図1)。異方性増大に関してはWドーピングが効果的であることを新たに見出した。電圧効果に関してはやはりIrドーピングが効果的であり、参照構造となるFeB/Fe/MgOに比べて約4.5倍の137 fJ/Vmが得られた。基本となるFeB/MgO構造の電圧効果効率をさらに改善することで、スパッタ素子の目標効率である300 fJ/Vmの達成を目指す。

(電圧書き込み特性評価)

昨年度までにCoFeBフリー層の組成、およびアニール処理温度の最適化により異方性、および電圧効果の効率改善に取り組み、 10^{-5} 台のエラー率を達成した。今年度は任意波形発生装置を用いて書き込みパルス形状の精密な制御、具体的には立ち上がり・立ち下がり時間幅依存性を系統的に調べ、立ち下がり時間を緩やかにすることでエラー率を 2×10^{-6} まで低減することに成功した(図2参照)。さらに、エラー率のパルス幅依存性を詳細に解析する中で、特異にエラー率が増大する条件が存在することを見出した。計算科学支援チームとの連携によりその物理機構解明に取り組んだ結果、特に強い面内磁界印加下において、パルスを切った後の緩和過程におけるスピンドダイナミクスの理解が非常に重要であることが分かった。また、書き込みの前後に逆バイアス電圧パルスを導入することで実効的な熱安定性を向上させ、エラー率を飛躍的に低減できることをマクロスピンモデルシミュレーションにより明らかにした。この方法は上述のエラー率のパルス幅依存性を鈍感化させる上でも有効である可能性がある。

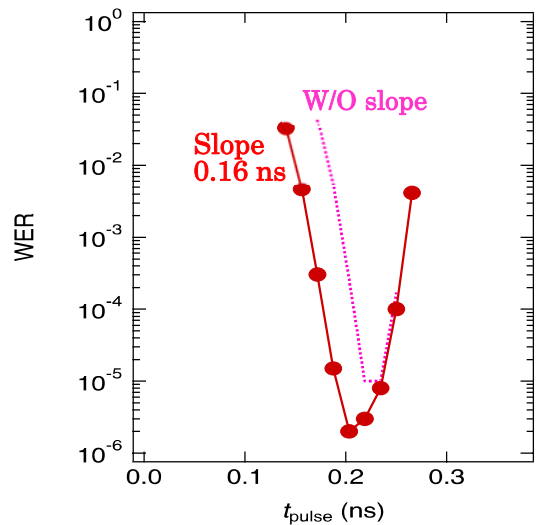


図2 パルス立ち下がり時間制御によるエラー率低減効果の例

2-3 新たな課題など

これまでエラー率の最小値低減を目標として初期実験比で約3桁の低減に成功してきた。しかしながら実用的には局所的な低エラー率よりも、より広い時間幅において安定なエラー率を確保することが重要であることから、今後はエラー率のパルス幅依存性を鈍感化させるための技術開発を方針に加えた。

3. アウトリーチ活動報告

特に無し