

プログラム名：無充電で長時間使用できる究極のエコ IT 機器の実現

PM 名：佐橋 政司

プロジェクト名：電圧トルク MRAM プロジェクト

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平成 28 年度

研究開発課題名：

電圧素子微細加工技術（側壁加工・3 端子素子を含む）

研究開発機関名：

富士通株式会社

研究開発責任者

杉井 寿博

# I 当該年度における計画と成果

## 1. 当該年度の担当研究開発課題の目標と計画

### 28年度の目標

- 1) 電圧トルク・スピントルク併用 2 端子素子によるユニポーラ動作の確認と、従来素子と比べて約 1/10 の消費電力動作に向けた道筋の明確化。
- 2) セルフシュリンク技術の更なる高精度化と高信頼化の検討を通して、20nm 以下の微細素子作製の道筋の明確化。
- 3) 電圧トルク・スピントルク併用型 2 端子素子が具備すべき要件や仕様の検討。

### 28年度の計画

- 1) ユニポーラ電圧駆動型電圧トルク・スピントルク併用型 2 端子素子の実現に向けて、マイクロマグネティックシミュレータを用いて、2 端子素子構造の設計とその動作条件を検討する。そして、従来素子と比べて約 1/10 の消費電力での動作へ向けた指針を示す。
- 2) 27 年度から進めているセルフシュリンク技術の高精度化を行い、20nm 以下の微細素子作製の道筋を示す。また、セルフシュリンク工程の前の MTJ 素子の加工方法の検討も行う。
- 3) 高性能化・高集積化・低消費電力化の観点から、高性能プロセッサ向けキャッシュメモリの現状課題の明確化、電圧トルク（スピントルク併用）型 2 端子素子が具備すべき要件や仕様の明確化、高性能プロセッサへ適用する場合のインパクト・効果などを机上検討する。

## 2. 当該年度の担当研究開発課題の進捗状況と成果

### 2-1 進捗状況

2-1-1) 電圧トルク・スピントルク併用 2 端子素子によるユニポーラ動作の確認と、従来素子と比べて約 1/10 の消費電力動作に向けた道筋の明確化

2-1-1-1) マイクロマグネティックシミュレーションによる電圧トルク・スピントルク併用型 2 端子素子の設計

「ユニポーラ電圧駆動型電圧トルク・スピントルク併用型 2 端子素子の実現」に向けて、マイクロマグネティックシミュレータを活用して 2 端子素子構造を設計し、その動作条件の検討を行った。そして、更なる低消費電力化や高速化に向けた指針策定に向けた検討を行った。

平成 27 年度までに、図 1 に示す構造の直径 20 nm の MTJ において、電圧効果による異方性磁界の減少を仮定することで、低抵抗 P 状態から高抵抗 AP 状態へのスイッチングが可能であることを、シミュレーションで示した。MTJ の面積抵抗 (RA) を  $50 \Omega \cdot \mu\text{m}^2$  と仮定すると、1 V の電圧を印加すると、 $1 \times 10^6 \text{ A/cm}^2$  の密度の電流が MTJ を流れていることになる。図 2 は、振幅 1V、60 ns 幅の電圧パルスを印加したときの、規格化された MTJ の抵抗値、TMR の時間変化を示す。フリー層と参照層の磁化がとも下向きの場合に P 状態、フリー層が上向き・参照層が下向きと場合 AP 状態を表す。電圧印加により、異方性磁界、 $H_k$

が 1.89 T から 1.68 T に減少すると仮定し、その電圧アシストにより P→AP へのスイッチングに成功した。電圧効果がなければ、 $3 \times 10^6$  A/cm<sup>2</sup> の電流でも 60 ns の間にスイッチングは起こらない。

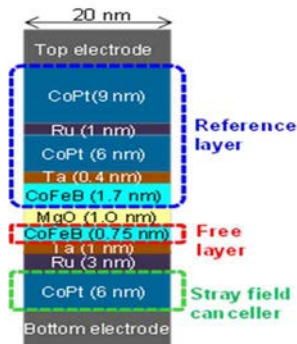


図1 MTJの構造

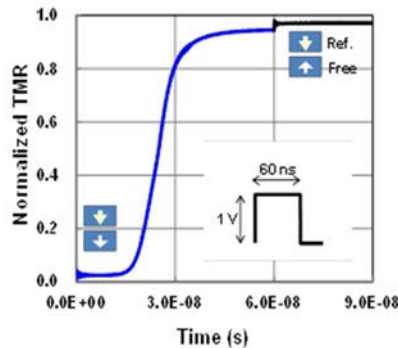


図2 電圧アシスト P→AP スwitching

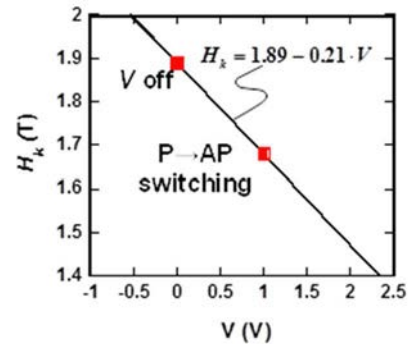


図3  $H_k$  の電圧(電界)依存性

このとき、1 V の電圧印加により、 $H_k$  が 1.89 T から 1.68 T に変化したことに着目し、図 3 に示すように、電圧と  $H_k$  の間に線形の関係 ( $H_k = 1.89 - 0.21V$ ) を仮定する。ユニポーラ電圧スイッチングの場合、P→AP スwitching の場合と同じ極性でより大きな振幅で、AP→P 書き込みを行う。そこで、 $H_k$  を徐々に小さく（印加電圧を徐々に大きく）変化させて、AP→P スwitching の可能性を調べた。その結果、図 4 に示すように、 $H_k \leq 1.47$  T の場合に、電圧印加とほぼ同時に規格化された TMR が急減することがわかった。 $H_k = 1.47$  T のとき、MTJ には 2V の電圧が印加されており、 $\sim 4 \times 10^6$  A/cm<sup>2</sup> 近い電流が流れている。ここで、注意しなければいけないのは、この電流によるスピントルクの効果で、フリー層の磁化は上向き状態に戻ろうとすることである。図 4 の  $H_k = 1.47$  T の場合も、電圧印加後、急減した規格化 TMR は徐々に大きくなり、約 8 ns 後にほぼ上向き状態となる。そこで、P 状態にスitchin させるには、電圧印加によりフリー層の磁化が下向きに変化し、次に上向き状態に戻る前に、電圧をオフにすればよい。図 5 に電圧パルス幅を 3 ns と 6 ns の場合の規格化された TMR の過渡特性を示す。パルス幅が 3 ns の場合は、電圧をオフにすると P 状態になり、AP→P スwitching が成功したことがわかる。パルス幅は 5 ns でも P 化が可能であるが、6 ns になると AP 状態に戻ってしまうことがわかった。

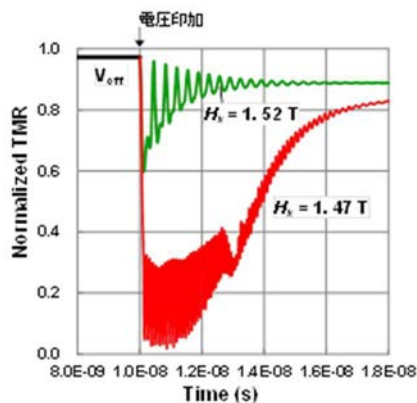


図4 TMR の時間変化の  $H_k$  依存性

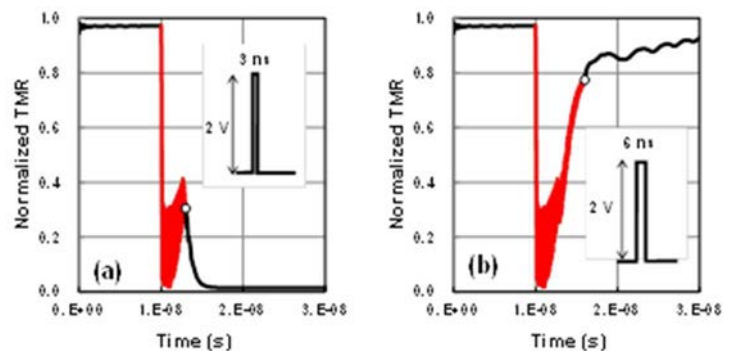


図5 電圧アシスト AP→P スwitching: 印加電圧パルス幅が (a) 3 ns、および、(b) 6 ns の場合

2-1-1-2) 電圧アシストスイッチングに必要な書き込み電力

比較のため、電圧効果が働かない場合の、スピントルクのみの磁化反転でどれくらいの電流と時間が必要かを調べた。図 6(a)にスピントルク P→AP スイッチング、(b)に AP→P スイッチングの場合の規格化した TMR の過渡特性を示す。P→AP の磁化反転は、J が  $2E6 \text{ A/cm}^2$  のとき 60 ns 内で起こらないが、J を  $3E6 \text{ A/cm}^2$  にすると、50 ns を過ぎから磁化反転が起こり始めることがわかった。一方、AP→P スイッチングの場合は、J が  $1E6 \text{ A/cm}^2$  のときでも、約 40 ns で磁化反転が起こることがわかった。

書き込みに要する電力は、下記の積で見積もることができる。

$$\text{書き込み電力} = \text{書き込み電圧} \times \text{書き込み電流} \times \text{書き込み時間} \quad (1)$$

MTJ の面積抵抗 RA を  $50 \Omega \cdot \mu\text{m}^2$  と仮定すると、スピントルク (STT) による書き込み電力、電圧アシストスイッチングの書き込み電力は、表 1 のようになる。電圧アシスト書き込みの書き込み電力は、P→AP の場合は約 1/5、AP→P の場合は 1/10 と、小さい電力で書き込みが可能であることがわかった。

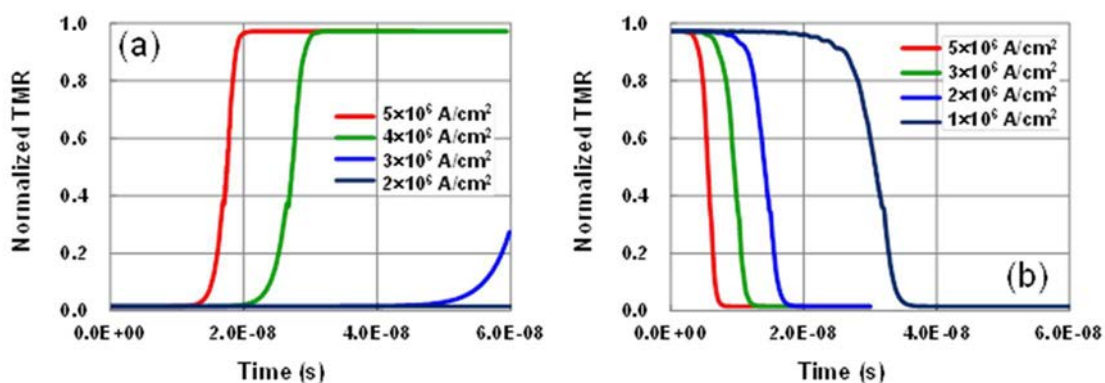


図 6 スピントルク磁化反転の電流密度依存性。(a) P→AP スイッチング、(b) AP→P スイッチング

	P→AP	AP→P	書き込み電力	書き込み電力	総書き込み電力 (fJ)
			P→AP (fJ)	AP→P (fJ)	
STT磁化反転	$4 \text{ MA/cm}^2$ , 2 V, 33 ns	$2 \text{ MA/cm}^2$ , 2 V, 20 ns	880	251	1131
電圧アシスト V1, V2(1)	$1 \text{ MA/cm}^2$ , 1 V, 60 ns	$4 \text{ MA/cm}^2$ , 2 V, 1 ns	188	25.1	213.1

表 1 書き込み電力の見積もり

2-1-2) セルフシュリンク技術の更なる高精度化と高信頼化の検討を通して、20nm 以下の微細素子作製の道筋の明確化

2-1-2-1) 微細レジストパターンとハードマスクの開発

MTJ の微細化と高精度化には、微細なレジストパターンの形成と、その後のハードマスクを用いた選択加工が必須である。MTJ のドット形状を一回の露光で形成する従来プロセスでは、MTJ の寸法ばらつきが

大きかったため、今期は寸法ばらつきの抑制に向けて、ラインパターンを用いたクロス露光プロセスを検討した。図7に、クロス露光プロセスフローを示す。つくばの産総研の300mmラインで試作ロットを投入し、Taハードマスクの加工まで完了させ、形状評価を行った結果を図8に示す。当初、加工中にマスク材が波打ち下地に反映されてしまうウェービング現象が問題となったが、マスク材の膜厚を調整して対処することで、初めてクロス露光プロセスでドットパターンを形成できた。

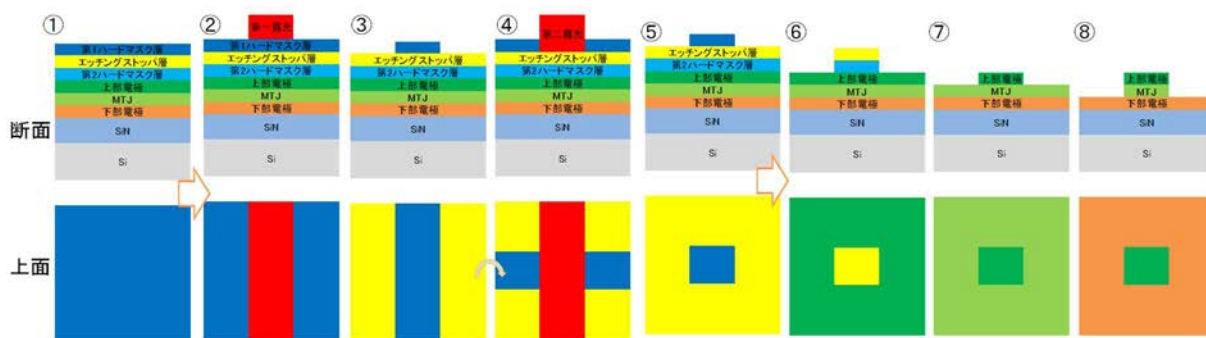


図7 クロス露光プロセスフロー

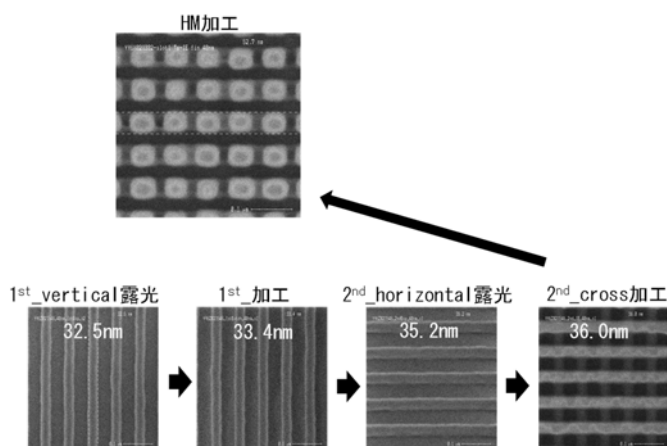


図8 クロス露光でハードマスクの加工まで完了させた結果

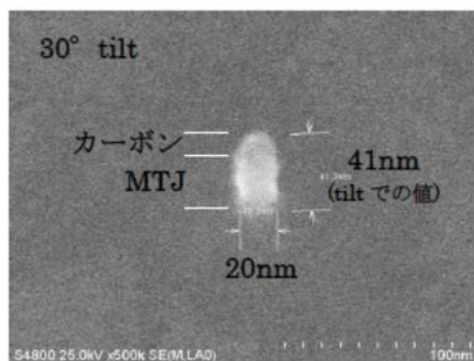


図9 SiO<sub>2</sub>/C(カーボン)の積層型

ハードマスクを用いてのMTJ加工

20nm未満のMRAM素子を得るための新しいハードマスクの開発として、SiO<sub>2</sub>/C(カーボン)の積層型ハードマスクを検討した。露光後まずSiO<sub>2</sub>をミリングで加工する。RIEを用いていないためレジストのポリマー化は生じない。次に酸素RIEによりカーボン膜を加工する。カーボン膜は酸素プラズマにより容易に加工できるため、ミリング加工よりも形状が良いものが得られる。そして、SiO<sub>2</sub>/C(カーボン)の積層型ハードマスクを用いてMTJ素子を加工する。図9にMTJ加工後のSEM像を示す。20nmのMTJ素子が形成できていることがわかる。

#### 2-1-2-2) セルフシュリンク技術の更なる高精度化開発

平成27年度から検討を続けている、我々の独自技術であるセルフシュリンク技術(MTJ加工後に酸化を行ってMTJ側壁部を電氣的・磁氣的に不活性にして、加工したMTJの物理的な寸法より電氣的・磁氣

的に微細化する手法)の高度化の研究開発を行った。図10に、よりシュリンクが強く効く条件へ(A→D)変えてプロセスを振って、MTJの抵抗値、スイッチング電流、MTJ直径寸法を評価した結果を示す。MTJ直径寸法は、プロセスA(シュリンクプロセス無し)のTEM評価の結果(45nmΦ)をベースに、スイッチング電流の変化から、プロセスB~Dの電氣的に有効なMTJ直径を見積もった。最もシュリンクを強く効かせたプロセスDにおいて、MTJ直径は24nmとなった。本シュリンクプロセスは更にプロセス時間や、基板加熱温度を変更することで、20nmΦ以下のMTJが実現可能であり、今年度の目標の一つである20nm以下の微細素子作製の道筋をつけることができたと考えている。

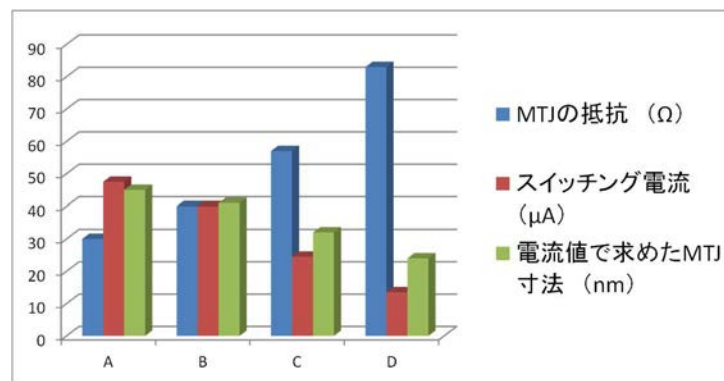


図10 シュリンク条件とMTJの抵抗値、スイッチング電流、MTJ直径寸法

### 2-1-3) 電圧トルク・スピントルク併用型2端子素子が具備すべき要件や仕様の検討

研究課題3の「高性能プロセッサへの開発素子適用を想定したシステム性能の検討」で、28年度は高性能化・高集積化・低消費電力化の観点から、電圧トルク・スピントルク併用型2端子素子が具備すべき要件や仕様の机上検討を行った。

高性能プロセッサにおいては、論理演算部とデータを直接やり取りするキャッシュメモリとしてSRAMが同一チップ上に混載されている。このメモリ部がチップ面積の半分以上を占めており、今後その比率は更に増大すると予測されている。その理由は、情報処理能力を上げるためには、キャッシュメモリの容量増大が非常に有効なためである。そこで、チップ面積を増大することなく混載メモリ容量を増大できれば、プロセッサの高性能化を加速できる。サーバー用プロセッサにおいて、キャッシュメモリを大容量化したときの情報処理性能(SPECint)の向上を見積もった結果が図11である。従来技術の延長で、マイクロアーキの改良だけを行った場合、性能改善は1%程度でしかないのがわかる。現状のSRAMベースのキャッシュは1ビット当たりのセル面積は約200F<sup>2</sup>(Fはテク

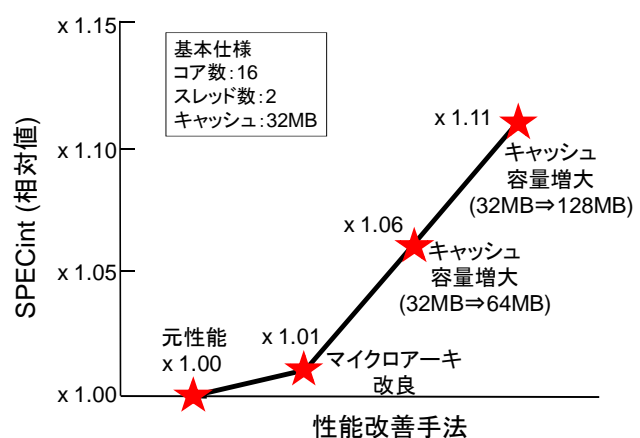


図11 キャッシュメモリを大容量化したときの情報処理性能(SPECint)の見積もり

ノロジー世代)もあるが、セル面積が小さい電圧トルク・スピントルク併用型2端子素子のキャッシュで  $50F^2$  のセル面積が実現できれば、メモリ部の面積が同じで4倍の容量を混載でき、10%以上の処理能力向上が可能となる。今後、DRAMやNANDフラッシュで使用されている縦型のトランジスタと電圧トルク・スピントルク併用型2端子素子を組み合わせれば、 $10F^2$ 以下が可能となり、更に10%以上の高性能化が可能となることがわかった。

また、高性能化の観点だけでなく、混載されるSRAMの容量が大きい場合、そこで消費される動作時と待機時の電力がチップの消費電力の半分を占めており、それを電圧トルク・スピントルク併用型2端子素子を用いて抑制することができれば、プロセッサの低消費電力化を実現できる。電圧トルク・スピントルク併用型2端子素子是不揮発性であるため、待機時の消費電力はゼロにできる。一方、書き換え時はスピントルク書き換えを併用しているため、電流を流す必要があり、そこでの低消費電力化が必要である。書き換えに必要なエネルギーとキャッシュミスレートの関係をシミュレーションで見積もった結果を図12に示す。スピントルク書き換えに必要な電流は、 $100\mu A$ と $20\mu A$ の場合を想定した。比較のため、65nm世代のSRAMの書き換えエネルギーも示す。キャッシュへのアクセス頻度が多くなると、横軸のキャッシュミスレートは大きくなるため、横軸はアクセス頻度と等価の指標である。図にはSRAMと書き換えエネルギーが等しくなるキャッシュミスレート値を示した。書き換え電流が大きい場合、アクセス頻度が低い所でSRAMとエネルギーが等しくなる。このため、その点以上の頻度でアクセスを行う場合、SRAMよりもエネルギーが大きくなって

しまう。電圧トルク・スピントルク併用型2端子素子で例えば書き換え電流を $20\mu A$ にできれば、アクセス頻度が3倍まで増えても、SRAMより書き換えエネルギーは有利である。L1キャッシュのミスレートは一般に0.1(10%)、L2キャッシュはその1/10以下と言われている。このため、L2キャッシュに使用すれば、全てのアクセス頻度でSRAMよりも有利となることがわかる。図10より比較的強いシュリンクプロセスを導入することで、 $20\mu A$ の書き換え電流を実現できる。

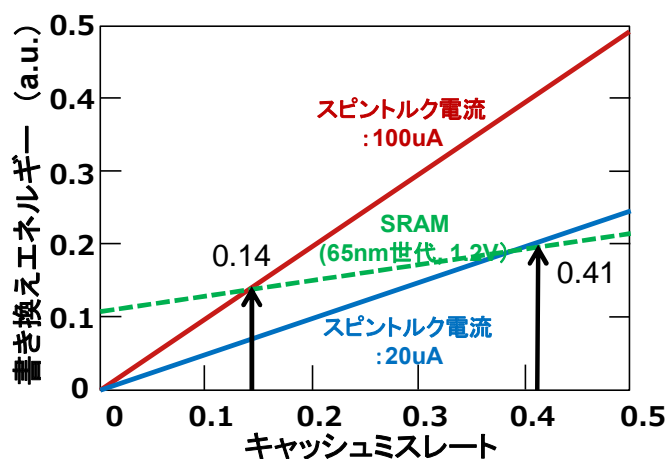


図12 書き換えに必要なエネルギーとキャッシュミスレートの関係

## 2-2 成果

- 1) 電圧トルク・スピントルク併用型2端子素子構造を設計し、マイクロマグネティックシミュレータ上で動作の確認を行った。
- 2) 電圧トルク・スピントルク併用型の書込み電力は、スピン注入型と比較して、P→APの場合は約1/5、AP→Pの場合は1/10と、小さい電力で書込みが可能であることがわかった。

- 3) クロス露光プロセスで、MTJのようなドット形状のハードマスクが作製できる事を実証した。
- 4) SiO<sub>2</sub>/カーボンの積層ハードマスクを用いることにより、20nm ΦのMTJ素子を形成することができ、20nm未満のMTJ素子作製の目途が立った。
- 5) 高性能化・高集積化・低消費電力化の観点から、高性能プロセッサ向けキャッシュメモリ適用に向けた、電圧トルク・スピントルク併用型2端子素子が具備すべき要件を検討した。

### 2-3 新たな課題など

特に無し

### 3. アウトリーチ活動報告

特に無し