

プログラム名：無充電で長期間使用できる究極のエコ IT 機器の実現

PM名：佐橋 政司

プロジェクト名：スピントロニクス集積回路

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平 成 2 8 年 度

研究開発課題名：

「スピントロニクス集積回路の開発」

研究開発機関名：

「東北大学省エネルギー・スピントロニクス集積化システムセンター」

研究開発責任者

大野 英男

I 当該年度における計画と成果

1. 当該年度の担当研究開発課題の目標と計画

スピントロニクス技術を活用したエネルギーハーベスティングで駆動する省電力情報処理集積回路向け材料・素子技術、回路・アーキテクチャ技術ならびに集積プロセス技術の開発に取り組み、革新的材料・素子技術と世界最先端 300mm 集積プロセスとの高度な技術統合により、分散型 IT システムに向けた、従来比で 5 倍以上の動作速度、ならびに 1/20 以下の待機時電力を達成する 50 万素子規模の革新的超低消費電力マイコン等の実現に向けた基盤技術の課題に対し、H28 年度は以下の研究開発を展開する。

① エネルギーハーベスティングで駆動するスピントロニクス集積回路向け材料・素子開発

プログラムの全体計画の見直しにより追加された研究開発項目として、H29 年度に行うスピン軌道トルク (SOT)-MRAM の試作に向けたスピントロニクス材料・デバイス技術の検討。特に 3 端子 MTJ 素子 (SOT 素子) の低消費電力化や高出力化のための材料・デバイス設計指針の検討、および材料、デバイス構造 (スピン移行トルク (STT)/SOT 素子) の開発。新規設備備品の立ち上げ、およびプロセス条件の最適化による材料・デバイス開発 (STT/SOT 素子) の加速、革新的材料の開発。

② エネルギーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発

従来比で 1/20 以下の待機時電力を達成する新しい超低消費電力な回路技術とアーキテクチャ技術の開発に向けて、H27 年度までに設計した基本 IP 回路を組み合わせる構築したマイコンのチップ試作に向けた設計の高度化とプロセス整合性の検証を行う。加えて、プログラムの全体計画の見直しにより追加された研究開発項目として、材料・素子技術の知見に基づいて、3 端子 MTJ 素子 (SOT 素子) を用いた基本 IP 回路の仕様検討ならびに設計を行う。

③ エネルギーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発

3Xnm 世代のスピントロニクス素子を CMOS 回路上に集積化し、上記研究課題で設計される超低消費電力マイコン等 (50 万素子規模) を実証するための世界最先端の 300mm 集積プロセス開発に向けて、H27 年度に開発した 300mm ウェハ対応要素プロセスをもとに STT 素子を CMOS 上に集積化しコンセプト実証に向けた集積化プロセスを開発する。さらに、プログラムの全体計画の見直しにより追加された研究開発項目として、材料・素子グループで開発された SOT 素子の 300mm 対応集積化プロセス開発に関する仕様検討とそれに基づく要素プロセス技術の開発を推進する。

2. 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

① エネルギーハーベスティングで駆動するスピントロニクス集積回路向け材料・素子開発

SOT-MRAM の試作に向けた 3 端子 MTJ 素子 (SOT 素子) の低消費電力化や高出力化のための材料・デバイス設計指針の検討、および材料、デバイス構造 (STT/SOT 素子) の開発、新規設備備品の立ち上げを進めた。具体的には、H27 年度に開発した面内磁化容易軸を有する新構造の素子における、サブナノ秒での磁化反転の可能性を検証した。また無磁場磁化反転が可能な改良構造の開発、及び書き込み電流密度低減に向けた材料技術の確立に取り組んだ。

2 端子 STT 素子に関しては、デバイスの重要な特性の一つである熱安定性指数を正しく評価するために、保磁力の角度依存性の評価より磁化反転機構を解明する課題に取り組んだ。

新規設備備品の立ち上げに関しては、STT 素子ならびに SOT 素子試作の両方に関わる CoFeB-MgO 構造作製

プロセスの最適化を行った。また、作製した積層膜を用いて磁気トンネル接合を作製し、その特性を評価した。

② エナジーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発

H27年度までに設計した基本IP回路を組み合わせて構築したSTTマイコンのチップ試作に向け、設計の高度化とプロセス整合性の検証を行った。具体的には、まずSTT素子の物理的挙動を直接反映させてSTT-MTJ/CMOS混載集積回路の動作検証ができるよう、回路設計(CAD)環境を構築するなどの高度化を行った。また、STT素子の物理的挙動に起因する性能劣化を最小限にするために、Self-Termination機能などを組み込んだ回路IPを新たに設計・登録するなど、回路IPの高度化を行った。これらの設計環境や回路IPを元に、革新的超低消費電力マイコンを構成する各種機能ブロック、およびマイコン全体での改良・最適化を実施し、その結果をもとにチップ試作に向けたマイコン全体のレイアウトパターン設計を行った。その他、超低消費電力システムにおける電力ハーベストの手法と回路構成について、微弱RF電力を使用するセンサーノードを対象として検討した。さらに、超低消費電力コプロセッサとして、不揮発最近傍探索連想メモリの開発を行った。

加えて、プログラムの全体計画の見直しにより追加された研究開発項目である3端子SOT素子の構造を活用した新たな基本回路IPの仕様検討を行うとともに、その設計を進めた。また、SOT素子を用いた不揮発メモリに向け、100MHzを超える高速動作が可能なセルアレイ回路を検討し、動作検証シミュレーションを行った。

③ エナジーハーベスティングで駆動する集積回路と300mm集積プロセスの開発

3Xnm世代のスピン트로ニクス素子をCMOS回路上に集積化し、上記研究課題で設計される超低消費電力マイコン等(50万素子規模)を実証するための世界最先端の300mm集積プロセス開発に向けて、H27年度に開発した300mmウェハ対応要素プロセスをもとにSTT素子をCMOS上に集積化し、コンセプト実証に向けた集積化プロセスを開発した。具体的には、要素プロセスを融合し、素子不良解析のためのモニター方法や品質管理方法を考慮した集積化プロセスを開発した。また、材料・素子グループで開発中のSOT素子の300mm対応集積化プロセス開発に関する仕様検討を行い、要素プロセス技術の開発環境の整備を行った。さらに、新規導入設備を立ち上げ、試作環境と品質評価環境との構築を行った。

2-2 成果

① エナジーハーベスティングで駆動するスピン트로ニクス集積回路向け材料・素子開発

3端子SOT素子に関しては、H27年度に開発した面内磁化容易軸を有する新構造の素子において、サブナノ秒での磁化反転が可能であることを実証した。また無磁場磁化反転が可能な改良構造を開発し、さらに書き込み電流密度を半減できる材料技術を確立した。

2端子STT素子に関しては、保磁力の磁界印加角度依存性より直径20nm程度の微細MTJの磁化反転機構を明らかにした。直径20nm程度のMTJにおいて、参照層が記録層よりも小さな構造を有する場合には一斉磁化反転が生じること、並びに実際のSTT-MRAMで用いられるような参照層が記録層とほぼ同じサイズとなる構造では、一斉磁化反転とは異なる磁化反転が生じることを明らかにした。また、マイクロマグネティックシミュレーションにより、2つの構造で見られる反転モードの違いは、プロセスによるダメージの違いで説明される。

新規設備備品の立ち上げに関しては、これまでの結果を再現する結果を得ることに成功した。

② エナジーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発

STT素子の確率的なスイッチング動作に起因した特性ばらつきをアナログ値として組み込むことで、シ

システムレベルでの影響を評価できるような回路設計(CAD)環境を構築した。さらに、この評価環境を用いることで、上記ばらつきの影響に起因する誤動作をアーキテクチャレベルで回避する技術を考案した。また、上記ばらつきに応じて書込み電流の供給を自律的に停止する Self-Terminated 機構について、2 個の STT 素子に同時に書込む方式を考案し、個別に書き込んだ場合と比較してコンパクト化できることを示した。マイコンを構成する基本機能ブロック(逐次比較型 A/D コンバータ)についても、Deep Well の活用により、従来必要であった参照用基準電位が不要であることを見出し、高性能化・高信頼化できることを示した。以上の成果をもとに、チップ試作に向けたマイコンおよびその TEG (Test Element Group) 回路のレイアウトパターン設計を行った。その他、超低消費電力システムにおける電力ハーベストでは、スピントロニクス技術の高速データ退避・復旧が有効であることを明確にし、昇圧型 RF 電力ハーベスト整流回路の出力電圧・変換効率を改善した。さらに、超低消費電力コプロセッサとしての不揮発最近傍探索連想メモリについては、CMOS ベースのプロセッサに比べ、電力で 1/7.5 倍、回路面積で 1/60 倍に削減できた。

加えて、本年度は 3 端子 SOT 素子を用いた基本回路 IP の仕様検討ならびに設計も進めた。具体的には、Self-Terminated 機構を有する不揮発 FF を、3 端子 SOT 素子の構造を活用することにより、2 端子 STT 素子を用いた場合と比較して高速に実現可能であることを示した。また、SOT 素子を用いた不揮発メモリに向け、高速セルアレイ回路を検討し、動作検証シミュレーションを行った結果、目標の 100MHz を超える読み出し動作が可能であることがわかった。

③ エナジーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発

3Xnm 世代のスピントロニクス素子(STT 素子)を CMOS 回路上に集積化し、超低消費電力マイコン等(50 万素子規模)を実証するための世界最先端の 300mm 集積プロセス開発に向け、国内半導体製造ラインとのシヤトルプロセスのためのウェハ受け入れ基準を満たした 300mm ウェハ対応要素プロセスを融合するとともに、素子不良解析のためのモニター方法や磁性膜特性・パーティクル・汚染等の品質管理方法を製造工程中に取り入れた集積化プロセスを開発した。また、材料・素子グループで開発中の SOT 素子に関し、300mm ウェハ上に作り込むための集積化プロセスの開発仕様を検討し、要素プロセス技術の開発環境を整備した。さらに、試作および品質評価を効率的に行うために新規設備を導入し立ち上げを行った。

2-3 新たな課題など

① エナジーハーベスティングで駆動するスピントロニクス集積回路向け材料・素子開発

3 端子 SOT 素子に関しては、開発した材料ならびに積層構造を 300mm 集積化プロセスへ適用する上で求められる耐熱性やデバイスパラメータなどに関する新たな課題を集積プロセスグループと議論しながら具体化した。

2 端子 STT 素子に関しては、プロセス中に発生する変成相のデバイス特性に与える影響を引き続き明らかにしていく必要がある。

② エナジーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発

計画当初には無かった 3 端子 SOT 素子を活用した回路 IP の開発を行ったが、引き続きその拡充が必要であり、さらにそれらを用いた設計ツールおよび設計フローの開発が必要である。

今後の SOT 素子を用いた不揮発メモリの開発に向け、高速セルアレイ回路の読み出し系については目標動作を確認できたため、書き込み系回路について今後検討する。

③ エナジーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発

材料・素子グループとの議論に基づき 300mm 集積化プロセスへ適用する上で求められる耐熱性やデバイスパラメータに関する課題を抽出し開発を進めている SOT 素子の試作準備を進めている。

3. アウトリーチ活動報告

東北大学電気通信研究所通研公開 2016 (2016/10/8～9 開催)、仙台フォーラム 2016 (2016/11/30 開催)、平成 28 年度電気通信研究所共同プロジェクト研究発表会 (2017/2/23 開催)、3rd CIES Technology Forum (2017/3/21-22 開催) 等において、ImPACT での取り組みについて紹介した。