

プログラム名：無充電で長期間使用できる究極のエコ IT 機器の実現

PM名：佐橋 政司

プロジェクト名：電圧駆動 MRAM 開発タスクフォース

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平成 2 8 年 度

研究開発課題名：

電圧駆動 MRAM のプロセス技術およびメモリアレイの開発

研究開発機関名：

国立研究開発法人産業技術総合研究所

研究開発責任者

湯浅 新治

## I 当該年度における計画と成果

### 1. 当該年度の担当研究開発課題の目標と計画

本研究開発課題では、電圧駆動 MRAM が要求する諸特性を高いレベルで満たすためにエピタキシャル成長を用いて新材料素子を開発することを目標としている。H28 年度は、以下の課題について研究開発を行った。

#### 1) 大径シリコン基板上への MTJ 薄膜のエピタキシャル成長

大型スパッタ装置を用いて大径 Si(001)基板上への MTJ 薄膜のエピタキシャル成長を行う。単結晶 MgO(001)トンネル障壁を持つ面内磁化 MTJ 薄膜をエピタキシャル成長して研究用装置で小型基板上に作製したエピタキシャル MTJ 素子と同様の特性を実現する。また単結晶垂直磁化薄膜の開発も行う。

#### 2) エピタキシャル MTJ 薄膜のウェーハ接合・3次元積層

配向性多結晶 MTJ 薄膜を用いてプロセスの最適化を行い、パーティクル起因の接合不良の低密度化を目指す。また、Si(001)基板上にエピタキシャル成長した面内磁化 MgO-MTJ 薄膜を用いてウェーハ接合を行い、高品質の接合プロセスを実現する。

#### 3) 低ダメージ・エッチングによる超微細 MTJ 素子の作製

前年度に導入した低ダメージのエッチング・成膜複合装置を本格稼働させ、直径 20 nm 寸法の MTJ 素子の加工を行う。直径が小さいほど、工程中のダメージによる側壁の構造的欠陥の影響が大きくなることが予想されるため、エッチング工程、絶縁層形成工程の詳細な検討を行い、欠陥の低減を図る。

### 2. 当該年度の担当研究開発課題の進捗状況と成果

#### 2-1 進捗状況

#### 1) 大径シリコン基板上への MTJ 薄膜のエピタキシャル成長

大型スパッタ装置を用いて Fe/MgO/Fe を基本とするエピタキシャル MTJ の形成を試みた。フッ酸自動洗浄機、スパッタ装置内のランプ加熱機構や RHEED 機構を用い、原子層レベルで平坦な(001)バッファ薄膜をφ200 mm およびφ300 mm の大径 Si(001)基板上に得ることに成功した。このバッファ上に、下部 Fe(100 nm) / MgO(~2 nm) / 上部 Fe(20 nm)の3層構造を各層の成膜条件を適正化しつつ作製することにより、基板から上部 Fe 層までエピタキシャル成長した高品位な単結晶面内 MTJ を作製することに世界で初めて成功した(図1)。得られた TMR 比はまだ数 10%にとどまっているが、MgO/Fe 界面における酸化調整により改善する見込みである。またエピタキシャル垂直磁化膜の大径ウェーハ上への成膜にも世界で初めて成功した。

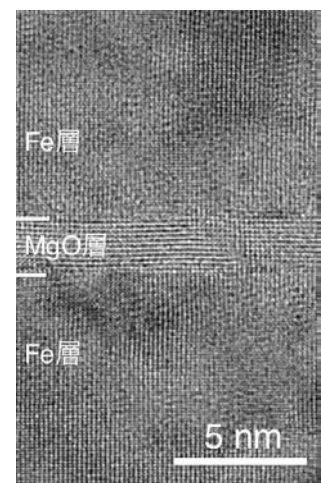


図1 φ300mm ウェーハ上に形成したエピタキシャル MTJ の断面 TEM 像

## 2) エピタキシャル MTJ 薄膜のウェーハ接合・3次元積層

今年度は3次元積層の要素技術として、多結晶の垂直磁化 MTJ を用いて開発を行った。ウェーハ接合プロセスでは Ta 同士の常温接合の適正化により、空隙がほとんど無い極めて高質な接合を行うことに成功した。続く Si 裏面除去プロセスでも、研磨プロセスとウェットエッチングプロセスの適正化により、ターゲットとなる Si のみを除去することに成功した。さらに後述の低ダメージエッチング技術を応用し 30 nm 径の実素子を作製して STT-MRAM の動作実証を行い、3次元積層による劣化はほとんど無く、STT-MRAM への3次元積層適用可能性が高いことを初めて明らかにした。このほか、NIMS グループと共同で、3インチ Si(001) 基板上に形成したエピタキシャル CPP-GMR 薄膜の3次元積層を行い、これに成功した。エピタキシャル MTJ の開発（前項目）と同時並行で行ったため、エピタキシャル MTJ の3次元積層までは開発が至らなかったが、要素技術を今年度内に確立することが出来た。

## 3) 低ダメージ・エッチングによる超微細 MTJ 素子の作製

エッチング・成膜複合装置を本格稼働させ、超微細化を試みた。特に低電圧ミリングの条件を探索し、KDC 型イオンガンにおける交互ミリングにより、レジストのスリミングと MTJ 膜のエッチングを同時に行う手法を開発した。その結果、 $\phi 45$  nm の電子線のレジストマスクを用いての垂直磁化 MTJ を  $\phi 30$  nm のピラー形状に加工することに成功した。側壁ダメージの定量評価にまでは至らなかったものの、STT-MRAM の動作実証では、 $\phi 30$  nm 素子でも熱擾乱耐性の劣化が見られず書込効率 ( $\Delta I_{c0}$ ) が 2 を超えるほど高性能であることを確認しており、低電圧ミリングが低ダメージ化に奏功したと推測される。

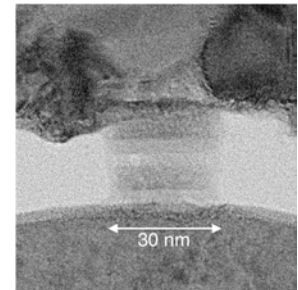


図2  $\phi 30$  nm に加工した垂直磁化 MTJ の断面 TEM 像

## 2-2 成果

### 1) 大径シリコン基板上への MTJ 薄膜のエピタキシャル成長

世界で初めて大径基板上へエピタキシャル MTJ を形成することに成功した。またエピタキシャル垂直磁化膜の大径ウェーハ上への成膜にも世界で初めて成功した。

### 2) エピタキシャル MTJ 薄膜のウェーハ接合・3次元積層

STT-MRAM の3次元積層化についての要素技術を確立し、3次元積層プロセスがメモリ動作をはじめとした STT-MRAM 特性を劣化させないことを明らかにした。

### 3) 低ダメージ・エッチングによる超微細 MTJ 素子の作製

垂直磁化 MTJ を  $\phi 30$  nm のピラー形状に加工することに成功し、2 を超える書込効率を得た。

## 2-3 新たな課題など

なし。

## 3. アウトリーチ活動報告

該当無し。