

プログラム名：「無充電で長期間使用できる究極のエコ IT 機器の実現」

PM 名：佐橋 政司

プロジェクト名：電圧駆動 MRAM 開発 タスクフォース

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平 成 2 8 年 度

研究開発課題名：

電圧駆動 MRAM のプロセス技術およびメモリアレイの開発

研究開発機関名：

株式会社東芝 研究開発センター

研究開発責任者

與田 博明

# I 当該年度における計画と成果

## 1. 当該年度の担当研究開発課題の目標と計画

電流駆動型のSTT-MRAMは、MTJメモリ素子の微細化に伴い、リテンションを維持しつつ、書き込み電流を低減させ書き込みのエネルギー効率を改善することが困難になってきている。そこで本プロジェクトでは、書き込みのエネルギー効率の飛躍的改善を狙った電圧駆動MRAMのプロセス技術およびメモリアレイの開発を行う。

本研究開発では、東芝は項目(2)超微細加工技術の開発および項目(4)大容量型電圧駆動MRAMのメモリアレイ作製と動作実証に取り組む。

## 2. 当該年度の担当研究開発課題の進捗状況と成果

### 2-1 進捗状況

図1に示すように計画に対して半年の前倒しで進捗。

超微細加工技術に関しては計画どおり50nm幅まで達成し、本プログラムにて産総研と共同で導入した加工装置にて大容量電圧駆動MRAMの新アーキテクチャ“High-Density VoCSM”を試作、一括書き込み実証、書き込みエラーレート(WER)達成まで進捗(約半年の前倒し進捗)。

さらに、“High-Speed VoCSM”も提案、かつ実証し、IMW2017で発表。

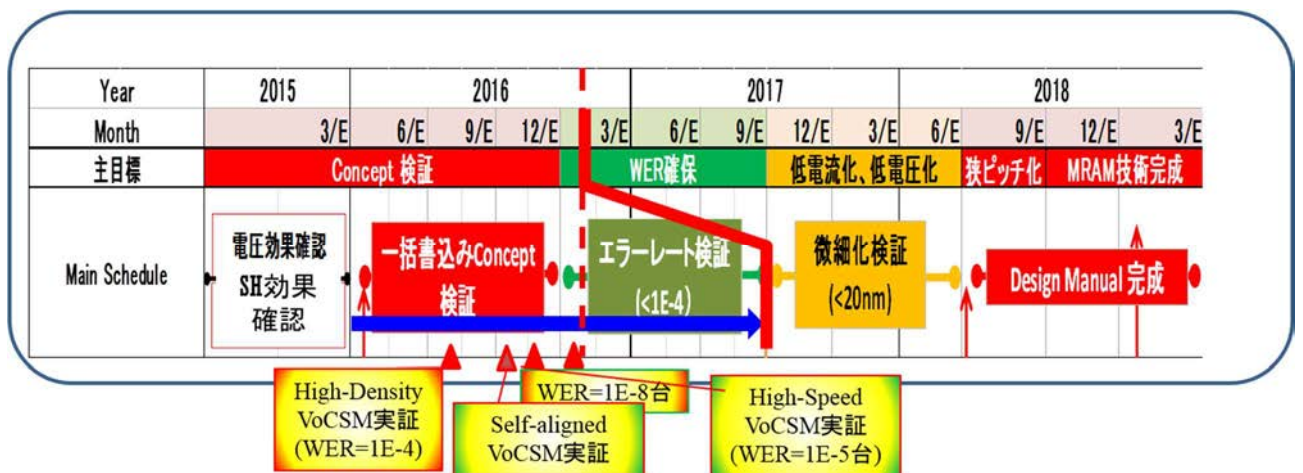


図1. 計画概要と進捗

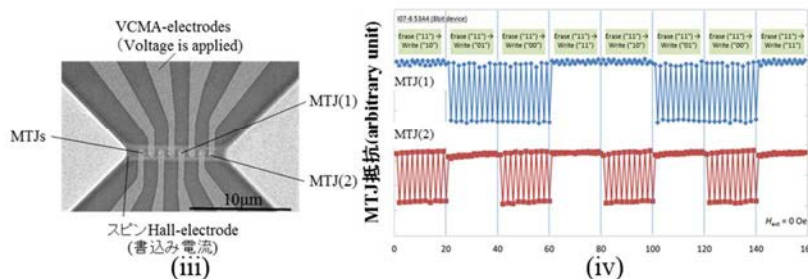
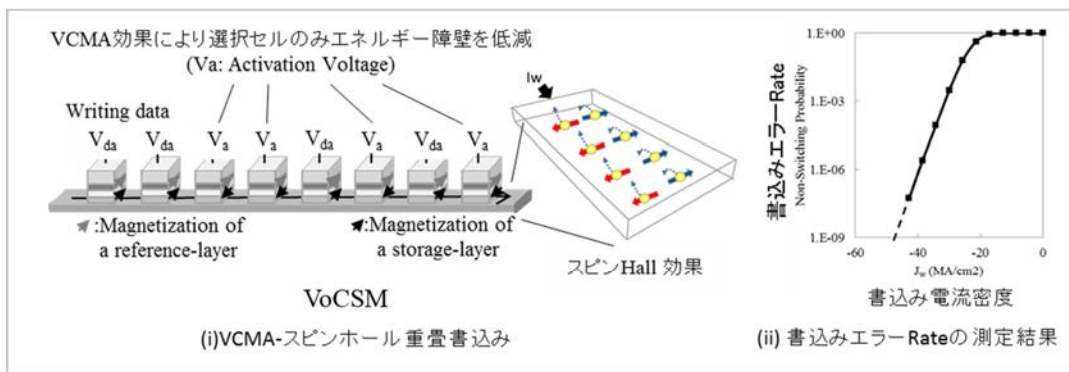
### 2-2 成果

図2に示すように“High-Density VoCSM”の一括書き込みConceptを実証し、IEDM2016にて発表。書き込みエラーレート(WER)も計画を上回る $1E-8$ 台を達成。

図3に示すように“Self-aligned High-Density VoCSM”を開発し、書き込み電流を70%低減。超高精度MTJ加工技術と合わせて、 $<100\mu A$ の書き込み電流にも目処を出す。

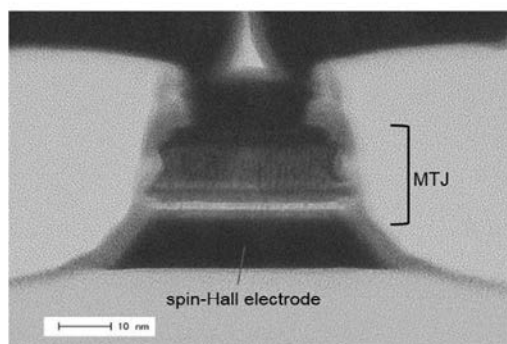
また、High-Speed VoCSMのアーキテクチャを考案、プロトタイプ素子を開発、実証し、IMW2017で発表(図なし)。

さらに、 $300fc/(V/m)/m^2$ を超えるVCMA定数の可能性を出した(図なし)。



VoCSMメモリ素子による書き込みエラーRateの低減(ii)、proto素子の試作(iii)、および一括書き込み (VoCF-writing) の実証(iv)

図2 High-Density VoCSM の基本実証



Self-alignment process  
(The MTJ & the spin-Hall electrode were self-aligned)

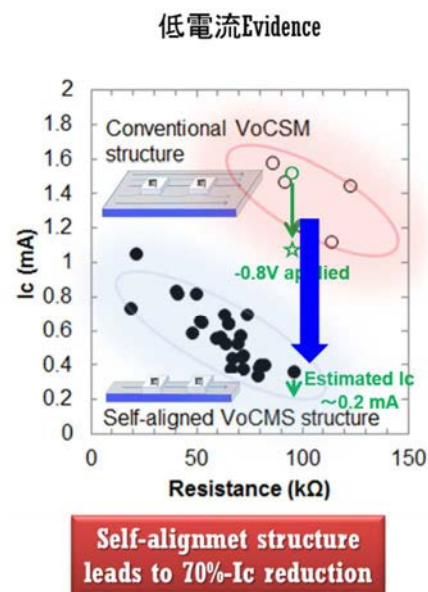
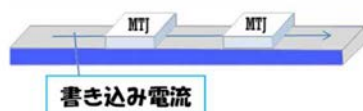


図3 Self-aligned High-Density VoCSM の開発

### 2-3 新たな課題など

特になし。

### 3. アウトリーチ活動報告

該当なし。