

プログラム名：無充電で長期間使用できる究極のエコ IT 機器の実現

PM 名：佐橋 政司

プロジェクト名：スピントロニクス集積回路を用いた分散型 IT システムプロジェクト

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平成 2 7 年 度

研究開発課題名：

「スピントロニクス集積回路を用いた分散型 IT システム」

研究開発機関名：

「東北大学省エネルギー・スピントロニクス集積化システムセンター」

研究開発責任者

大野 英男

I 当該年度における計画と成果

1. 当該年度の担当研究開発課題の目標と計画

スピントロニクス技術を活用したエネルギーハーベスティングで駆動する省電力情報処理集積回路向け材料・素子技術、回路・アーキテクチャ技術ならびに集積プロセス技術の開発に取り組み、革新的材料・素子技術と世界最先端 300mm 集積プロセスとの高度な技術統合により、分散型 IT システムに向けた、従来比で 5 倍以上の動作速度、ならびに 1/20 以下の待機時電力を達成する 50 万素子規模の革新的超低消費電力マイコン等の実現に向けた基盤技術の課題に対し、H27 年度は以下の研究開発を展開する。

- ① エネルギーハーベスティングで駆動するスピントロニクス集積回路向け材料・素子開発
スピントロニクス素子の書き込み電力を削減する革新的材料・素子に関する基盤技術の確立、ならびに確立した基盤技術の集積プロセスへの展開、ならびに問題点の抽出。新規設備備品の仕様策定、入札内容の審査、発注。
- ② エネルギーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発
従来比で 1/20 以下の待機時電力を達成する新しい超低消費電力な回路技術とアーキテクチャ技術の開発を目指している。当該年度では、基本 IP 回路の設計を行うとともに、マイコン等の設計。
- ③ エネルギーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発
3X nm 世代のスピントロニクス素子を CMOS 回路上に集積化し、超低消費電力マイコン等（50 万素子規模）を実証するための世界最先端の 300mm 集積プロセスの開発に向け、H26 年度に提示する仕様および構想に基づいた試作のための要素プロセス技術の開発とエネルギーハーベスティングで駆動する集積回路のコンセプト実証に向けた集積プロセス開発と課題抽出。

2. 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

- ① エネルギーハーベスティングで駆動するスピントロニクス集積回路向け材料・素子開発
スピントロニクス素子の書き込み電力を削減する革新的材料・素子に関する基盤技術の確立、ならびに確立した基盤技術の集積プロセスへの展開、ならびに問題点の抽出を行った。具体的には、2 端子磁気トンネル接合 (MTJ) 素子：スピン移行トルク (STT) 素子に関しては、直径 3X~80 nm の STT 素子を作製し、その高速磁化反転特性を評価した。また、高い界面磁気異方性と低いダンピング定数を実現するための材料開発を行った。3 端子 MTJ 構造を有するスピン軌道トルク (SOT) 素子に関しては、無磁界反転を実現するために反強磁性/強磁性構造の交換結合バリアス磁界を用いた SOT 反転、スピン軌道トルク反転の物理的描像を理解するために新規構造における SOT 反転に関して検討した。
また、新規設備備品(高機能合金積層膜形成用スパッタ装置)の仕様策定、入札内容の審査、発注を行った。
- ② エネルギーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発
従来比で 1/20 以下の待機時電力を達成する新しい超低消費電力な回路技術とアーキテクチャ技術の開発を目指している。本年度は、2 端子 STT 素子を適用した画像認識用連想プロセッサの開発、および H26 年度に基本仕様検討を行ったエネルギーハーベスティングで駆動する革新

的な超低消費電力マイコンを具現化するためのチップ設計・評価環境の構築を行った。

画像認識はロジック LSI の応用として一つの重要な処理である。この画像認識処理に対して、STT 素子の不揮発性機能を画像認識用連想プロセッサに適用した新アーキテクチャを提案し、チップ試作・評価により提案アーキテクチャの基本動作を確認した。

エネルギーハーベスティングで駆動する超低消費電力マイコンについては、まず国際集積エレクトロニクス研究開発センター内に分室を設け、ワークステーションおよび端末の設置、ならびにマイコン設計に必要なソフトウェアのインストールとネットワーク構築を行い、設計環境を立ち上げた。次に、標準 CMOS セルライブラリの不揮発化に対応するものとして、STT 素子を組み込んだ基本回路 IP 群の設計を行い、セルライブラリの拡充を行った。これらのセルライブラリを元に、マイコンのチップ試作のための一連の設計フロー構築を行った。また上記設計環境を用いて、プロジェクト目標達成に向けた基本回路マクロ群の具現化を推進した。

③ エネルギーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発

3Xnm 世代のスピン트로ニクス素子を CMOS 回路上に集積化し、上記研究課題で設計される超低消費電力マイコン等 (50 万素子規模) を実証するための世界最先端の 300mm 集積プロセス開発を目指している。当該年度は、エネルギーハーベスティングで駆動するスピン트로ニクス集積回路を支える 300mm 対応革新的要素プロセス、ならびに 300mm 対応革新的集積化プロセスに関し、H26 年度の検討仕様を基に要素プロセス技術の開発を推進した。具体的には、スピン트로ニクス集積回路を形成するために 300mm 対応設備を用いて STT 素子の成膜・加工等の要素プロセス開発を進め、国内半導体企業とのサンプルシャトルプロセス実施のためのウェハ受け入れ基準を満たす集積化プロセスの工程開発を行った。

2-2 成果

① エネルギーハーベスティングで駆動するスピン트로ニクス集積回路向け材料・素子開発

2 端子 STT 素子に関しては、直径 3X~80 nm までの STT 素子における高速スイッチング特性を評価し、スイッチング電流とパルス幅の逆数から評価される STT 効率が理論予測よりも高いことを明らかにした。材料開発に関しては、これまで標準的に用いられてきた CoFeB 以外の材料系の開発に着手し、高い界面磁気異方性と低いダンピング定数を実現した。3 端子 SOT 素子に関しては、反強磁性 (PtMn) / 強磁性 (Co/Ni 多層膜) を用いて、面内方向の交換バイアス磁界を垂直磁化 Co/Ni に作用させることで無磁界の SOT 磁化反転を実証した。また、SOT 反転の新規構造として、チャンネル方向に対して平行に磁化方向を有する構造を提案し、SOT 磁化反転を実証した。

新規設備導入 (高機能合金積層膜形成用スパッタ装置) に関しては、購入手続きが終了し、平成 28 年度の 4 月に納入されることが決定した。

② エネルギーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発

画像認識用連想プロセッサに向け、STT 素子技術を用いた新規な画像認識アーキテクチャを提案した。同アーキテクチャを搭載した画像認識連想プロセッサを 90nm-CMOS/70nm-STT 素子技術にてチップ試作・評価を行った。その結果、従来技術に比べて 98.5% の低消費電力化を達成し、世界最小 600 μ W の平均消費電力を実現した。この成果を 2015 SSDM にて発表した。

エネルギーハーベスティングで駆動する超低消費電力マイコンの実証チップ設計に向けては、設計用ワークステーション・端末の導入、論理合成および自動配置配線の自動設計ソフトウェ

アのインストール・ネットワーク構築等の設計環境の立ち上げを行った。また、STT 素子を組み込んだ基本 IP 群の設計、およびそれを用いた設計フローの構築を行った。以上により、プロジェクト目標達成に向けた STT 素子を用いたチップの設計環境の構築を完了し、STT 素子を用いたマイコン設計を進めた。

③ エナジーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発

3Xnm 世代のスピン트로ニクス素子を CMOS 回路上に集積化し、超低消費電力マイコン等（50 万素子規模）を実証するための世界最先端の 300mm 集積プロセスの開発に向け、300mm 対応設備を用いて H26 年度に提示した仕様および構想に基づく試作のための STT 素子の成膜・エッチング加工等の要素プロセスを開発するとともに、国内半導体企業とのサンプルシャトルプロセス実施のため CMOS 上への STT 素子形成から配線工程までの各工程におけるパーティクル・汚染等のウェハ受け入れ基準を満たすよう、エナジーハーベスティングで駆動する集積回路のコンセプト実証に向けた集積化プロセスを開発した。

2-3 新たな課題など

① エナジーハーベスティングで駆動するスピン트로ニクス集積回路向け材料・素子開発

2 端子 STT 素子に関しては、スイッチング電流とパルス幅の逆数から評価される STT 効率が理論予測よりも高い結果について、理解を深めるための検討が必要になった。

3 端子 SOT 素子に関しては、開発した材料ならびに積層構造の 300mm 集積化プロセスへの適用性を確認する必要があるため、集積プロセスグループとより一層緊密な連携を構築して、試作計画に対しての遅延が発生しないように研究・開発を進める。

② エナジーハーベスティングで駆動する集積回路向け回路・アーキテクチャ開発

材料・素子グループにおいて計画当初には無かった SOT 素子が新たに開発されたため、その 3 端子 SOT 素子を活用した設計ツール・設計フロー・基本回路 IP 群の開発が必要となった。

③ エナジーハーベスティングで駆動する集積回路と 300mm 集積プロセスの開発

材料・素子グループにおいて計画当初には無かった SOT 素子が新たに開発されたため、その SOT 素子の 300mm 対応集積化プロセス開発に関する仕様検討とそれに基づく要素プロセスの開発が必要になる。そのため、集積化プロセス開発ならびに試作の全体計画の見直しが行われた。

3. アウトリーチ活動報告

東北大学電気通信研究所通研公開 2015（2015/10/10～11 開催）、東京フォーラム 2015（2015/11/25 開催）、および東北大学イノベーションフェア 2015（2015/12/9 開催）等において、ImPACT での取り組みについてポスターで紹介した。