

プログラム名：無充電で長期間使用できるエコ IT 機器の実現

PM 名：佐橋 政司

プロジェクト名：単結晶化・高集積化・3次元化プロジェクト

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平成 2 7 年 度

研究開発課題名：

単結晶素子の作製と高性能化および 3 次元積層技術の開発

研究開発機関名：

国立研究開発法人産業技術総合研究所

研究開発責任者

湯浅 新治

I 当該年度における計画と成果

1. 当該年度の担当研究開発課題の目標と計画

本研究開発課題では、Si ウェーハ上のエピタキシャル成長技術とウェーハ接合・3次元積層技術を用いて、スピントロニクス不揮発性メモリの記憶素子である磁気抵抗素子を単結晶化し、10 nm 世代までの微細化が可能な基盤技術を確立する。具体的には、(1)結晶 MgO 系トンネル障壁による単結晶素子の高性能化、(2)大径ウェーハを用いた単結晶素子開発、(3) MTJ 素子薄膜の3次元積層技術の開発、の3項目について研究開発を行う。

(1)については、産総研ナノスピントロニクス研究センターが所有する超高真空成膜・分析複合装置に接続された金属 MBE チャンバおよびウルトラクリーン・スパッタ成膜チャンバを用いて、小径の単結晶基板上に MTJ 薄膜をエピタキシャル成長させる。(2)については、産総研ナノスピントロニクス研究センターが所有する生産タイプの大型スパッタ装置を用いて、最大 200 mm 径の Si(001)ウェーハ上にエピタキシャル磁気抵抗多層膜を成長する技術を開発する。(3)については、最大 200 mm 径の Si ウェーハ上に作製した面内磁化および垂直磁化の MgO-MTJ 薄膜を用いて、ウェーハ接合および Si 除去などの3次元積層の基本プロセスを開発する。

2. 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

- (1) 結晶 MgO 系トンネル障壁による単結晶素子の高性能化については、新しい結晶性トンネル障壁材料としてワイドギャップ半導体材料でもある γ -GaO_x に着目し、Fe/GaO_x/Fe(001)構造のエピタキシャル MTJ 素子を新規に開発した。単結晶 Fe(001)下部電極層の上に固相エピタキシャル成長を用いて GeO_x(001)トンネル障壁層を作製する手法を考案し、室温で 92% (低温で 125%) の MR 比を実現した。
- (2) 8 インチウェーハ対応の大型スパッタ装置 C-7100 に接続する RHEED 観察チャンバを作製し、C-7100 システムに接続して稼働を開始した。すでに導入済みの加熱機構と併せて、大型スパッタ装置によるエピタキシャル成長の設備が整った。
- (3) 大型スパッタ装置を用いて、面内磁化および垂直磁化 MgO-MTJ 薄膜を 8 インチウェーハ上に作製し、常温ウェーハ接合および Si 基板除去による3次元積層プロセスを一通り完成させた。プロセス前後で MTJ 素子の磁気特性および電気伝導特性の劣化が全く無いことを確認した。

2-2 成果

- (1) 結晶 MgO 系トンネル障壁による単結晶素子の高性能化

超高真空 MBE 装置中で電子線蒸着を用いて、単結晶 MgO 基板上に Fe/MgO/GaO_x/Fe(001)構造の MTJ 薄膜をエピタキシャル成長した。下部電極層の Fe(001)上に超薄 MgO(001)層を作製し、その上に GaO_xを堆積した。まず室温でアモルファス状態の GaO_xを堆積し (図 1(a))、酸素雰囲気中でアニールすることによって単結晶 γ -GaO_x(001)層を作製した (図 1(b))。これは MgO(001)をテンプレートにした固相エピタキシ

ヤル成長によるものである。作製されたエピタキシャル Fe/MgO/GaO_x/Fe(001)-MTJ 素子は、室温で 92%（低温で 125%）という比較的高い MR 比を示すとともに、MgO と同等の低いバリア高さ ϕ を示した。まだ MTJ 性能は MgO-MTJ を超えてはいないが、界面磁気異方性や電圧効果などの特性も含めて今後の進展が期待できる。

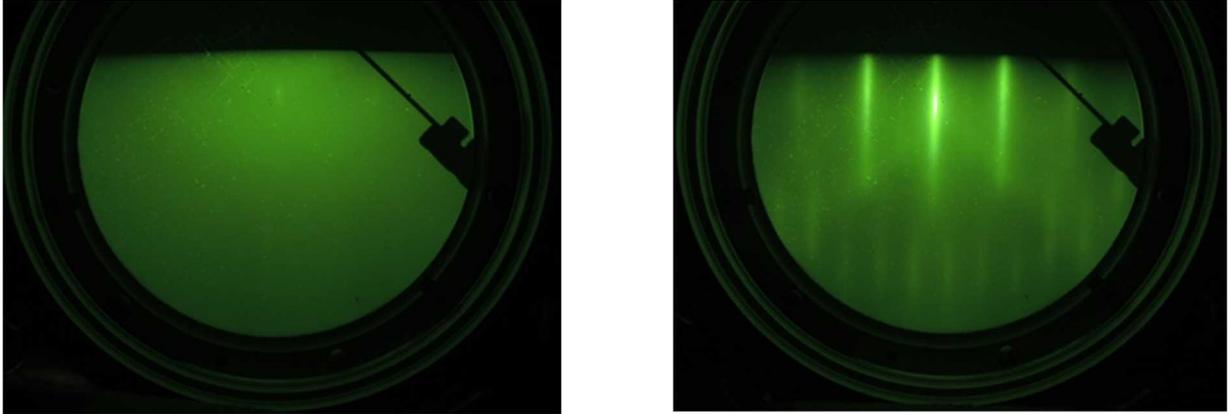


図 1 Fe(001)上に成長した GaO_x層の反射高速電子線回折(RHEED)像。(1)成膜直後、(b) 酸素雰囲気中でアニール後。

(2) 大径ウェーハを用いた単結晶素子開発

8 インチウェーハ対応の大型スパッタ装置 C-7100 に接続する RHEED 観察チャンバを作製し、C-7100 システムに接続した（図 2）。すでに導入済みの成膜チャンバ内の加熱機構（300℃）と RTA チャンバの加熱機構（600℃）も用いることで、8 インチ Si 基板上的のエピタキシャル成長が可能となった。今後は、NIMS グループが開発した Si(001)基板上のシード層／バッファ層を用いて、大型スパッタ装置を用いたエピタキシャル MTJ 薄膜の作製を行う。

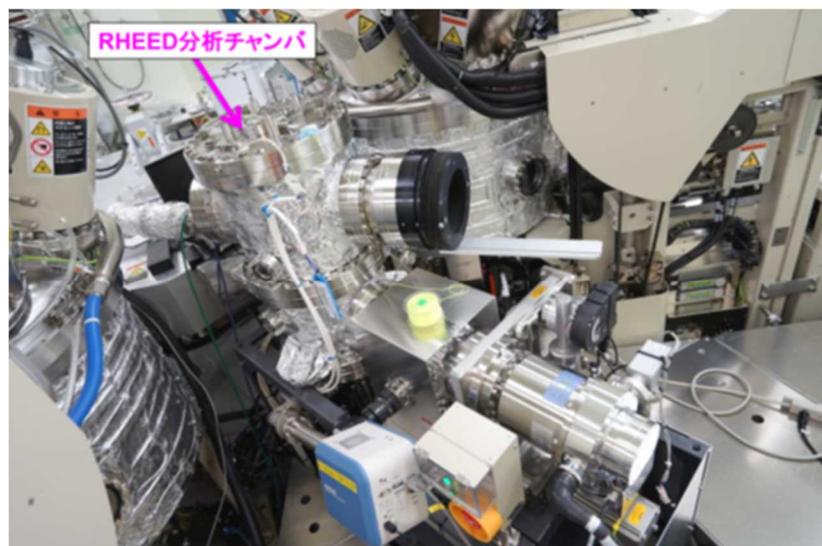


図 2 C-7100 システムに接続した RHEED 観察チャンバの外観

(3) MTJ 素子薄膜の 3 次元積層技術の開発

大型スパッタ装置を用いて 8 インチ Si 基板上に、実用構造の面内磁化および垂直磁化 MgO-MTJ 薄膜を作製し、常温ウェーハ接合技術を用いて CMOS ウェーハを模したカウンター基板と接合した。さらに、機械研削、CMP、ウェットエッチングなどを組み合わせることにより MTJ 薄膜の Si 基板を除去した (図 3)。図 3 を見てのとおり、ウェーハ接合界面にボイド等の接合不良箇所は見られず、プロセス後の薄膜表面に残留 Si も見られない。また、MgO トンネル障壁層やその他の層に変形や歪みなどは全く見られない。さらに、ウェーハ接合・Si 基板剥離後の磁化曲線および磁気抵抗曲線 (図 4) は、プロセス前と比べて変化しておらず、MTJ 薄膜の MR 比および RA 積もプロセス前に比べて全く劣化していなかった。これらの結果から、MTJ 薄膜のウェーハ接合・Si 基板除去の 3 次元積層プロセスが一通り完成したと言える。今後は、より広範囲での接合欠陥の有無についても調べる予定である。

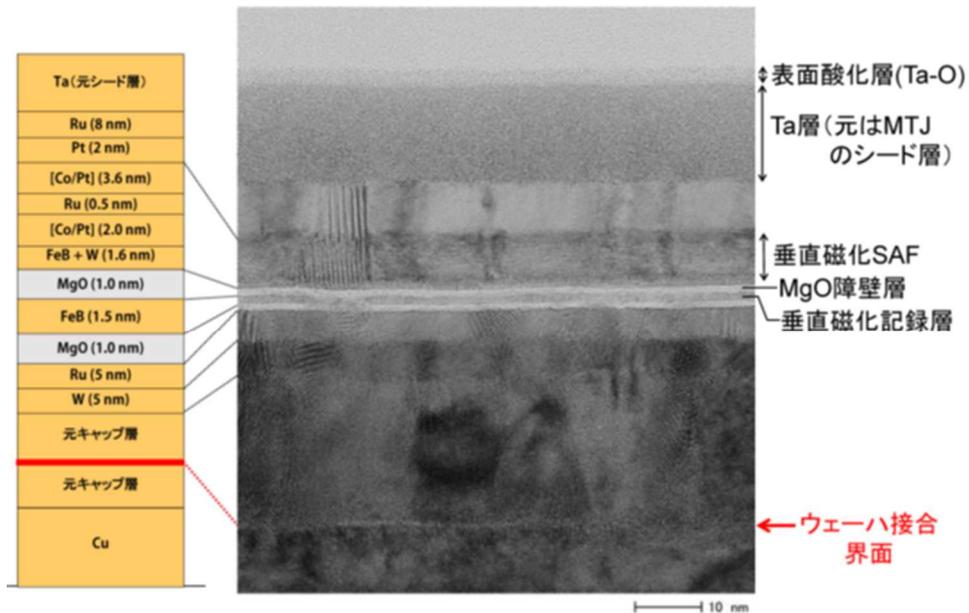


図 3 垂直磁化 MTJ 素子のウェーハ接合・Si 基板除去後の断面 TEM 像

2-3 新たな課題など

- ・常温ウェーハ接合装置中で薄膜表面酸化層を除去するためにイオンビームエッチングを上時間行くと、薄膜表面にパーティクルが発生するという問題が明らかになった。イオンビーム源がパーティクル発生源であると考えられるため、イオンビーム源のメーカーと議論しながら改善策を検討中である。パーティクルがあっても当面の研究開発には支障が少ないため、研究開発を進めながら、それと並行してパーティクル対策も進める予定である。

3. アウトリーチ活動報告

該当なし。