

プログラム名：無充電で長期間使用できる究極のエコ IT 機器の実現

PM名：佐橋政司

プロジェクト名： スピン FET プロジェクト

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平成 2 7 年 度

研究開発課題名：

磁性・非磁性体用デュアルゲート設計・作製

研究開発機関名：

国立研究開発法人 産業技術総合研究所

研究開発責任者

遠藤 和彦

I 当該年度における計画と成果

1. 当該年度の担当研究開発課題の目標と計画

当該年度は、非磁性・磁性ゲートから構成されるデュアルゲート構造の設計および作製プロセスを確立する計画を立案した。通常の FET 作製と異なり、強磁性絶縁体ゲートの形成には熱酸化法を用いることができない。従って、この制限によるデュアルゲート作製の際の困難を、ゲートおよびソース/ドレイン形成順序やチャネル半導体設計上の工夫により解決を図ることを目標とした。また、磁性ゲートを用いた電界効果の実証実験を行うためには、最初に非局所法と呼ばれる半導体チャネル上にソース/ドレイン電極が独立に作り付けられた構造を有する素子で、スピン偏極電子の注入・検出を実現する必要がある。そこで、産総研ナノスピントロニクス研究センターと共同で、半導体チャネルと Fe/MgO トンネル接合から構成される非局所用試料を作製し、半導体チャネル中のスピン偏極電子の注入・検出を検証する計画を立案した。

2. 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

当該年度において、非局所用試料を作製し、半導体チャネル中のスピン偏極電子の注入・検出を検証することを試みた。まずは図 1 に示す非局所測定用 TEG を設計し、図 2 の試作のフローを構築して試作を行った。イオンミリング工程で目合わせパターンが劣化してしまい、その後の合わせ露光が不可能になるなどのトラブルに見舞われたが、目合わせパターンの保護パターンを新たに付与することで、イオンミリング工程のダメージを回避することができ、試作を完了することができた。

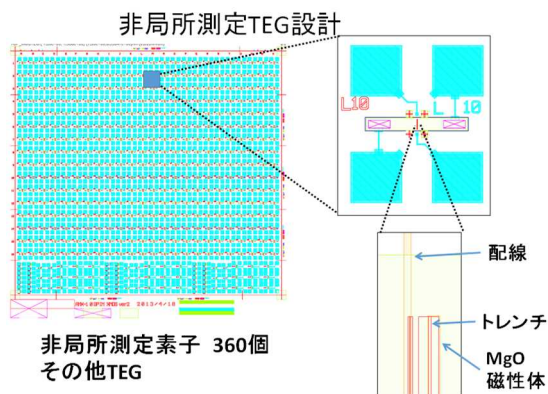


図 1 非局所測定用 TEG

Step	Flow	Equipment	Chemical	Remarks	
1. SOI Preparation	A	RCA Cleaning	Clen bench		
	B	Oxidation	Furnace	H2O	
	C	Oxide removal	Clen bench	DHF	
	D	Ion Implantation	Ion Implanter	PBF3	Adjust SOI (Si) Thickness
	E	Activation	RTA	N2	Adjust dopant concentration Diffusion/Activation
2. Global Mark	A	Resist Coat	Spin Coater	S1813	
	B	Lithography	Ultratech		
	C	Dry etching	JULVAC RIE	CHF3/SF6	
	D	Resist Remove	Clen bench	H2SO4/H2O2	
3. Si Mesa	A	Resist Coat	Spin Coater	S1813	
	B	Lithography	Ultratech		
	C	Dry Etching	ICP-RIE	Cl2	
	D	Resist Remove	Clen bench	H2SO4/H2O2	
4. Dielectric	A	Dielectric	TEOS CVD		
	B	Resist Coat	Spin Coater	S1813	
	C	Lithography	Ultratech		
	D	Dry Etching	RIE	CHF3	
	E	Resist Remove	Organic Resist Remover	ZEP	
	F	Resist Coat	Spin Coater	S1813	
	G	EB Lithography	JEOL EB		
	H	Dry Etching	RIE	CHF3	
	I	Resist Remove	Organic Resist Remover		
5. Ferromagnet & tunnel oxide Deposition	A	Surface Cleaning		DHF (2%) for 25 sec	
	B	MgO deposition	MBE		
	C	Ferromagnet	MBE		
	D	Cap Metal	MBE		
6. FM mesa	A	Resist Coat	Spin Coater	LOR + S1813	
	B	Lithography	Ultratech	Reticule ANX-11 spinXMOs ver.2 disk, File 10GET-K	
	C	Ion Etching	HAKUTO ion milling		
	D	Dielectric	ANELVA Sputter	SiO2 (100nm)	
	E	Lift-off	Resist remover	Acetone, NMP	
7. Metal pad	A	Resist coat	Spin coater	LOR + S1813	
	B	Lithography	Ultratech	Reticule ANX-11 spinXMOs ver.3 disk, File 10PRO-K	
	C	Au/Cr Sputter	ANELVA Sputter	Reverse sputter, Cr(20nm), Au(200nm)	
	D	Lift-off	Resist remover	Acetone, NMP	
	E	Resist Coat	Spin Coater	S1813	
	F	Lithography	Ultratech		
	G	Resist Coat	Spin Coater	SAL601	
	H	EB Lithography	JEOL EB		
	I	Ion etching	HAKUTO ion milling		
	J	Resist Remove	Organic Resist Remover		

図 2 非局所測定用 TEG 作製フロー

2-2 成果

図3に、試作した TEG の断面 TEM 写真および、SEM・光顕微鏡写真を示す。設計通り、シリコン基板上に MgO を介して強磁性体のストリップラインを形成することに成功した。弊所スピントロニクスセンター Jansen グループにて特性を評価したところ、ハンル効果の検出に成功し、試作したデバイスによるスピン注入に成功した。

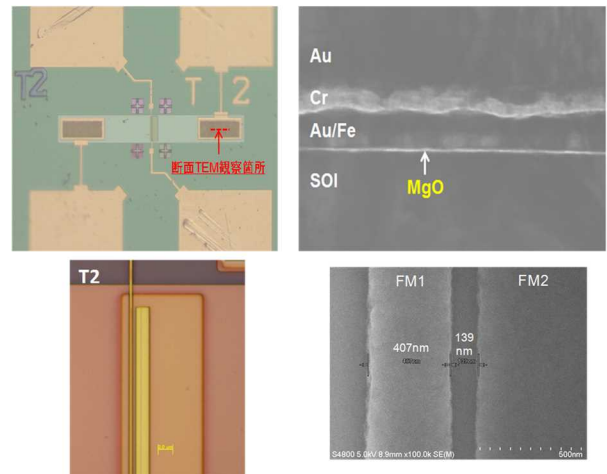


図3 試作した TEG の断面 TEM 写真および、SEM・光顕微鏡写真

非磁性・磁性ゲートトランジスタが実現した折には、回路特性としてどのような効果が得られるか、あらかじめシミュレーションにより明らかにしてほしいとの新たな課題が提示された。本課題に対応するために、デバイス特性を仮定したシミュレーションを行い、不揮発性の効果を検証した。

スピントランジスタは試作未完であるため、大まかなスピントランジスタのモデルを仮定した。それぞれ、NMOS および PMOS トランジスタに不揮発性を付与し、非磁性ゲートでは通常の MOSFET 動作、磁性ゲートではスピンの向きにより MOSFET のオン電流を一桁変調できると仮定した。まずインバータ動作で、電源オフからの復帰の状態を調べた。それぞれ NMOS、PMOS を低抵抗状態と高抵抗状態にすることで、電源断からの復帰の際に電源断直前のインバータの状態を再現できることが検証できた。続いて、SRAM 動作の検証を行った。

同様に、SRAM のフリップフロップの PMOS, NMOS を高抵抗および低抵抗状態にすることで、電源オフからの復帰時に、SRAM の記憶を復元できることが分かった。

ただし、図4に示す様に、それぞれ抵抗状態の変化で不揮発性を確保するため、ノイズマージンが状態によって大きく変化することが分かった。

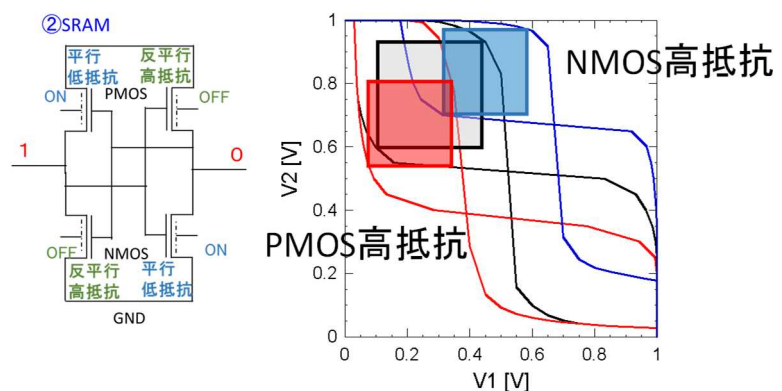


図4 SRAM のシミュレーション

2-3 新たな課題など

なし。

3. アウトリーチ活動報告

なし。