

平成 27 年 3 月 31 日

プログラム名：無充電で長期間使用できる究極のエコ IT 機器の実現

PM 名：佐橋政司

プロジェクト名：単結晶化・高集積化・3次元化プロジェクト

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平成 26 年度

研究開発課題名：

単結晶素子の作製および3次元積層技術の開発

研究開発機関名：

株式会社 東芝

研究開発責任者

伊藤 順一

当該年度における計画と成果

1. 当該年度の担当研究開発課題の目標と計画

接合技術の課題抽出と解決策導出

ウエーハ接合技術・3次元積層技術の基本構成要素を検証し、ある程度の確立を試みる。

不要基板除去技術の課題抽出と解決策導出

接合技術適用の上で必要となってくる、接合した状態ですべての工程が完了した後不要となる Si 単結晶ウエーハの除去技術を平成 26 年度から 27 年度にかけて検討する。

2. 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

CMOS 基板上に配置する単結晶 MTJ 構造の見直しを行い、新規 MTJ 構造を実現するための基板貼り合わせプロセスを机上検討。

Ta 接着層を用い、常温接合によるウエーハ接合を検証。

2-2 成果

新規 CMOS 基板上単結晶 MTJ 構造を実現するための基板貼り合わせプロセス立案。

Ta 接着層の表面粗さを 0.2nm 以下に低減し、接合前に Ar 中性原子ビームにて接着層表面の酸化物を完全除去することにより、接着強度が大きい Ta 接着層同士のウエーハ接合が可能である。

2-3 新たな課題など

従来想定していた基板貼り合せプロセスは、ウエーハ接合 1 回、Si 不要基板除去 1 回であったが、これだと MTJ の構成順序と CMOS 電流との整合性に難があった。ウエーハ接合 2 回、Si 不要基板除去 2 回行うことで、MTJ 構成順序を変更することで上記課題を回避できることが分かったため、新規の基板貼り合せプロセスも併せて検討を行うこととした。

新規基板貼り合わせプロセスは、ウエーハ接合 2 回、Si 不要基板除去 2 回と工程数が増加すると共にプロセス難易度の増大、コスト増大が見込まれるが、6F2 スケールの大容量メモリ実現のために必要となっているので、検討を行っていく。

3. アウトリーチ活動報告

特になし