

平成 27 年 3 月 31 日

プログラム名： セレンディピティの計画的創出による新価値創造

PM 名： 合田 圭介

プロジェクト名： 細胞同定技術開発

委 託 研 究 開 発

実 施 状 況 報 告 書 (成 果)

平成 26 年度

研究開発課題名：

FPGA を用いた超高速同定処理装置開発

研究開発機関名：

国立大学法人東京大学

研究開発責任者

平木 敬

[当該年度における計画と成果]

1 . 当該年度の担当研究開発課題の目標と計画

本研究課題では 1 マイクロ流路あたり 10 万細胞/秒で同定可能なセレンディピター用の画像およびセンサーデータ処理を実現する FPGA によるハードウェア処理を中心とした情報処理システムの研究開発を行う。本目的を実現するため I/O プロトコル策定、FPGA ハードウェア、FPGA 内部に組み込む論理回路の研究開発、他チーム、他プロジェクトの成果と結合し、セレンディピターとして動作するための情報システム開発を行う。

平成 26 年度には、プロジェクト 4 のチーム 1 と連携し、FPGA 上に実装するアルゴリズムの基礎検討を行う。また、プロジェクト 1, 2 と連携することにより、プロジェクト 4 が用いる外部インタフェース仕様およびシステムの概念設計を確立する（細項目(1), (2)）。また、プロジェクト 3 の計測装置の 1 つである STEAM は、イメージングフローサイトメトリーに適用した場合、既に 100,000 cells/s でのスループットで希少細胞検出に成功している。本年度は STEAM 用の細胞同定処理の FPGA への実装方法の検討を行う。

FPGA ハードウェアの試作においては、平成 26 年度には Xilinx 社製 Ultra-Scale Virtex FPGA が未発売で入手できないため、Virtex-7 FPGA が搭載されている開発キットを購入し、超高速インタフェース動作およびニューラルネットワークハードウェア動作を検証し、27 年度以降の研究開発に備える。平成 26 年度には、米国 Xilinx 社、米国 High-tech 社を訪問し、詳細な技術情報の収集を行う予定である。

平成 26 年度中にプロジェクト 4 のチーム 1, 2, 3 メンバーによる研究推進会議を立ち上げ、定期的に会議を開催することにより円滑なチーム間連携を実現する。

2 . 当該年度の担当研究開発課題の進捗状況と成果

2-1 進捗状況

平成 26 年度には、プロジェクト 4 のチーム 1 と連携し、FPGA 上に実装するアルゴリズムの基礎検討を行った。プロジェクト 4 チーム 2 では、FPGA に実装予定の多段ニューラルネットを用いた学習機構の振る舞いについて、ソフトウェア実装により検討評価した。

平成 26 年度には分担者がこれまで扱ってきた Amin Based Neural Network(ABNN) [08 Kaneko] をハードウェア化に適したニューラルネットとして用いた。学習アルゴリズムは誤差拡散（バックプロパゲーションを使わない）を用いた。このモデルを用いることにより、モデルが出力ごとに独立、モデルがシンプル、中間層の数のチューニングが 必要ない（多いほど性能が良い）、収束が速い（相互干渉がない）チューニングが容易[2013, Maeki]という利点があるため、FPGA 化のベースとして有力である。平成 26 年度には、ソフトウェアによりニューラルネットワークを実現し、性能評価を行った。

図 1 は α β チューニングと学習回数をプロットしたものである。図から明らかなように、通常型のニューラルネットワークにおけるチューニングと比較して、スイートスポットが大きくチューニング効果が

学習回数などに対してセンシティブでないことが示されている。平成 26 年度には様々な例題に関して、特性を評価した。

学習回数と α 、 β チューニング

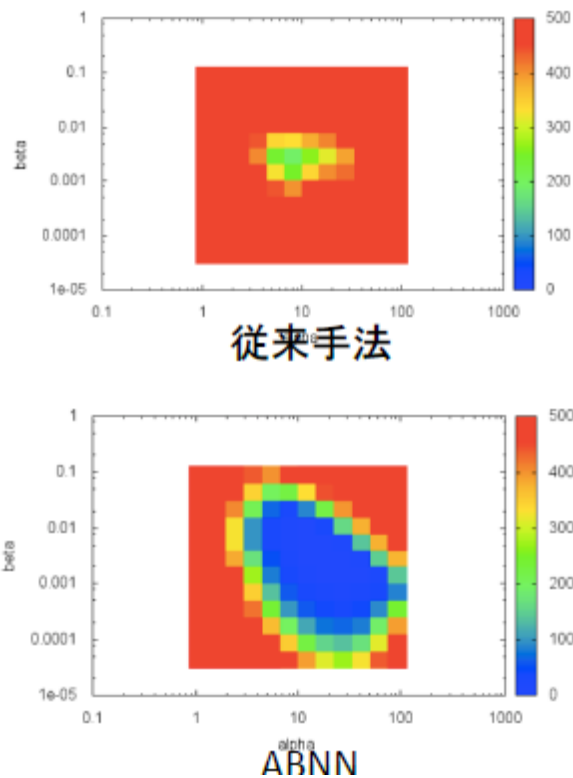


図 1 . 学習回数と α 、 β チューニング

次に、ニューラルネットワークの FPGA 実装に関して予備的評価を行った。図 2 に予備的評価に用いた FPGA ボードを示す。これはプロジェクト 4 チーム 2 の研究グループ内で 2014 年度前半に試作した FPGA ボードであり、PCI E バスに実装してニューラルネットワークを実装することを目的としたものである。本プロジェクトでは、この FPGA ボードを用い、FPGA ボード、イーサネット、汎用サーバ間を接続時に実現するデータのスループットおよび遅延時間・ジッタを計測するための実験セットを構築した。実際の評価実験は 2015 年度に実施する予定である。

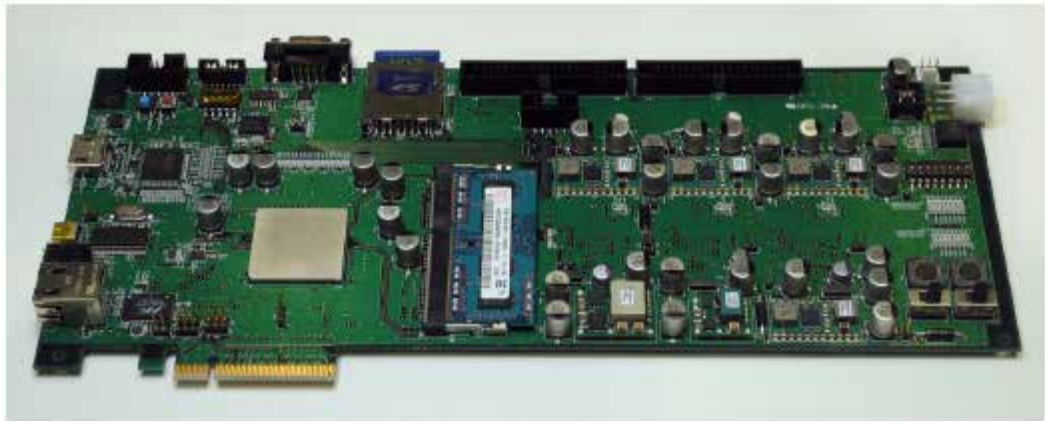


図 2 . 評価用 FPGA ボード（東京大学で設計・製作）

次に、プロジェクト 4 が用いる外部インタフェース仕様およびシステムの概念設計を絞り込んだ。特に、超高速の AD 変換とデータ転送が要求される STEAM 計測への対応について詳細な検討をおこなった。実際に AD 変換器の生成するデータが要求仕様を満たす処理がおこなえるかどうかは、具体的なデバイスを接続して評価する必要がある、2015 年度の課題となっている。

FPGA ハードウェアの試作においては、平成 26 年度には Xilinx 社製 Ultra-Scale Virtex FPGA が未発売で入手できないため、Virtex-7 FPGA が搭載されている開発キットを購入し、超高速インタフェース動作およびニューラルネットワークハードウェア動作を検証し、27 年度以降の研究開発に備えた。この開発キットの開発進行状況および技術情報を得るため、米国 Xilinx 社および米国 High-tech 社を訪問し、詳細な技術情報の収集を行ない、技術協力関係を構築した。平成 26 年度末に導入した開発キットは、Xilinx の Virtex-7 FPGA、10 ギガビット、40 ギガビット、100 ギガビットのイーサネットインタフェースを備えるものであり、平成 27 年度における技術開発の核となる予定である（図 3）



図 3 技術開発に使用する Virtex-7 ベースの開発ボード

2-2 成果

平成 26 年度研究計画は前述のように平成 27 年度以降の研究開発の基盤をこうちくすることであり、使用する各種構成要素の機能、動作検証が中心であった。平成 26 年度の成果として最も重要な事項は、セレンディピターの情報処理システム部の基本構成を暫定的に決定したことである。図 4 は情報処理システム部のブロックダイアグラムを示すものである。

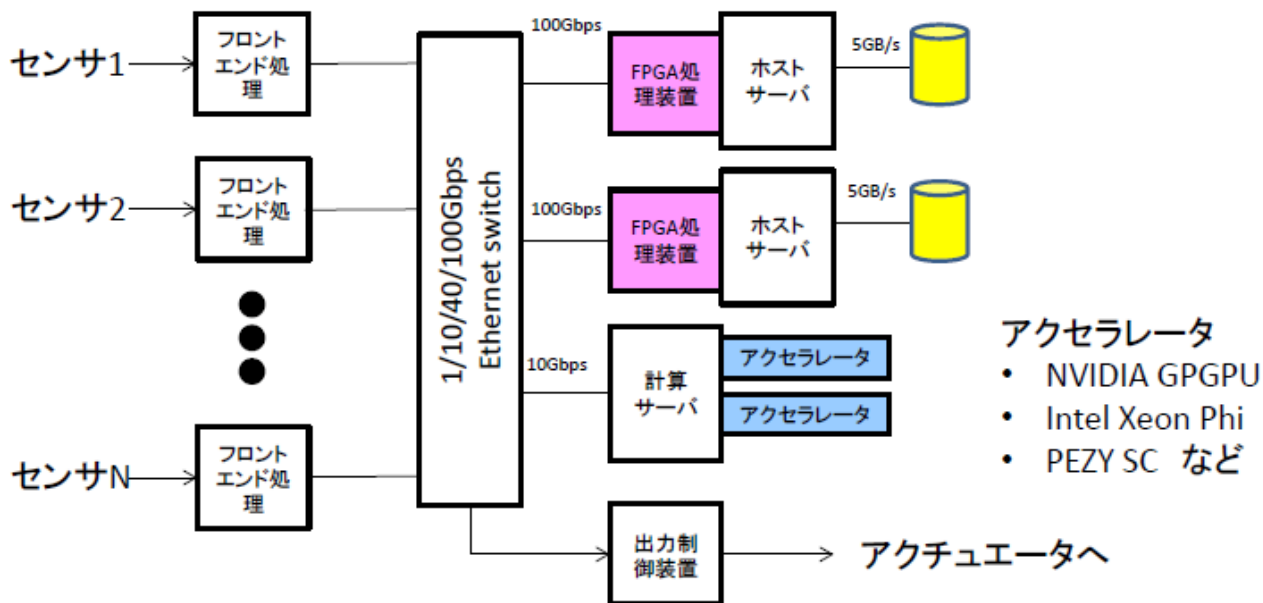


図 4 . 小規模処理システム部のブロックダイアグラム

平成 26 年度は、全体構成を策定し、その主要部分である FPGA 処理装置、10、40、100 ギガビットイーサネットによる相互結合網の使用および性能予備評価を実施し、この構成がフィージブルであることを示した。本成果は平成 27 年度中に発表論文等により公表する計画である。

2-3 新たな課題など

平成 26 年度は、基本設計を定め、平成 27 年度以降の開発の基盤構築を行った。従って、研究開発は当初予定通りに進行し、新たな課題は発生していない。

3 . アウトリーチ活動報告

平成 26 年度においては、アウトリーチ活動は実施していない。