

戦略的創造研究推進事業(CREST)

平成23度 第1回領域会議

研究領域:ディペンダブルVLSIシステムの基盤技術

研究課題名:自己修復機能を有する3次元VLSI
システムの創製

研究代表者: 東北大学未来科学技術共同研究センター

小柳 光正

自動車の安全運転支援
(自動走行など) 鎌田

故障があっても常に動き続ける
システムの必要性

小林
末吉

ディペンダブル画像処理プロセッサ

安全を保障するための
高性能画像処理の必要性
(計算量の爆発的な増大)

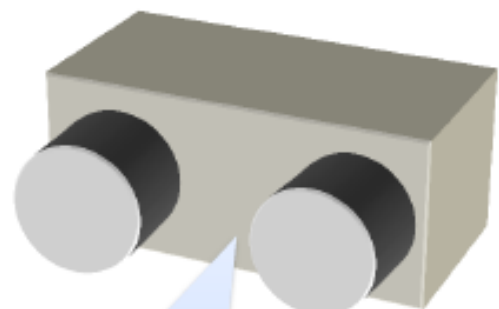
青木
小林

高性能画像処理プロセッサ

ディペンダブル3次元VLSI

小柳 元吉

安全を保障するための高性能画像処理システムの目標設定



受動型3次元視覚ユニット



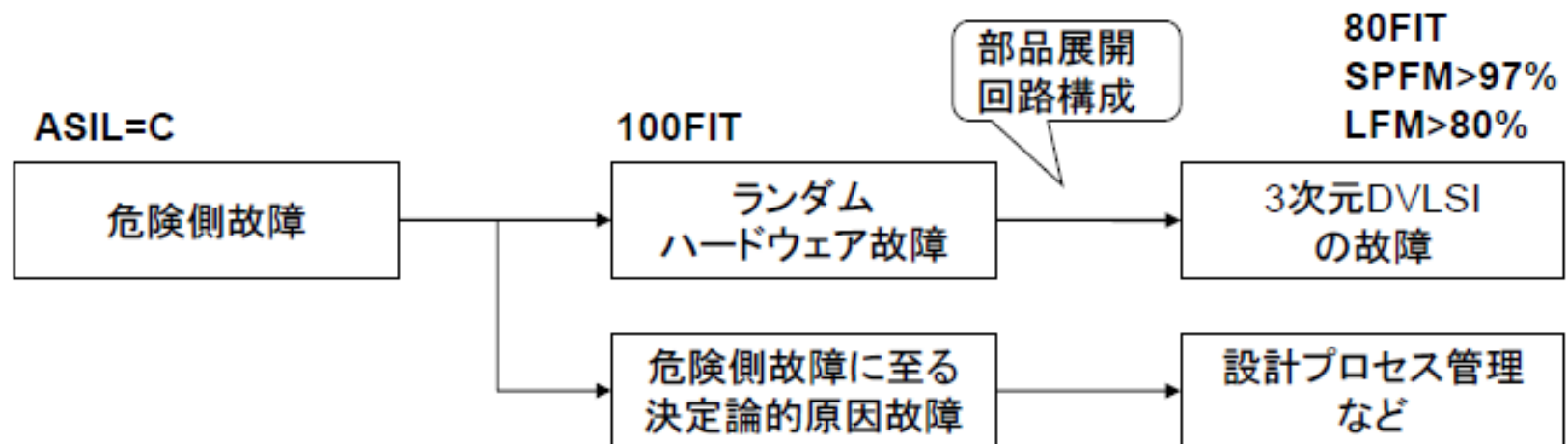
3次元VLSI

- カメラ台数:2個
- 測距範囲:0~100m
- 基線長:12cm, 焦点距離:6.5mm
- 画像サイズ: SXGA
- ウィンドウサイズ:48画素×31ライン
- 再構成点数:3万点
- 対応付け精度:1/20画素
- Z軸分解能(測距精度):50m先で80cm分解能, 100m先で3m分解能
- 計算量:~1 TFLOPS

車載応用のために、上記仕様を満たす受動型3次元ユニットを5W程度で動作するハードウェアを検討

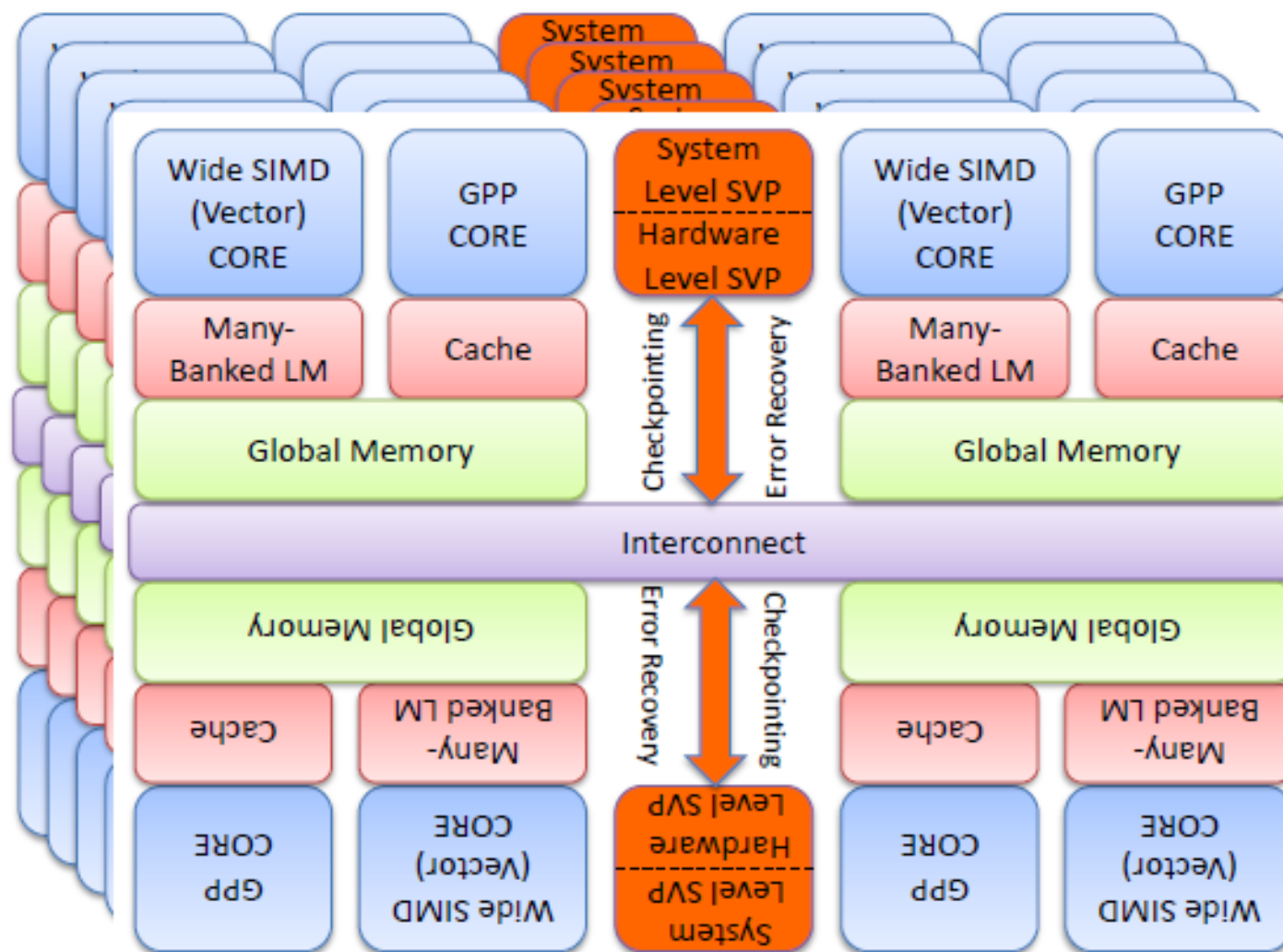
ディペンダブル画像処理システムの目標設定

自動車の運転支援システムは色々な商品が考えられるしシステム構成も個別だが**ASIL=C**を例として以下を目標として検討する
(最終的にはASIL =Dの製品もあり得るので視野には入れる)



3次元DVLSIのデペンダビリティ目標値
・故障率<80FIT ・SPFM>97% ・LFM>80%

高性能でデペンダブルな3次元積層型画像処理 プロセッサの全体アーキテクチャ



SVPへの要求

■ SVPの役割

	考えられる機能要求	接続関係
(1)	画像処理システムのウォッチドッグ	バス接続 or モジュール直接
(2)	メモリの管理(メモリ内のデータ修正)	バス接続 or モジュール直接
(3)	メモリアクセスの監視(バス・スヌープ)	バス接続
(4)	画像処理システムのエラーログ解析	バス接続 or ログファイル直接
(5)	ハードエラーからの復旧補助	補助対象へ直接接続
(6)	画像処理プロセッサのテスト	プロセッサ直接接続
(7)	画像処理システム全体のテスト	システム全体へ直接接続

■ SVP自身への要求

	SVPに必要とされる特徴
(1)	要求に応じて処理を実行できる柔軟性
(2)	ソフトウェアに対する信頼性
(3)	ハードエラーに対する信頼性

安全を保障するための高性能画像処理システムの研究

小林グループ (リーダー: 東北大学 小林広明)

研究課題: ハードウェア・ソフトウェア協調型ディペンダブルシステム
の開発および性能評価

アプリケーションの特性を考慮した3次元VLSIハードウェアの構成技術の研究

- ・3次元マルチベクトルコアプロセッサアーキテクチャ設計, 3次元積層型
キャッシュメモリ設計
- ・ショートベクトルのためのOoOベクトルISA実行機構の設計

ディペンダブルなアプリケーションスケジューリング機構の研究

- ・ディペンダブルプログラム実行機構のためのスレッド実行制御の検討
- ・ヘテロジニアスコンピューティングプラットフォームのためのチェックポイント・
リスタート機構の基本設計

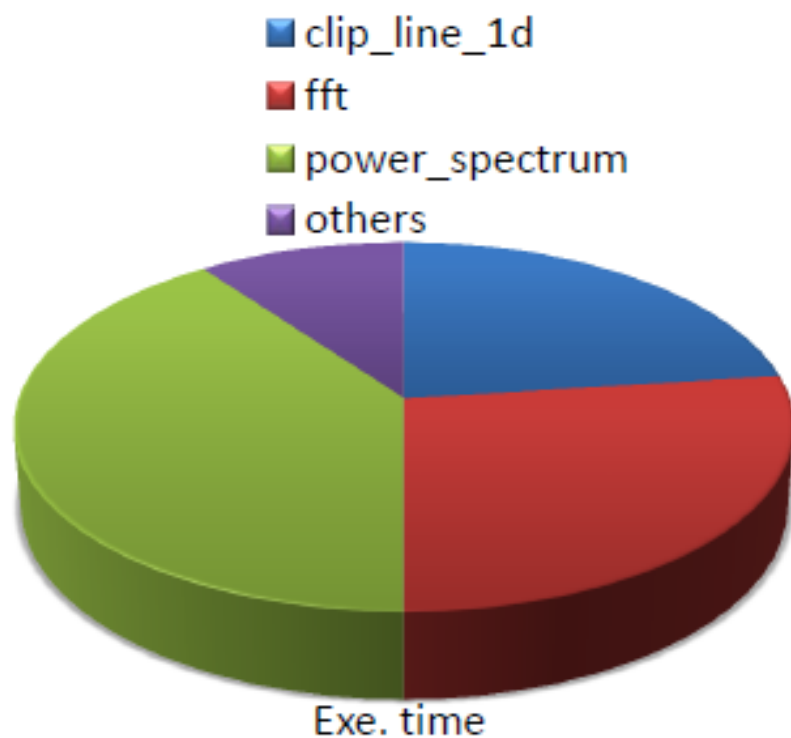
青木グループ (リーダー: 東北大学 青木孝文)

研究課題: 車載用超高精度ステレオビジョンシステムの開発および性能分析

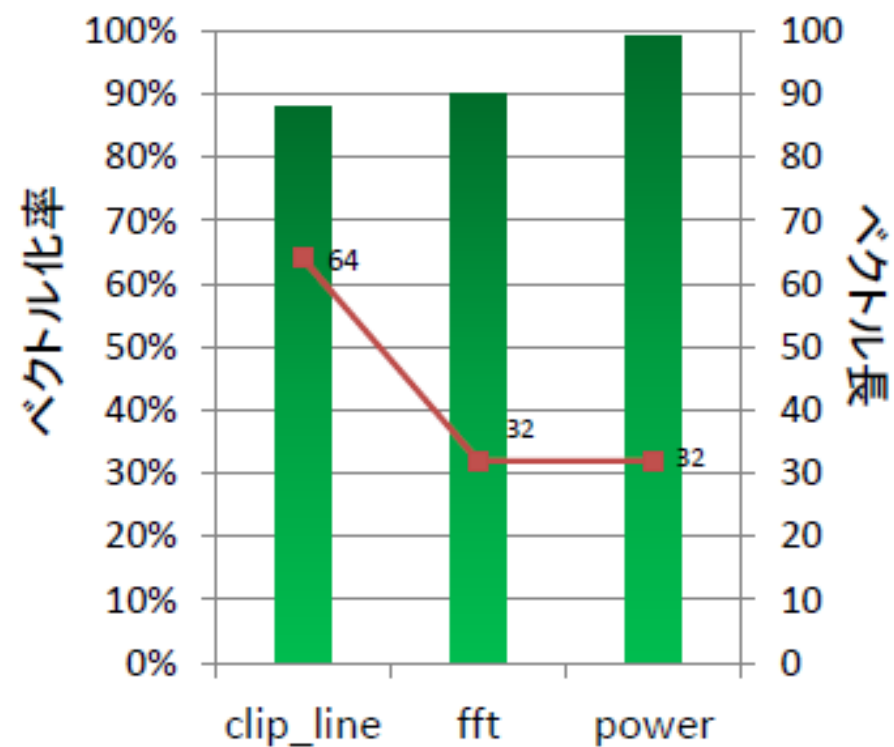
- ・位相限定相関法に基づく超高精度ステレオビジョンのための
アルゴリズム開発
- ・上記アルゴリズムのソフトウェア実装および性能評価
- ・上記アルゴリズムのGPUへの実装および性能評価

1D POC(1次元位相限定相関法) の性能解析

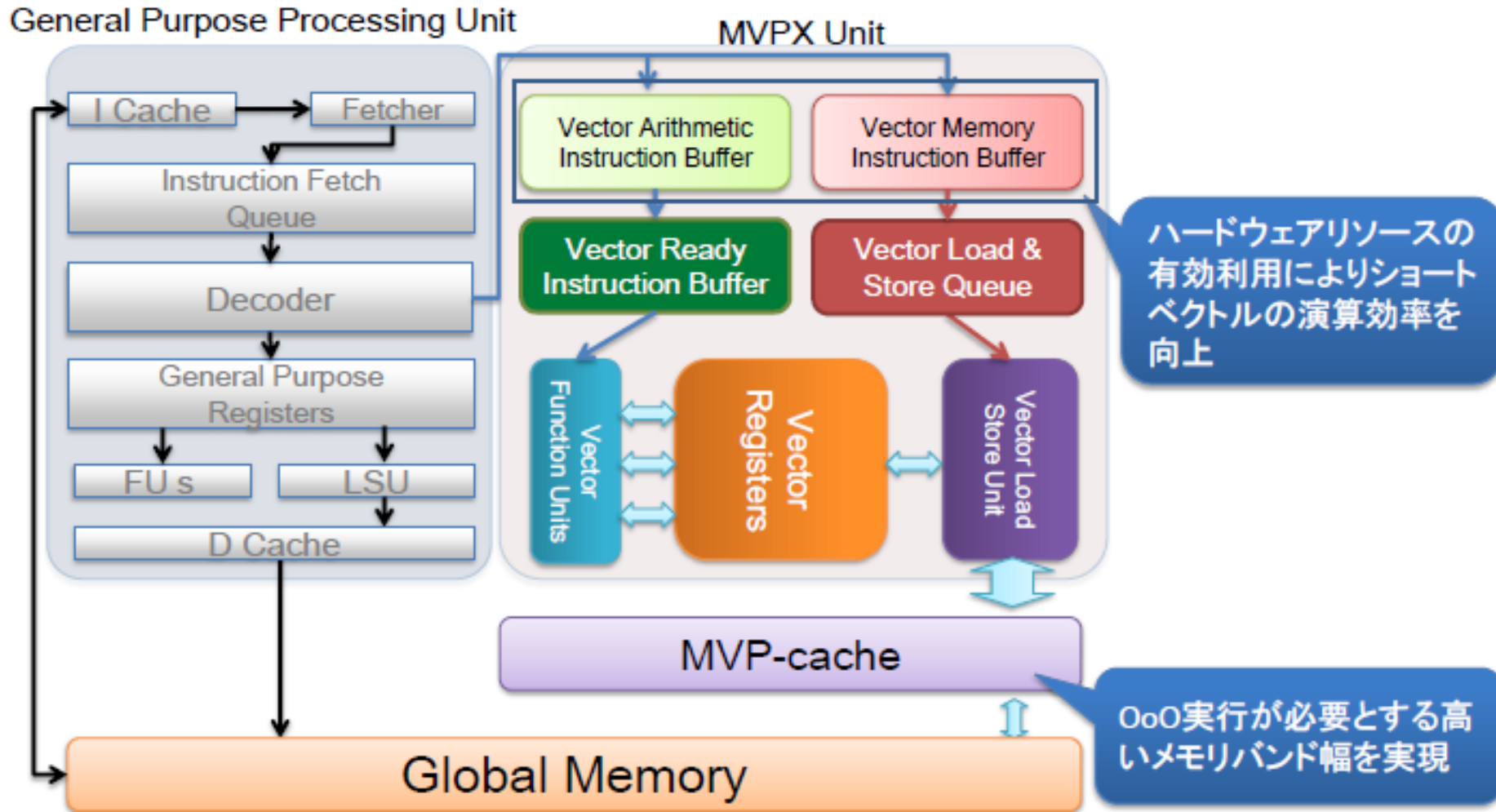
実行カーネル 処理時間内訳



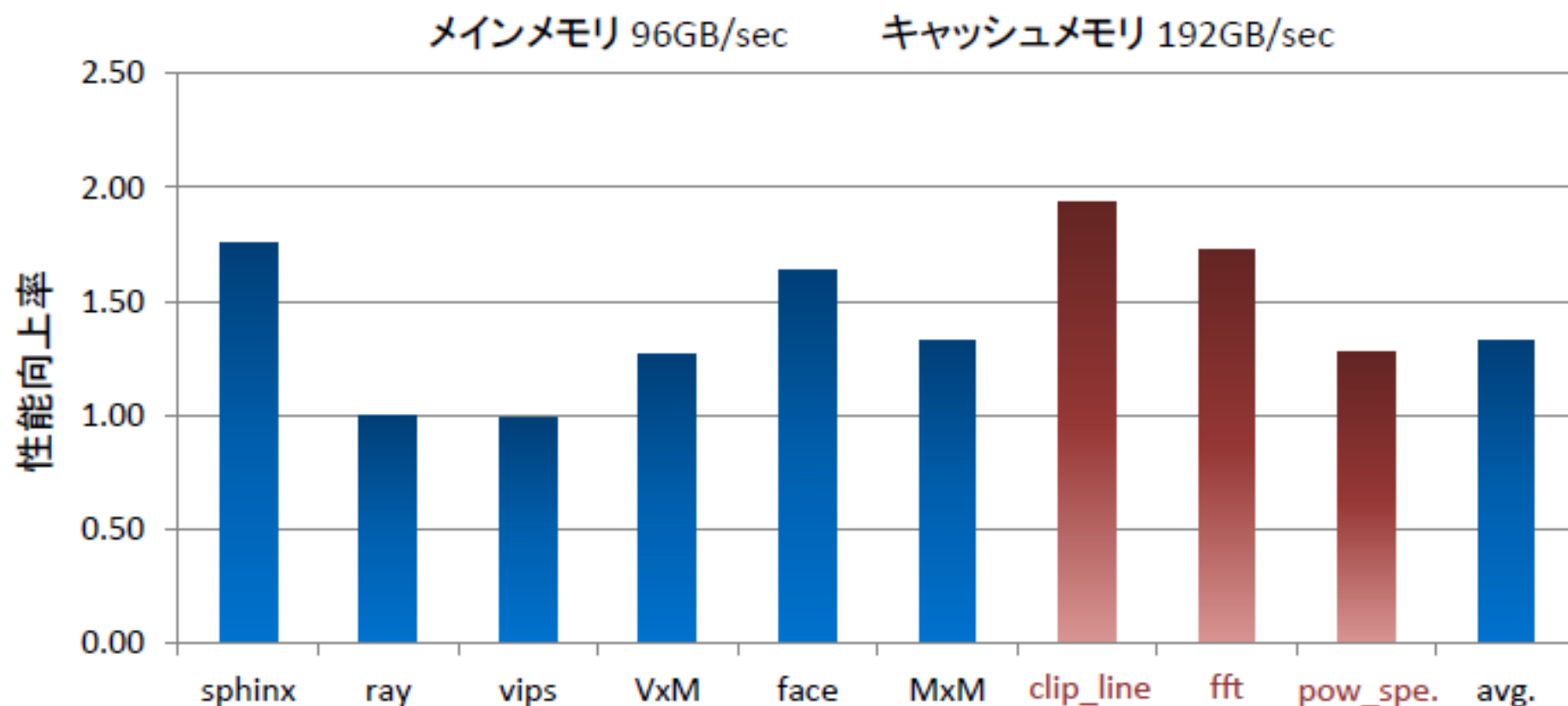
ベクトル化率とベクトル長



MVPX(Multimedia Vector Processing eXtension) Unit

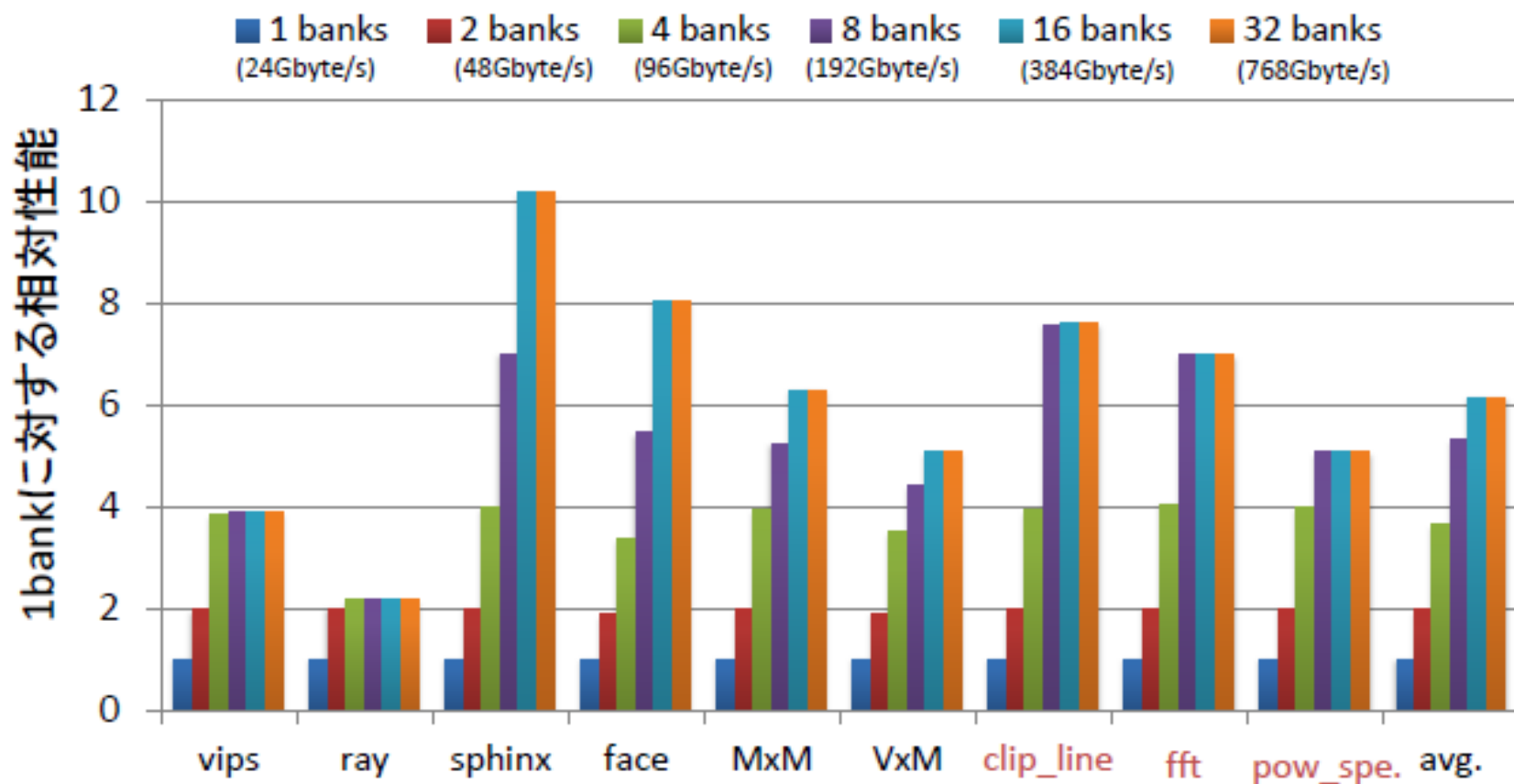


キャッシュメモリによる性能改善率



- Clip_lineは大量のメモリコピーを, FFTはメモリ参照を行うため, キャッシュによる性能向上が期待できる
- Pow_spe.は演算の比率が高いため, 性能向上が小さい

キャッシュバンド幅による性能改善率

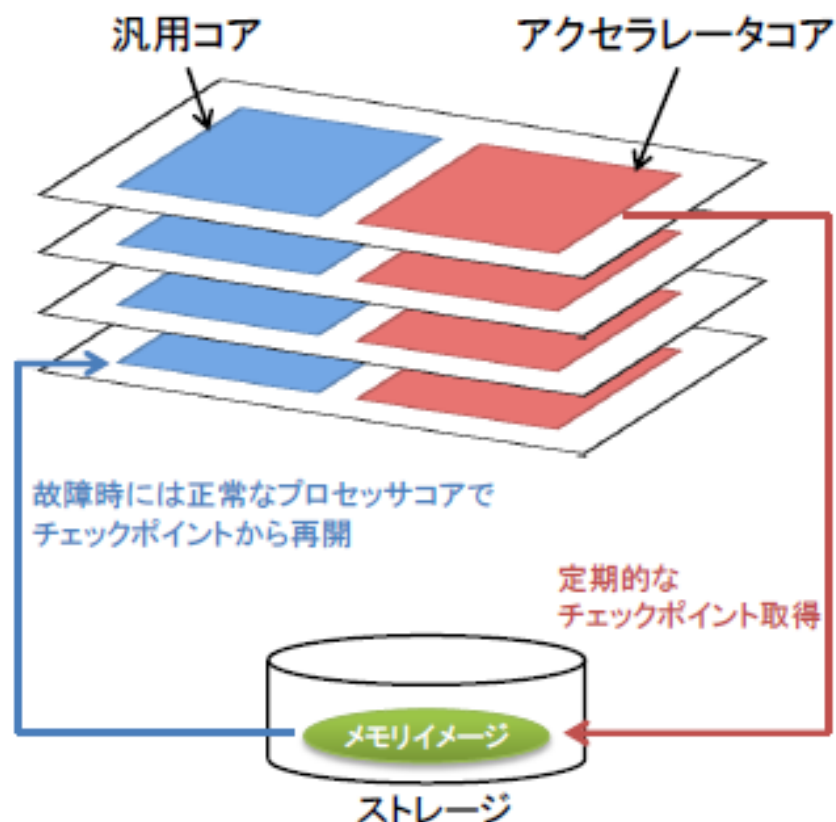


- 高いキャッシュバンド幅を用いることで、性能が大きく向上

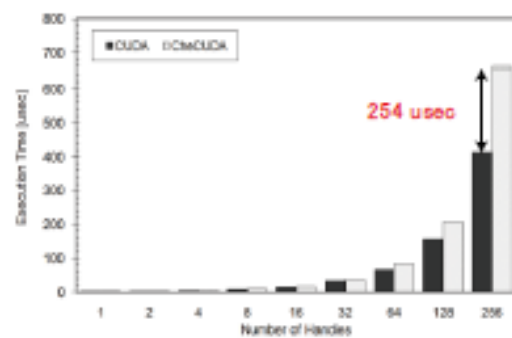
MVPX Unit を利用した1D POCの高速演算が可能

ヘテロジニアスコンピューティングプラットフォームのための チェックポイントリスタート機構

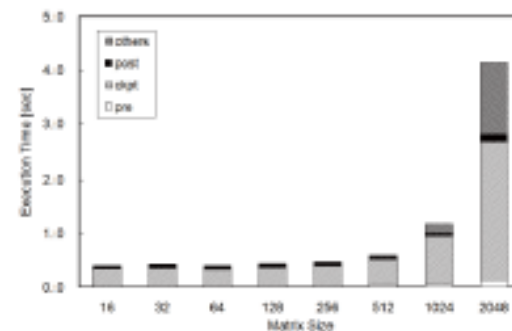
- ハードウェア障害発生時のプロセス復旧
- アーキテクチャの異なるプロセッサコア間でのマイグレーションによる、プロセスの持続性の保証



CPU/GPU混載システムによる評価



•メモリリソース管理に関するオーバーヘッド



•チェックポイントリスタート処理時間

低オーバーヘッドのチェック
ポイントリスタートを実現

ディペンダブル画像処理システムの研究

末吉グループ (リーダー: 熊本大学 末吉敏則)

研究課題: 3次元リコンフィギャラブルロジックの設計および性能評価

- ・不良救済技術およびメモリ・ソフトウェア検出救済技術の検討・評価
- ・3次元リコンフィギャラブルロジックおよびCADツールの検討・評価
- ・SVPの機能設計

小林グループ (リーダー: 東北大学 小林広明)

研究課題: ハードウェア・ソフトウェア協調型ディペンダブルシステム
の開発および性能評価

アプリケーションの特性を考慮した3次元VLSIハードウェアの構成技術の研究

- ・3次元マルチベクトルコアプロセッサアーキテクチャ設計, 3次元積層型
キャッシュメモリ設計
- ・ショートベクトルのためのOoOベクトルISA実行機構の設計

ディペンダブルなアプリケーションスケジューリング機構の研究

- ・ディペンダブルプログラム実行機構のためのスレッド実行制御の検討
- ・ヘテロジニアスコンピューティングプラットフォームのためのチェックポイント・
リスタート機構の基本設計

ディペンダブルなSVPによる、画像処理システム全体の高信頼化

■ SVP自身の高信頼化

- ソフトエラー(レジスタ, メインメモリ)
- ハードエラー

リCONFIGYラブルデバイスによるSVPの実現

- CONFIGYレーションメモリの高信頼化
 - デバイスアーキテクチャの検討(H22年度)
 - 高信頼システム構成+再構成技術
- レジスタ情報の同期技術
- ECCによるメモリ高信頼化技術
- 再構成によるハードエラー回避技術

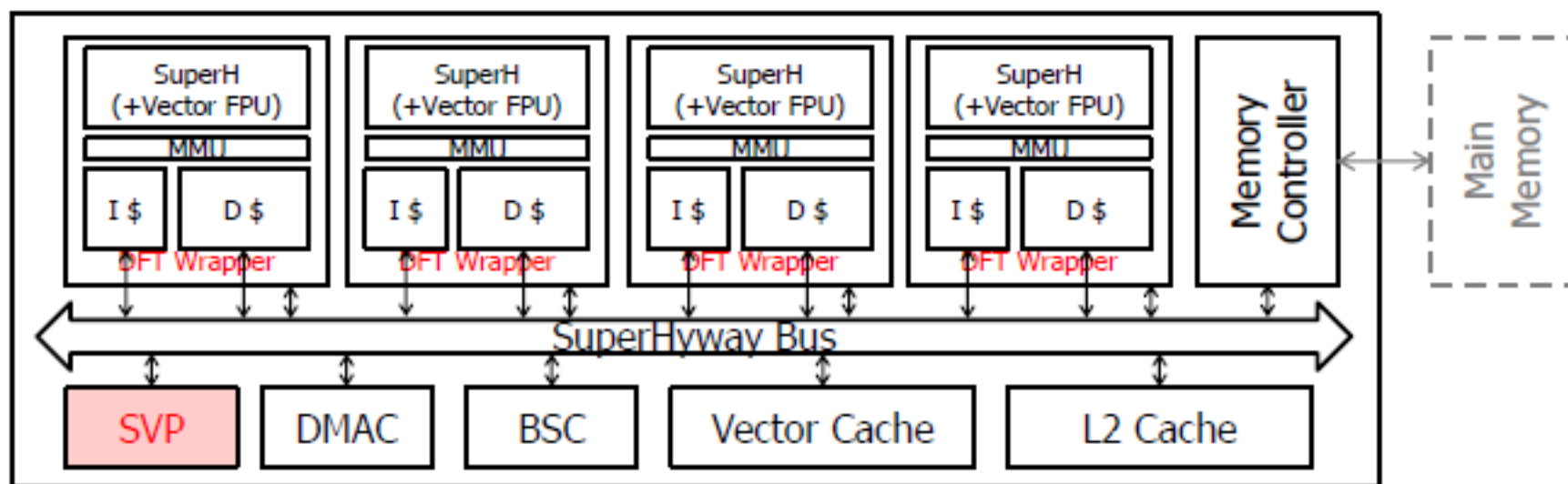
■ SVPの役割を検討

- システム監視
- 復旧補助
- テスト機能

■ SVPと画像処理システムとの分担を検討

- インタフェース
- 役割分担

SVPによるシステム管理



- バス接続されている場合, (1)~(4)は実行可能と考えられる

	SVPの役割	画像処理システムへの要求
(1)	ウォッチドッグ	動作信号をSVPに送信
(2)	メモリ内のデータ訂正	ECCによるエラー緩和
(3)	メモリアクセスの監視	異常アクセスの定義
(4)	エラーログ解析 (バスからログが読める場合)	エラー検出, 解析結果の管理

専用回路によるSVPとの比較

■ 専用回路(ハードコアプロセッサ)

■ メリット

- 動作周波数が高く, 高性能
- 面積・電力の効率が良い

■ デメリット

- ハードエラーからの復旧が困難

■ FPGA(ソフトコアプロセッサ)

■ メリット

- In-systemでバージョンアップ可能
- **ハードエラーを回避して実装可能**

■ デメリット

- コンフィギュレーションメモリがソフトウェアに脆弱
- 性能面で専用回路に劣る

□ 性能面 :ハードウェアロジックを実装し, ソフトコアプロセッサをアクセラレートすることで対応

□ 信頼性面 :再構成によりソフトウェア排除・ハードエラー回避可能

⇒ **FPGA(ソフトコアプロセッサ)を採用**

研究課題(1)

(1) ソフトエラーに対する高信頼化技術


- デバイスアーキテクチャによる高信頼化
 - コンフィギュレーションメモリの高信頼化
 - 省構成メモリアーキテクチャ
 - ソフトエラー隠蔽・修正回路
- 実装回路レベルでの高信頼化
 - プロセッサのレジスタ, Flip-flopの高信頼化
 - SVPのメインメモリの高信頼化
- プロセッサシステムの信頼性評価技術
 - ソフトエラー蓄積・再構成技術を考慮した評価

研究課題(2)

(2) 部分再構成技術

- 再構成データの再配置技術
- ハードエラー回避技術
 - ハードエラー発生個所の検知・回避手順の検討
- SVPの高性能化
 - 動的再構成スケジューリングアルゴリズムの検討

専用LSIを超える信頼性を持たせるため、
ハードエラー・ソフトウェア耐性強化を重視して研究を行う。



ハードエラー・ソフトウェア両方に対してディペンダブルな
動的リコンフィギャラブルSVPを実現する

ソフトウェアに対する高信頼化

デバイスアーキテクチャ

デバイス構造からコンフィギュレーションメモリを高信頼化

- 省構成メモリアーキテクチャ (COGRE)
- ソフトエラー検知・訂正回路 (EDAC回路)

実装回路の高信頼化

デバイスに実装するシステムの高信頼化技術

- 内部状態復旧
 - プロセッサレジスタ
 - Flip-flop
- SVPのメインメモリの高信頼化

理想的には、提案デバイスに回路を実装し高信頼化を検討したい
⇒ 実装ツールの開発が必要なため、時間・人的資源の問題から困難

実装ツールの開発

既存デバイス*を利用した
高信頼システムの検討

並行して行う

最終的に統合評価することで、ソフトウェアに対する高信頼化を図る

* Xilinx社VirtexシリーズFPGAを用いてシステムを構築し、有用性および他のFPGAデバイスへの適用性を示す。

デペンダブル3次元積層型画像処理 VLSIの研究

小柳グループ(リーダー:東北大学 小柳光正)

研究課題:自己修復機能を有する3次元VLSIシステムの全体設計
および性能評価

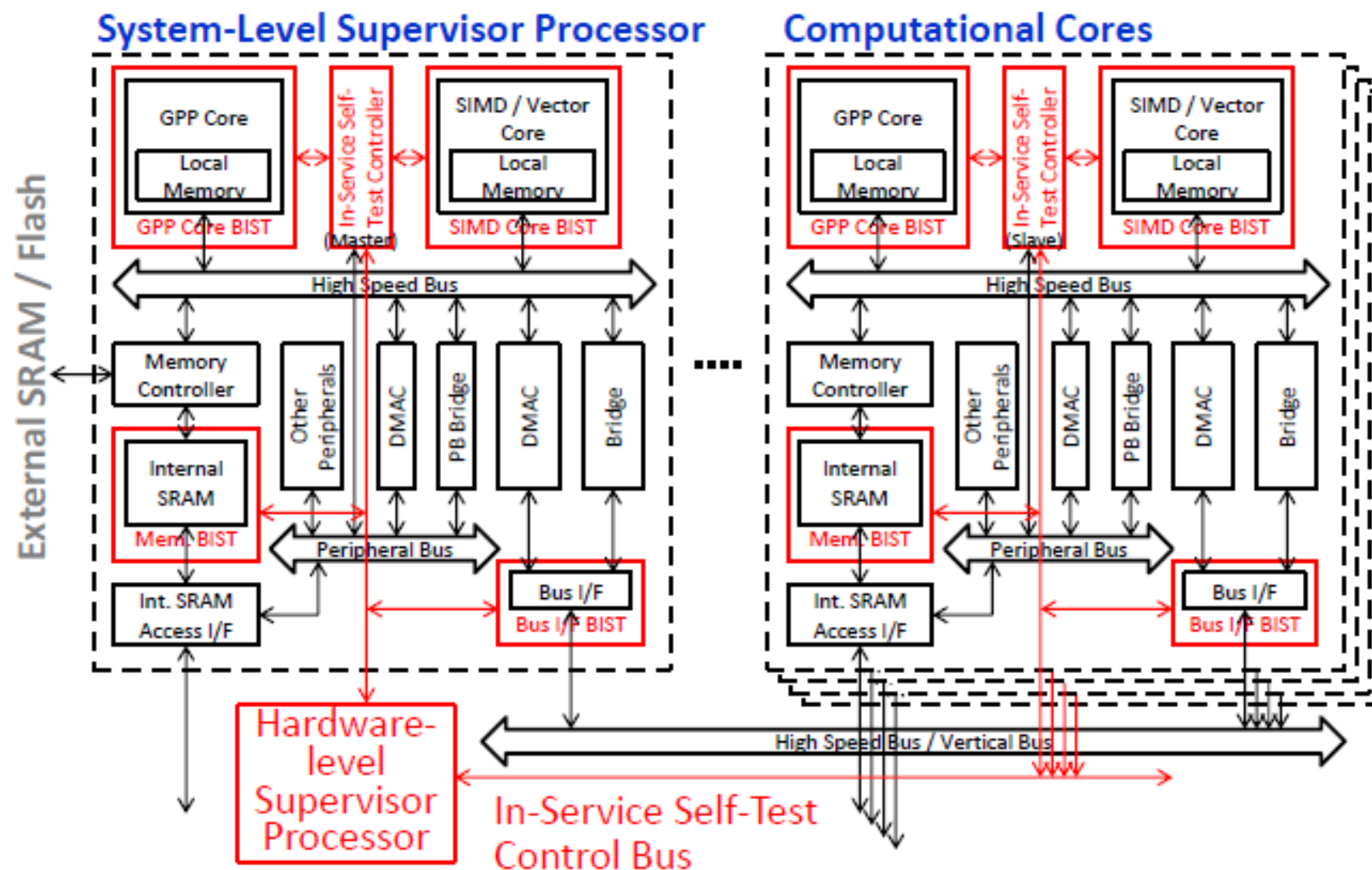
- ・プロトタイプ3次元積層型画像処理プロセッサの設計・試作
- ・3次元LSIテスト回路の設計、試作および3次元LSIの信頼性評価
- ・ディペンダブルメモリの設計、試作、評価

元吉グループ(リーダー:ザイキューブ 元吉 真)

研究課題:自己修復機能を有する3次元LSIテスト回路の試作および評価

- ・メモリ・ソフトエラー検出・救済手法の確定と自己修復機能を有する3次元LSIテスト回路設計および評価
- ・3次元LSIテスト回路、プロトタイプ3次元積層型画像処理プロセッサ試作用3次元LSI技術のプロセス条件の確定。

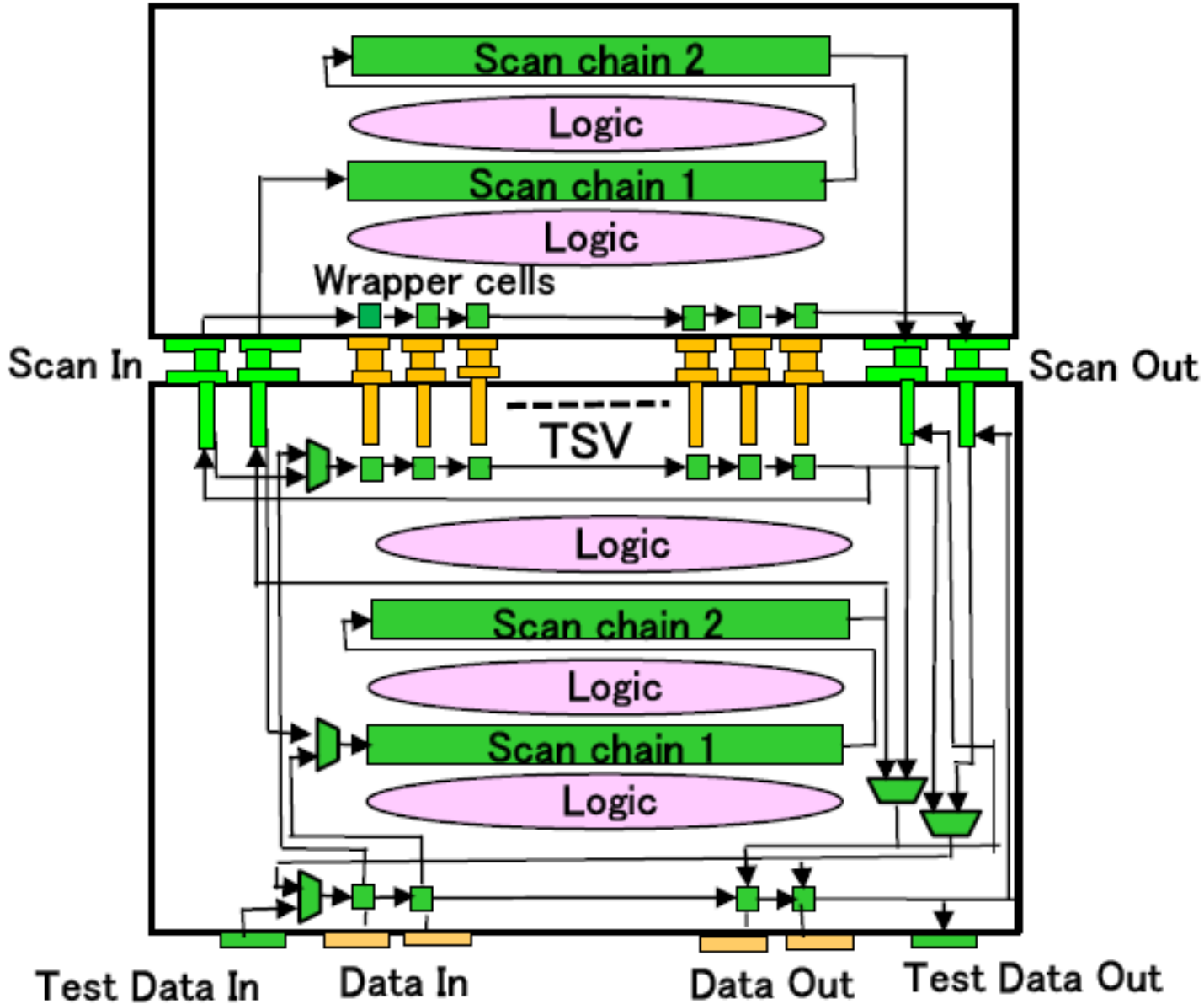
デペンダブル3次元積層型画像処理 VLSIの ブロック構成



垂直バス構成の比較

垂直バス構成	特徴など	備考
B-1) 64bit共通バス (信号数:約200) * $32 + 64 + 64 + \alpha = 160 + \alpha$	最もリソースの少ない構成 (アドレス+データ(Initiator → Target)+データ(Target → Initiator)+制御信号)	バスアービタの実装必須
B-2) 64bit共通バス × 2セット (信号数:約 200×2) *二重に冗長化するのでB-1の2倍	B-1の構成の共通バスを2 セット実装する構成 Bus Conflict回避用とする or 待機冗長系とする	冗長系として使用する場合、 二重化するので信頼度向上 バスアービタの実装必須 面積コストはB-1の2倍
B-3) 64bitリングバス (信号数:約 200×2) *上りと下り合わせてB-1の2倍	各層のバッファは隣接チップ までの配線だけ駆動 配線遅延は積層チップ数 に依存しない	ルータの実装必要(開発工数 膨大) 面積コストはB-1の2倍で信頼 度も下がる

3次元 DFT アーキテクチャの検討



高信頼性TSV構成の比較

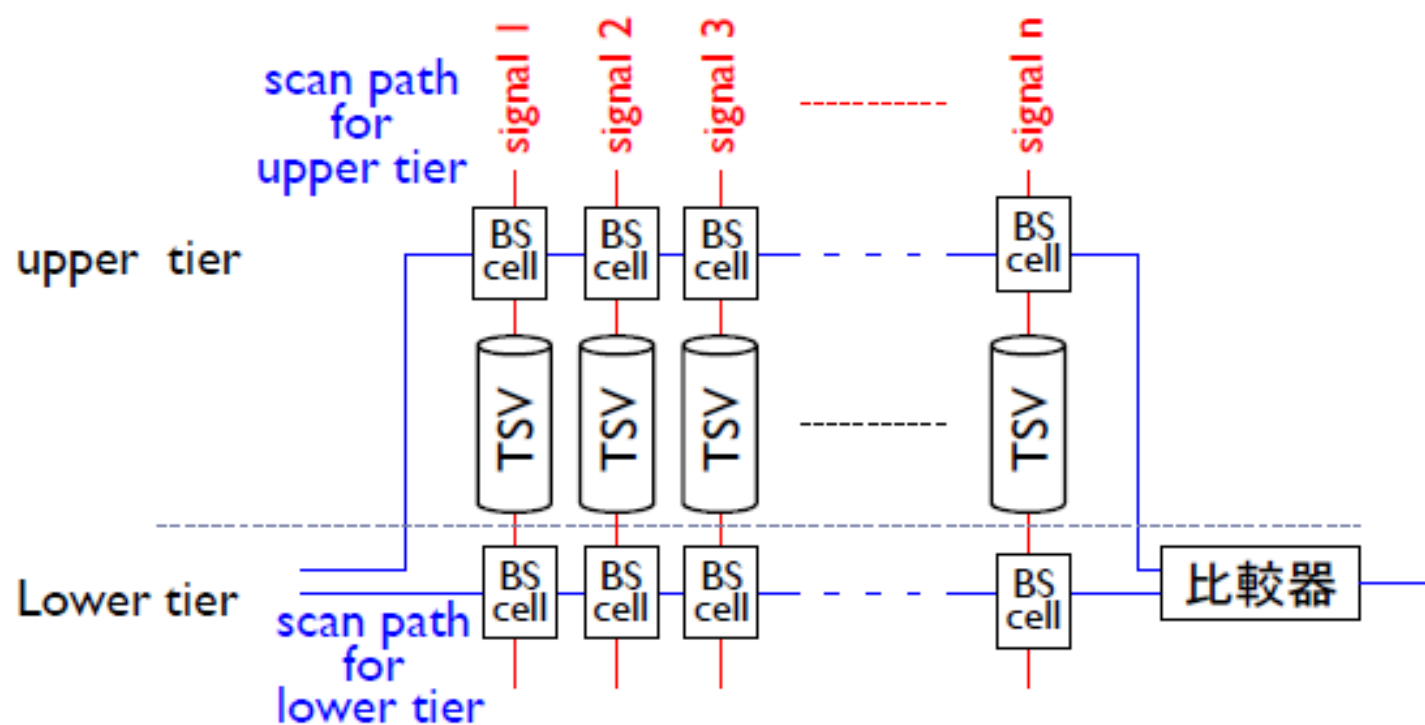
高信頼性TSV構成	面積コスト	信頼度
T-1) 単純二重化 *各信号に対して2本のTSV	<u>TSV用パッド(*)増分</u> 増加率=+100%(2倍) <u>ゲート増大分</u> 特になし	n個の信号が全て繋がる 確率R $R = (1 - (1 - R_{TSV})^2)^n$
T-2) 単純四重化 *各信号に対して4本のTSV	<u>TSV用パッド(*)増分</u> 増加率=+300%(4倍) <u>ゲート増分</u> 特になし	n個の信号が全て繋がる 確率R $R = (1 - (1 - R_{TSV})^4)^n$
T-3) 修復用TSVの実装 *n個のTSVに対してr個の修復用TSV(予備)を実装(n+r本のTSVごとにグループ化)	<u>TSV用パッド(*)増分</u> 増加率=+r/n e.g. +14.3% (n=14, r=2) <u>ゲート増分</u> 修復用のスイッチ等が必要 (n × r) + n個	n個の信号が全て繋がる 確率R $R = \sum_{i=n-r}^n \sum_{j=n-i}^r \left\{ \binom{n}{i} R_{TSV}^i (1 - R_{TSV})^{n-i} \times \binom{r}{j} R_{TSV}^j (1 - R_{TSV})^{r-j} \right\}$

*TSV用パッドが占める面積は20umピッチの時、141.84ゲート相当(2入力NAND換算)

高信頼性TSVについての検討

DFT for TSV

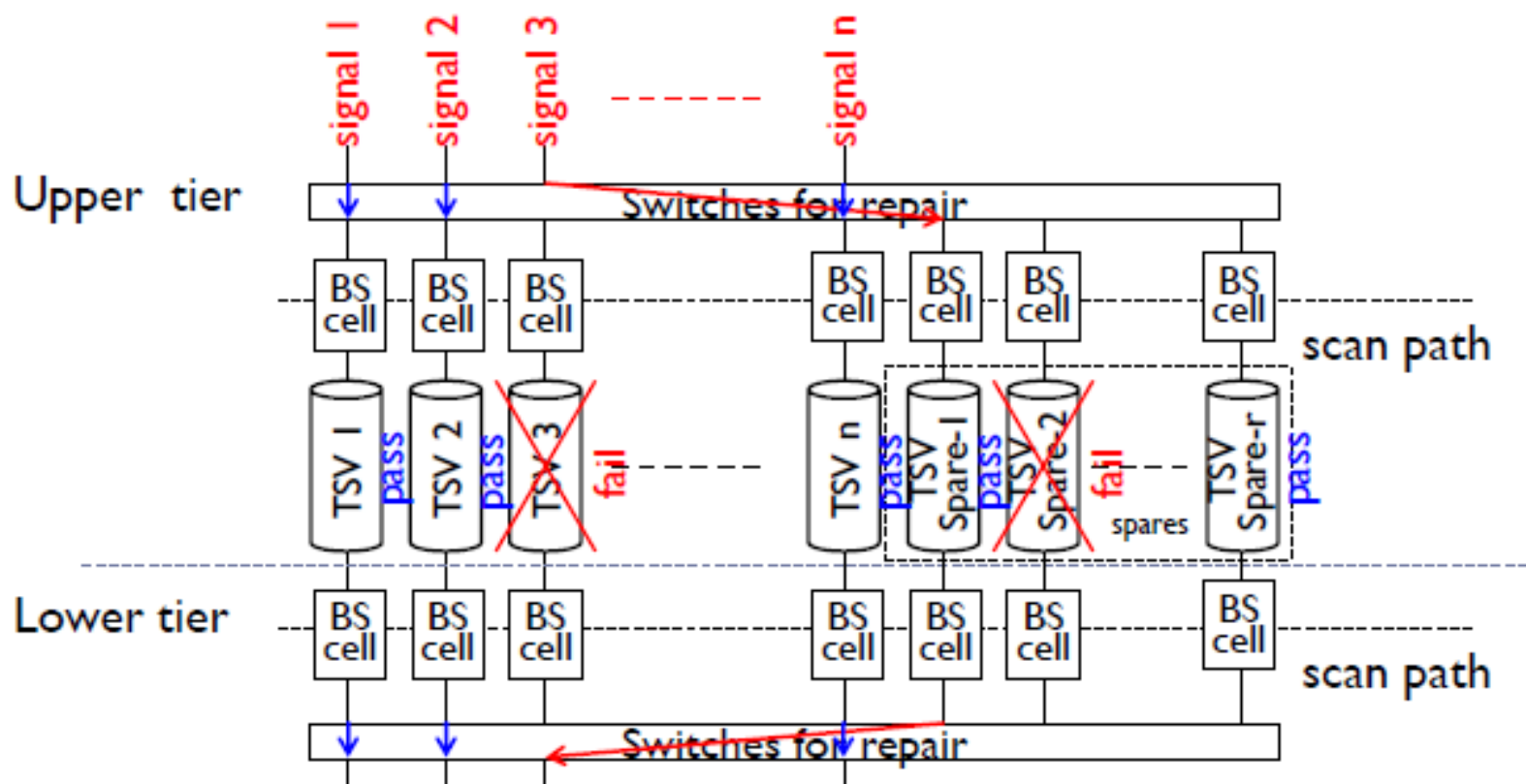
- ▶ TSV導通テスト
 - ▶ 全てのTSVの前後に、バウンダリスキャンセルを配置
 - ▶ IEEE1149.1 (JTAG)のEXTESTの要領でTSVの導通テスト



高信頼性TSVについての検討

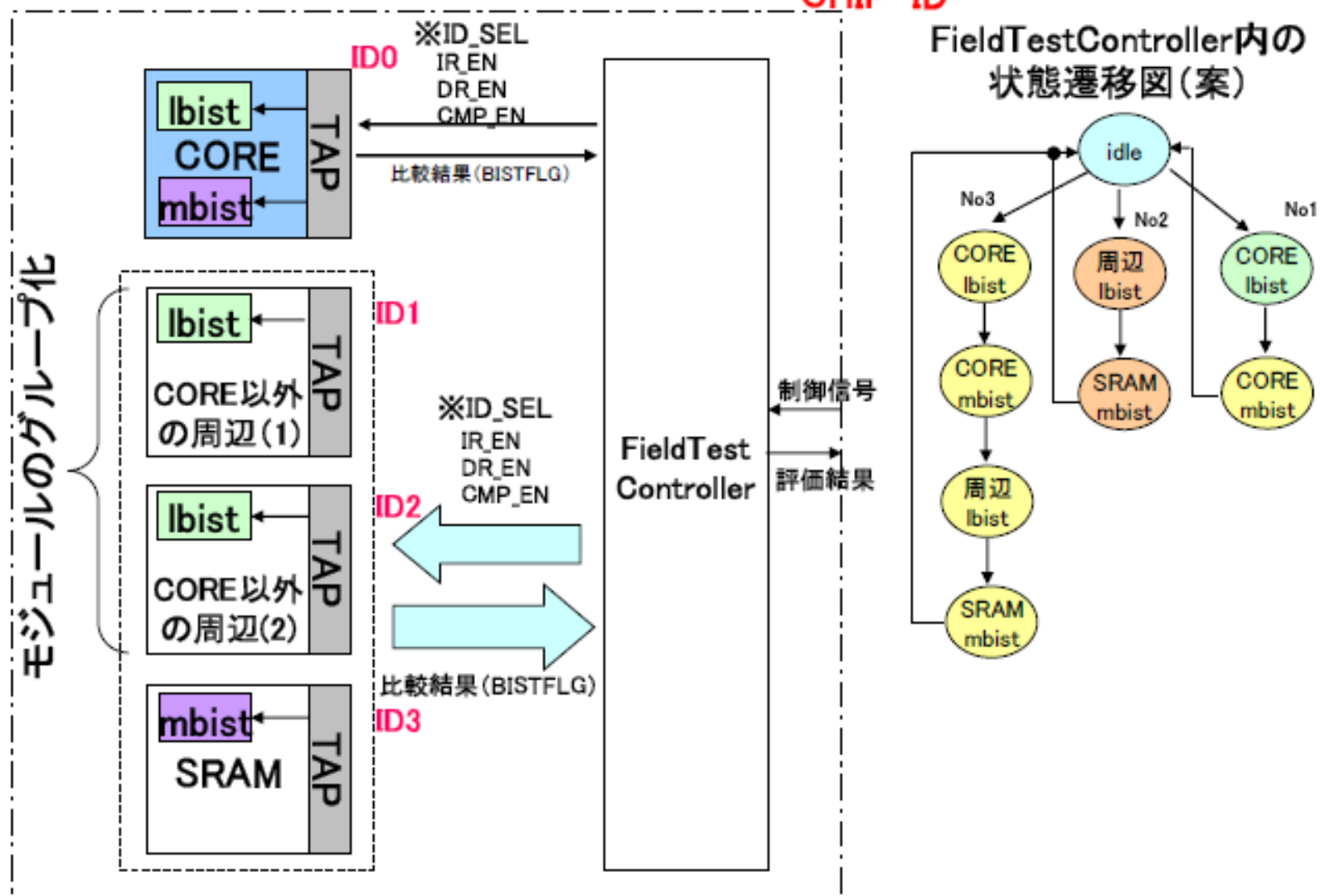
冗長TSVによる修復

- ▶ TSVをグループ分け(例:3個x3個、4個x4個、5個x5個)
- ▶ グループごとに修復用の予備TSVを数個配置
- ▶ 導通テストの結果から使用するTSVを切替

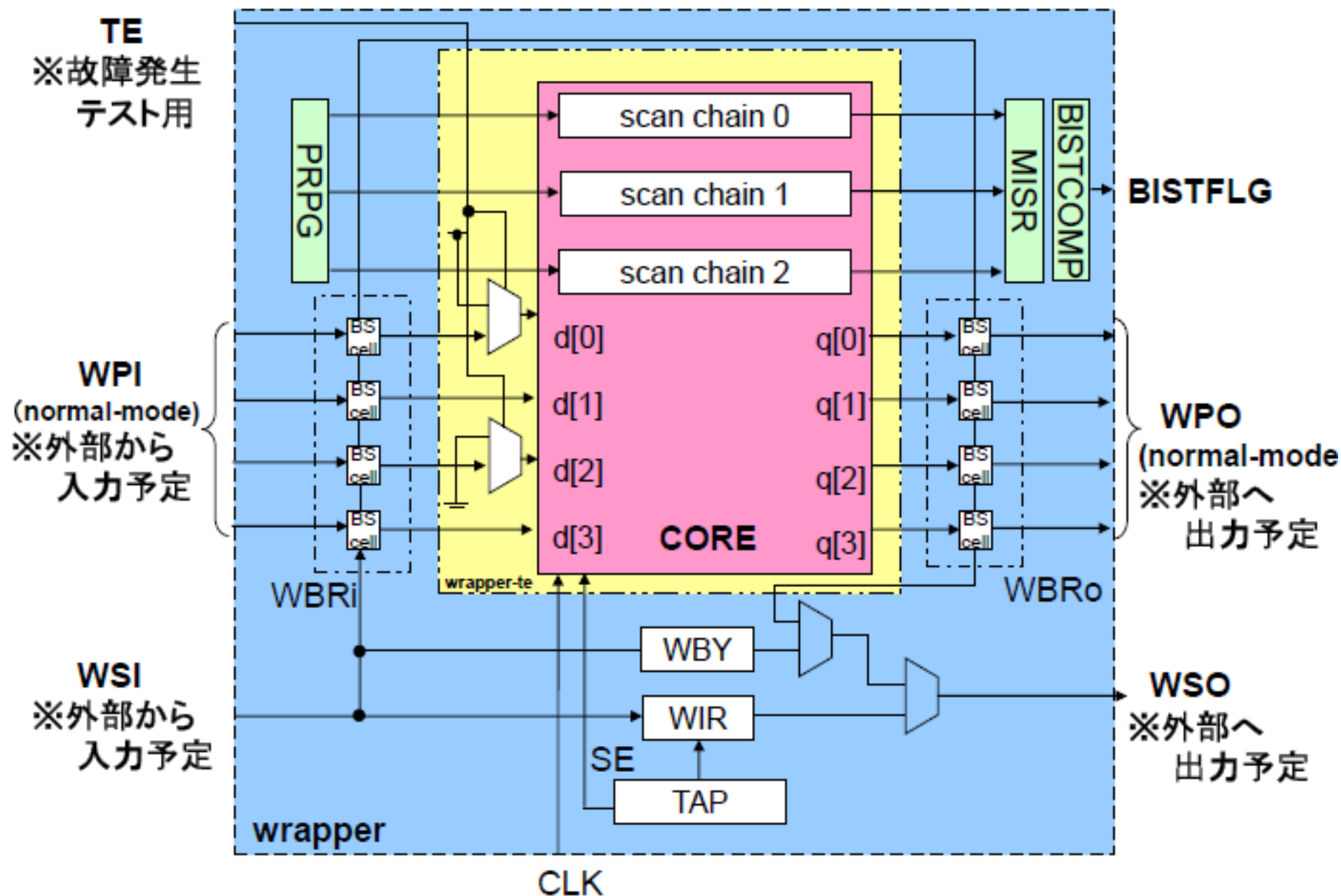


ディペンダブルプロセッサ自己診断機構の全体構成

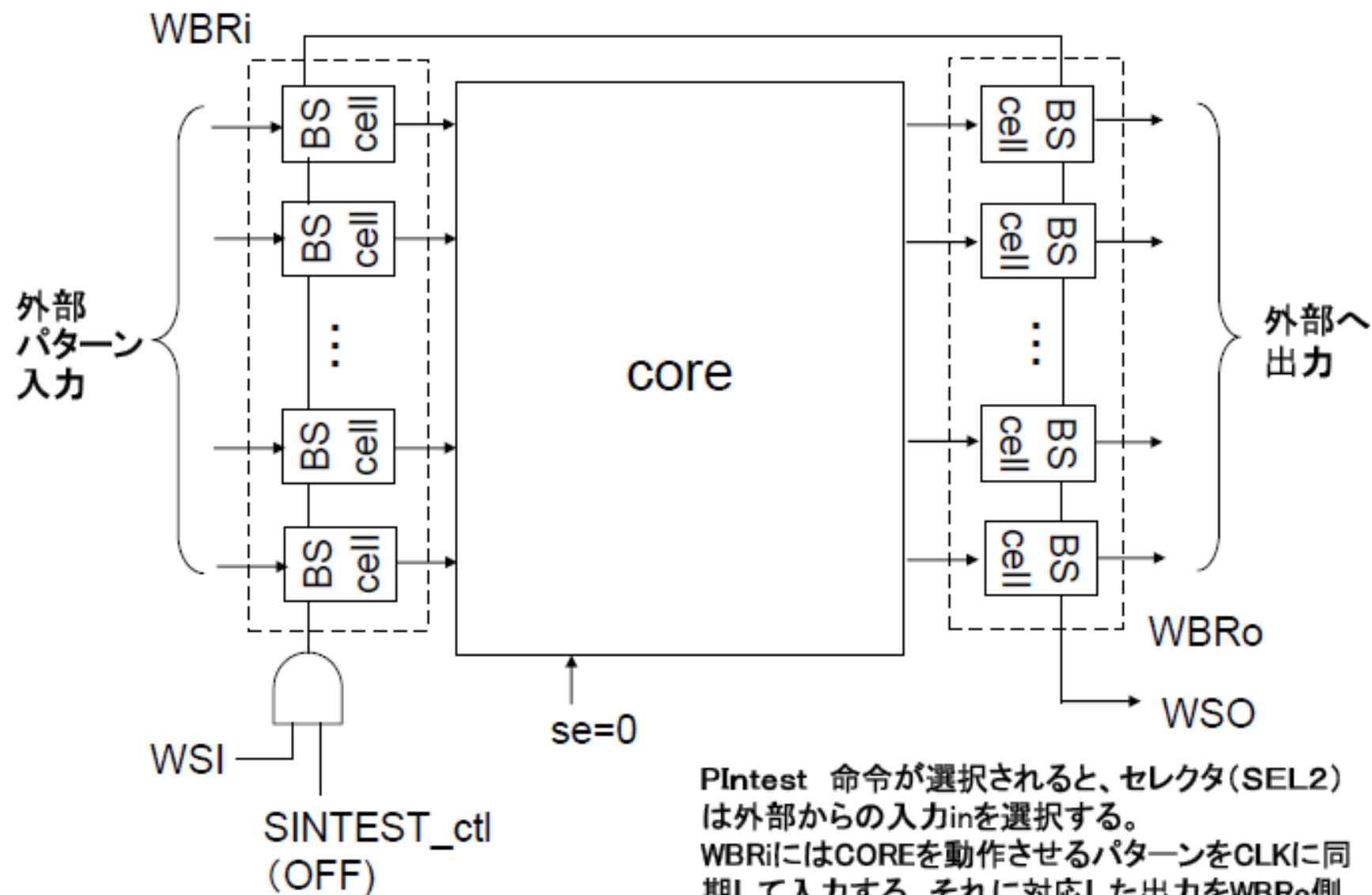
CHIP-ID



CORE周辺の自己診断機構の構成図(暫定)

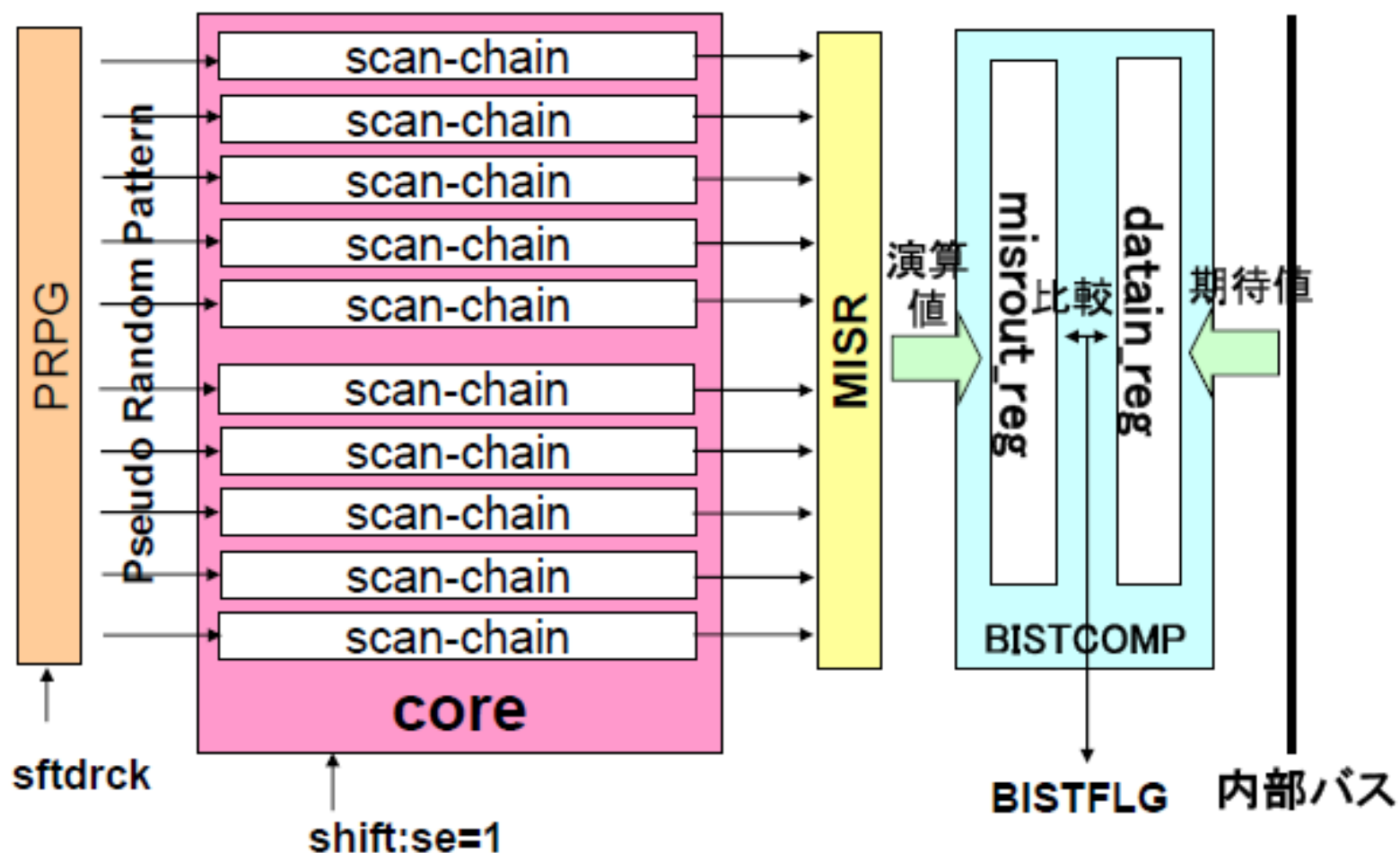


WP_INTESTモード



PIntest 命令が選択されると、セクタ(SEL2)は外部からの入力inを選択する。WBRIにはCOREを動作させるパターンをCLKに同期して入力する。それに対応した出力をWBRo側で観測、評価する。

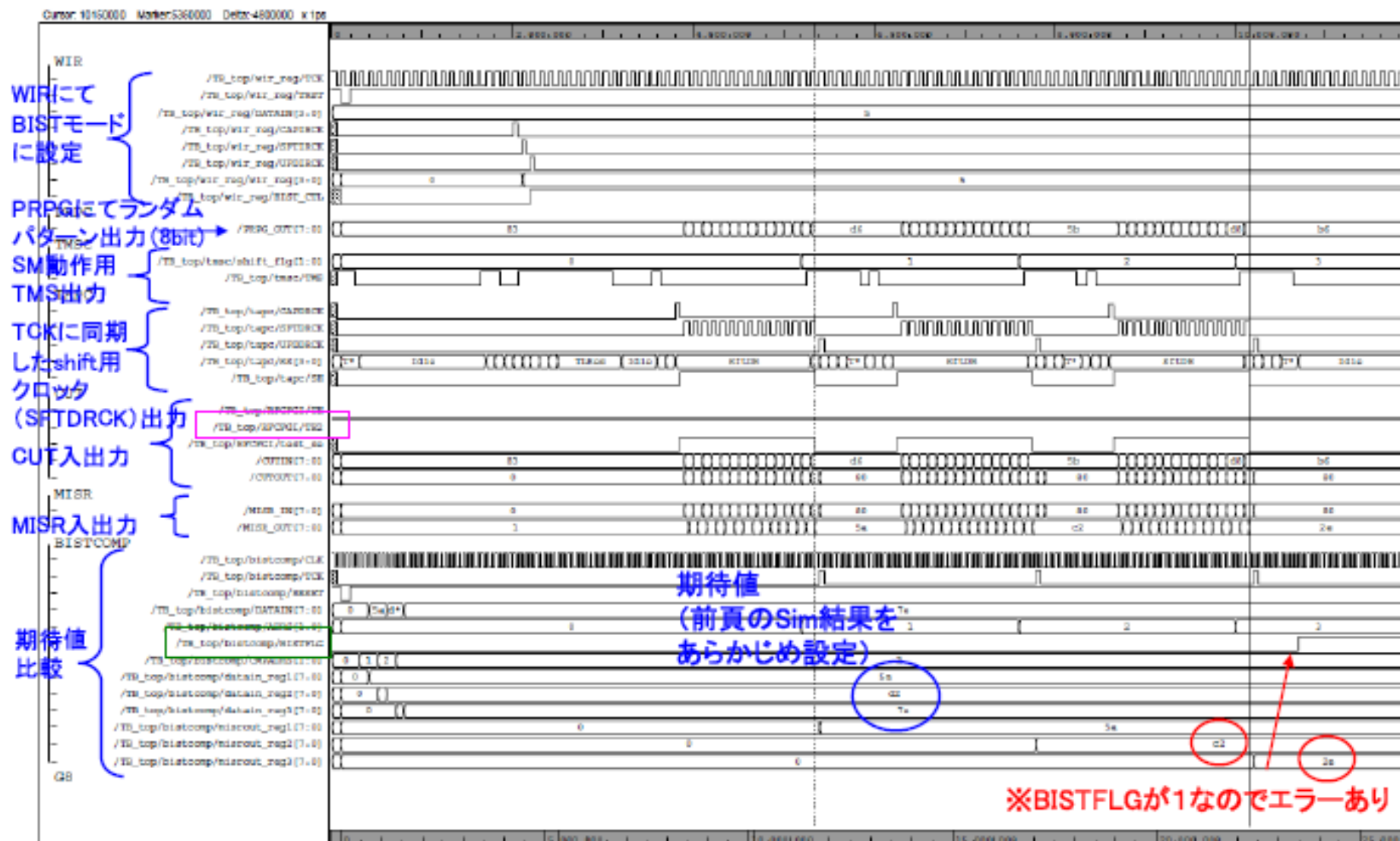
BISTモード



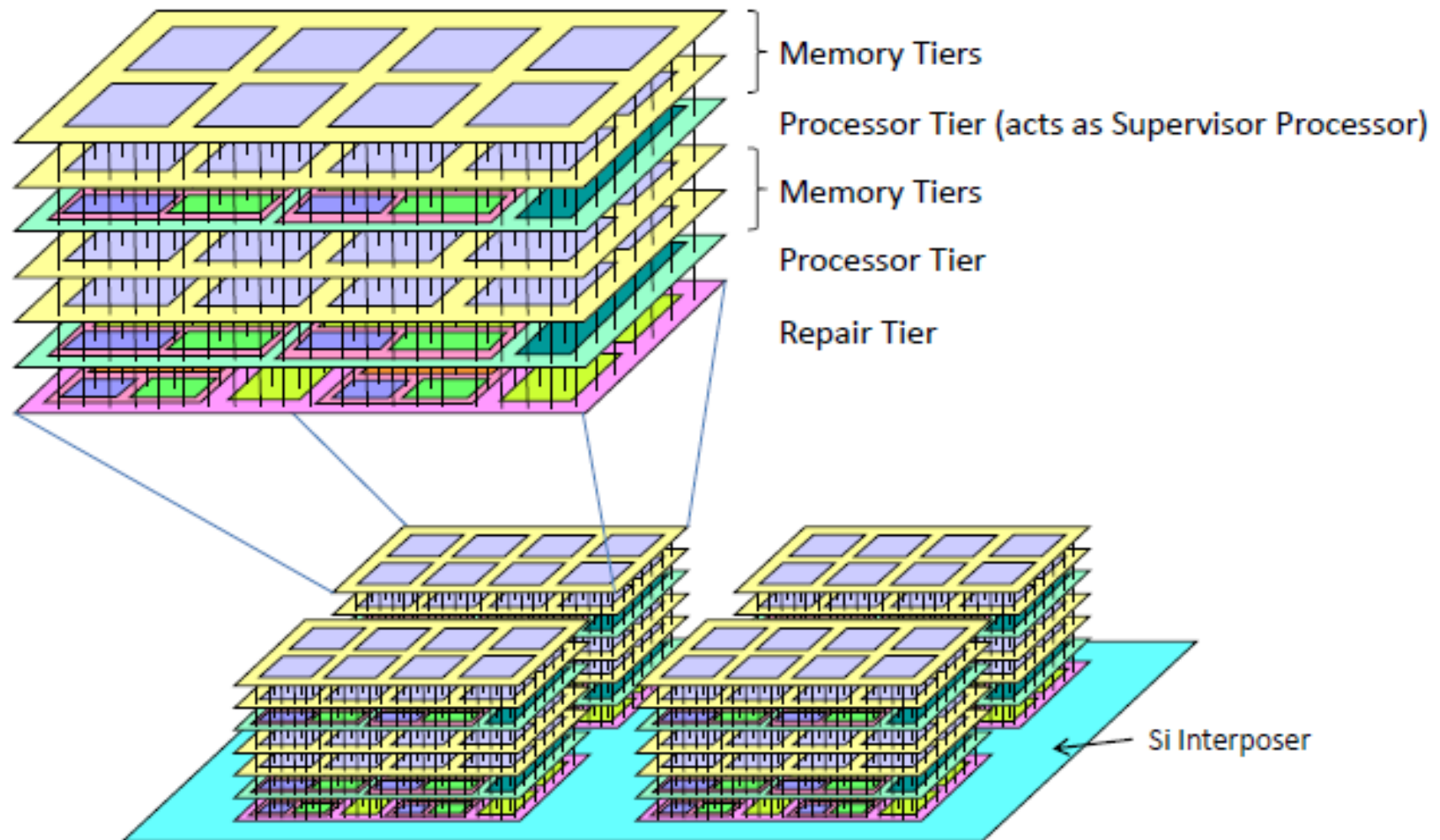
RUNBIST 命令が選択されると、TMSCによりTMSが動作しTAPC内のステートマシンに従って、sftdrck(シフト用クロック)が入力する。そのクロックに同期してPRPGよりランダムなパターンがそれぞれのscan-chainに入力する。なお、scan動作開始前に期待値をdatain_regにwriteしておく必要がある。

波形による動作確認

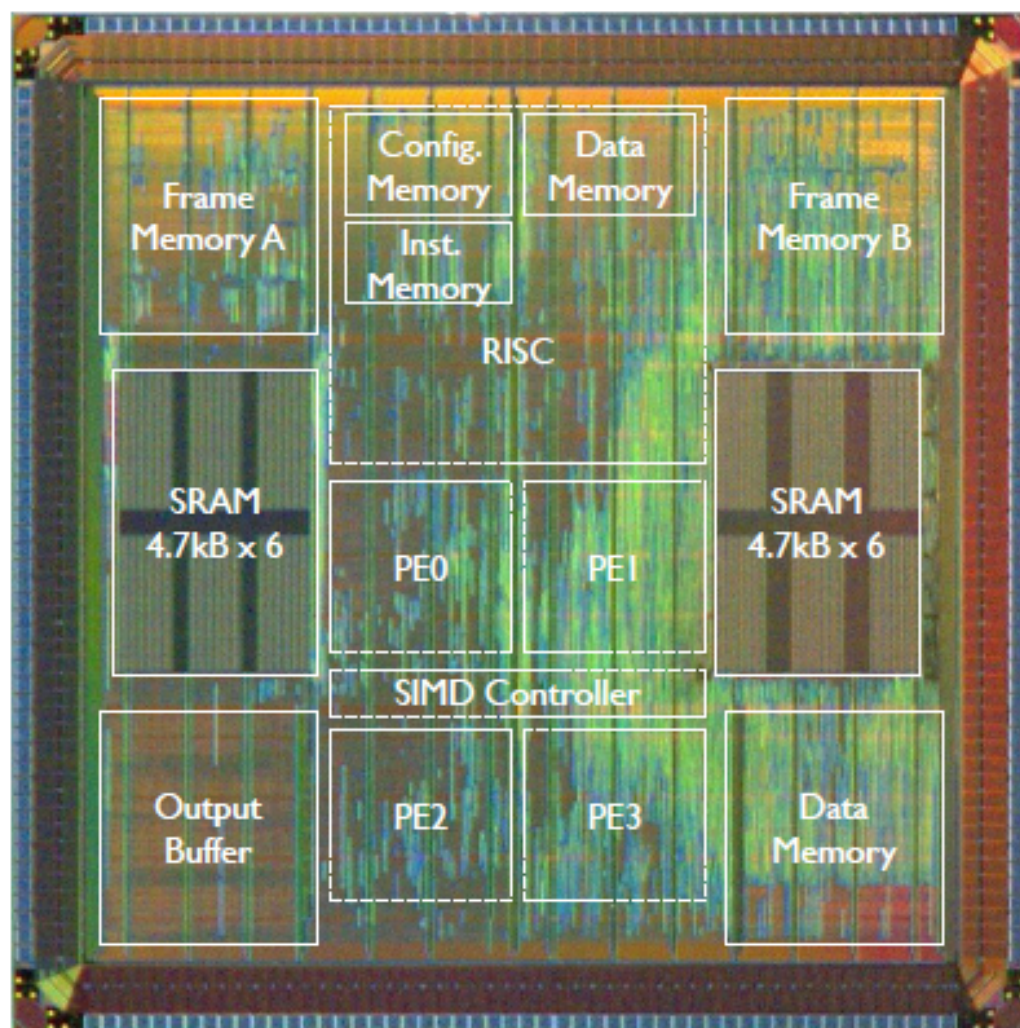
意図的にエラーを発生させるためにTE2を1とし、部分的に端子を1に固定。



3次元DVLSIシステム



試作した画像処理プロセッサ・テストチップの光学顕微鏡写真



構成:

Reconf. PE x 4
制御用RISC x 1
Frame Memory x 2
Output Buffer x 1
Data Memory x 1

0.13um CMOS
1Poly/ 8Metal(Cu)
5mm x 5mm
約980Kゲート
(NAND換算値)

パッケージの積層化による積層型画像処理プロセッサ テストチップの評価

積層パッケージ評価システムの外観

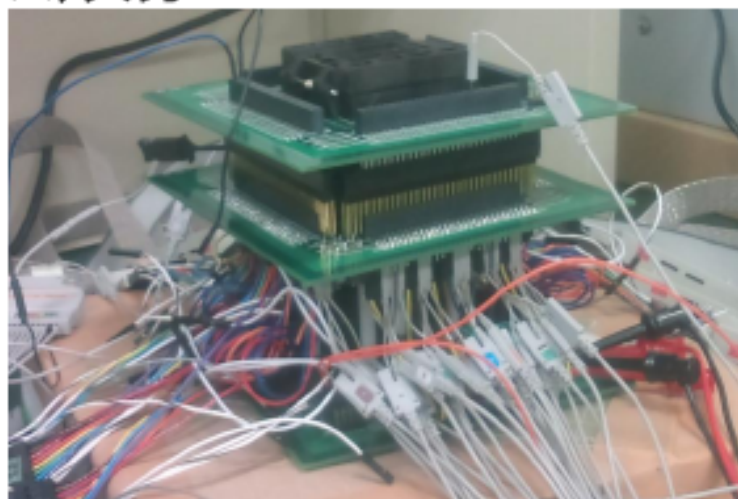


ロジックアナライザ
(パターンジェネレータ)

- ・コンフィギュレーション
データ書き込み
- ・画像データ(ソース)入力



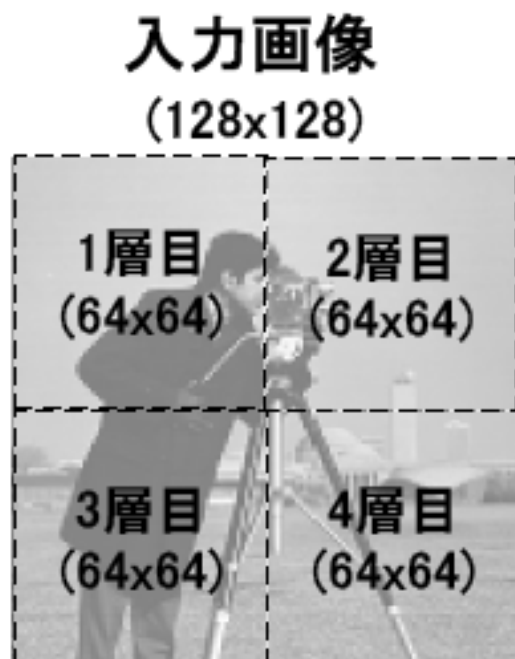
- ・画像データ(処理結果)出力
の測定・記録



- } テストチップ(ソケット)
+ 基板
- } テストチップ(ソケット)
+ 基板

← 電源

積層型画像処理プロセッサ・テスト チップの評価（4層同時動作）



二値化
(128x128)



エッジ検出
(128x128)



ラプラシアン
(128x128)



- ・2層同時並列動作画像2つ
を合成→4層同時並列動作
- ・画素数: $32 \times 32 \times 4$ コア \times 4層
(128 \times 128)

画像処理プロセッサ・テストチップのための積層化技術

(1) 埋め込み配線形成

完成した2DLSIチップ

(2) 1層目チップの位置合せ

ハンドリング基板

(3) 1層目チップの接合

支持LSIウェハ

マイクロバンプ

(4) 接着剤注入

1層目のチップ

支持LSIウェハ

(5) 樹脂膜塗布

(6) 機械研磨、CMP

(7) マイクロバンプ形成

マイクロバンプ

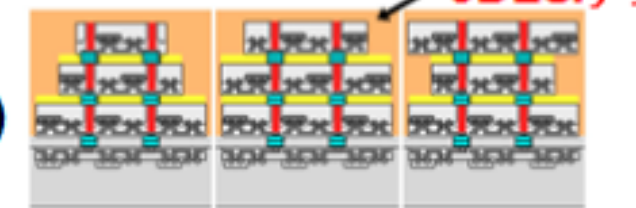
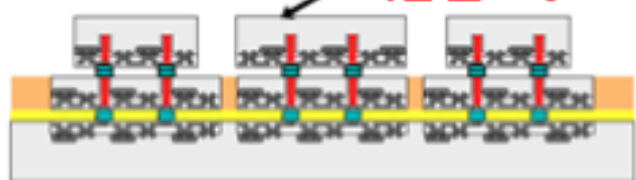
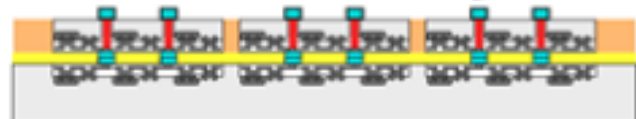
(8) 2層目チップの位置合せ、接合

2層目のチップ

(9) (プロセスの繰り返し)

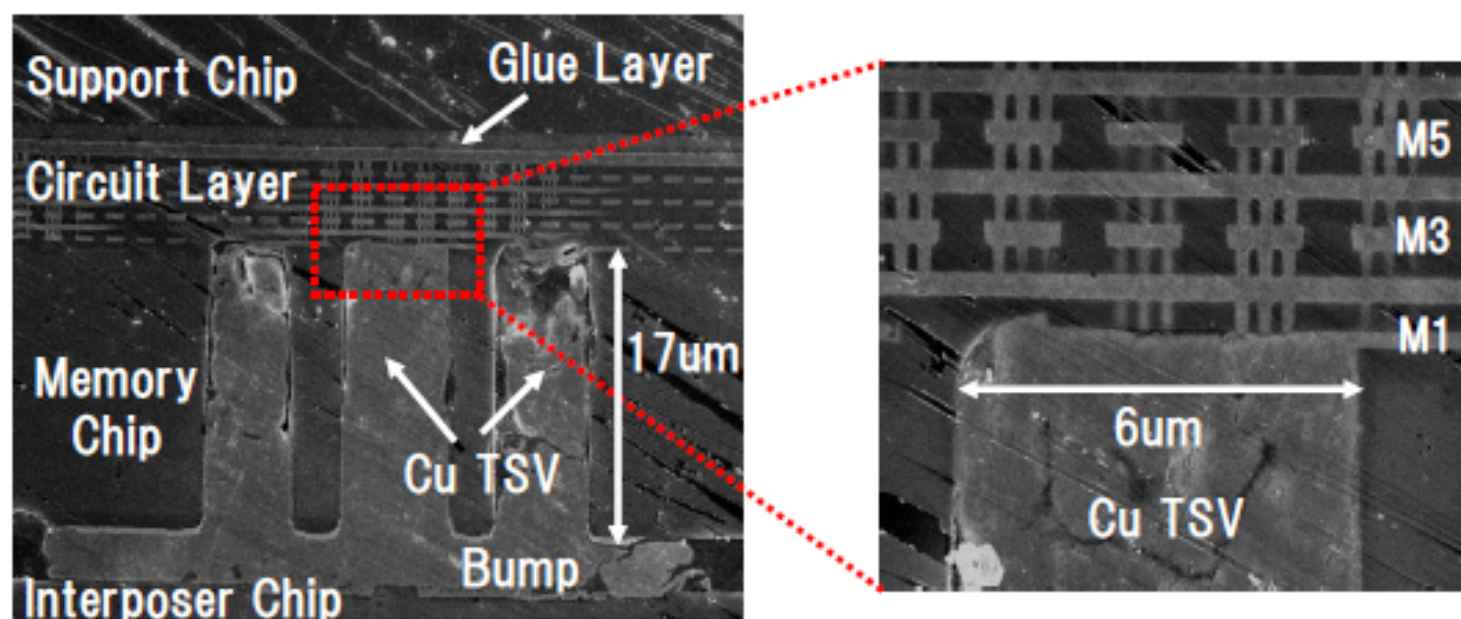
(10)

3DLSIチップ



テストチップへのシリコン貫通配線 (TSV) 形成

TEG チップの断面SEM写真



TEG チップ: 130nm Process

TSV寸法 : 直径5 μm、深さ15 μm

まとめ

鎌田グループ

- ・自動車の安全運転支援システムの性能および信頼性目標の検討

小林・青木グループ

- ・1D POC(1次元位相限定相関法) の性能解析
- ・高性能でデペンダブルな3次元積層型画像処理プロセッサ・アーキテクチャの検討とキャッシュメモリによる性能改善効果の評価

末吉・小林グループ

- ・ディペンダブルなSVPIによる画像処理システムの高信頼化
- ・ソフトウェアに対する高信頼化

小柳・末吉グループ

- ・デペンダブル3次元積層型画像処理 VLSIの設計
- ・3次元 DFT アーキテクチャの検討
- ・画像処理プロセッサ・テストチップの設計・試作・評価
- ・3次元積層技術の確立とテストチップの積層