



東京大学
THE UNIVERSITY OF TOKYO

Keio University



NECアクセステクニカ

研究領域: デイペンダブルVLSIシステムの基盤技術

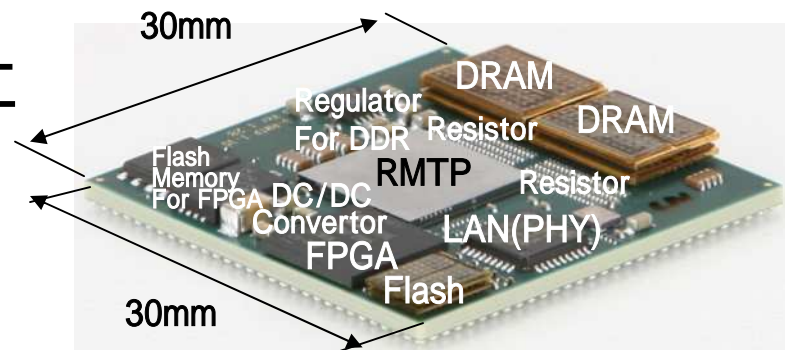
3次元実装基板の高信頼性の実現

NECアクセステクニカ株式会社

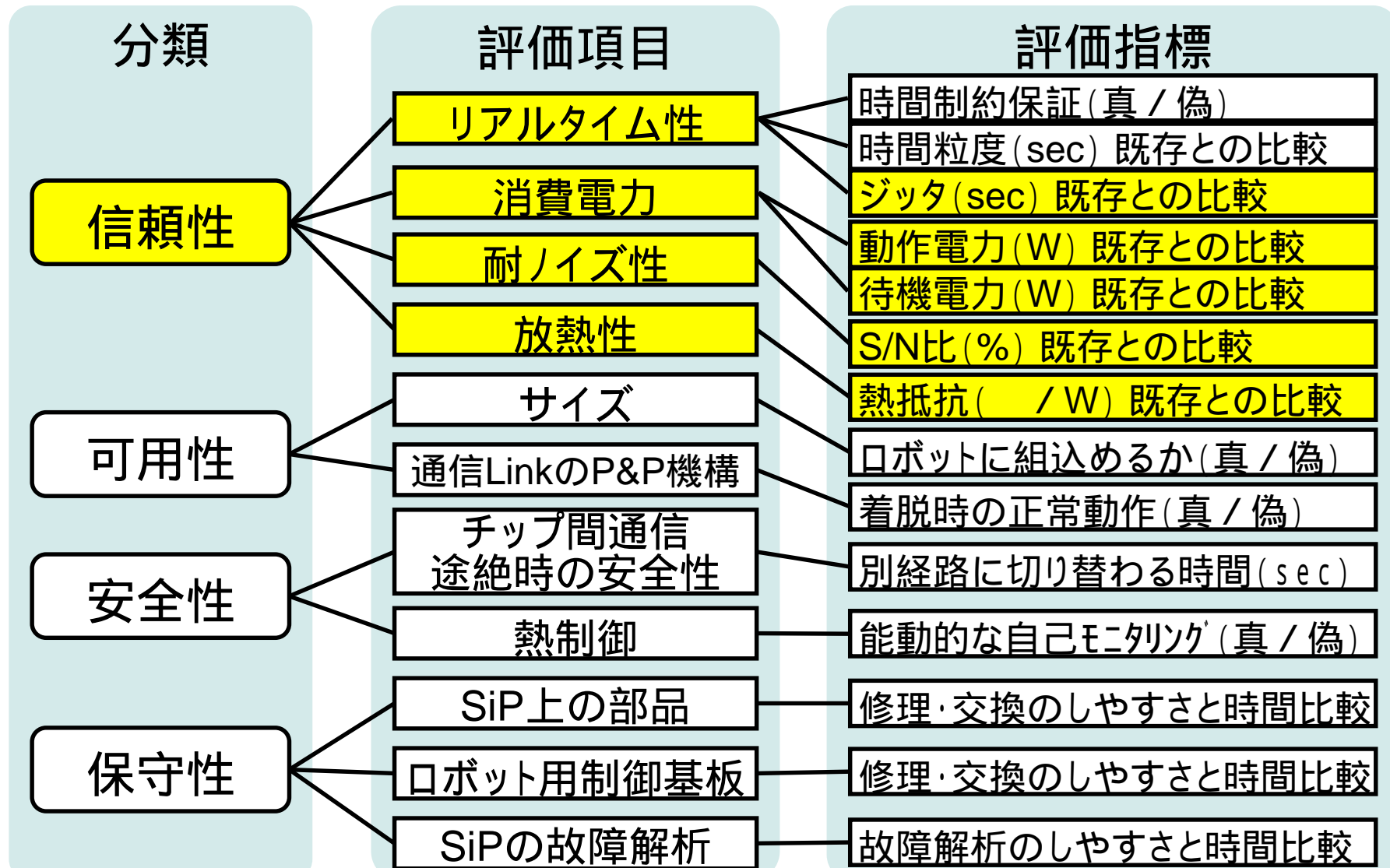
LSIモジュール事業推進部

和田喜久男 (Kikuo Wada)

wada@necat.nec.co.jp



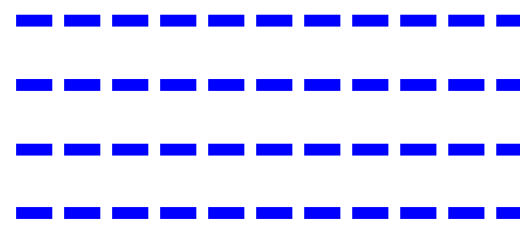
組み込みリアルシステムの ディペンダビリティの評価指標



3次元実装の課題 (1/3)

✖ 3次元実装に要求される信頼性の課題




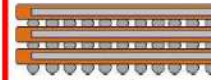
- ✖ リアルタイム性
- ✖ 消費電力
- ✖ 耐ノイズ性
- ✖ 放熱性



一般的な要求

- 高速動作
- 低消費電力
- 誤動作無し
- ヒートシンク, FANレス

3次元実装の方法論の比較

	PoP	部品内蔵基板	TSV	FFCSP
構造				
信頼性	○	△	△	○
実装密度	×	△	○	△
高速伝送	×	△	○	△
放熱性	△	×	△	○
コスト	○	△	×	△
実施企業	東芝、ルネサス、TI、他	CMK、クローバー電子、他	東芝、OKI、TSMC、他	NECアクセステクニカ
備考	<ul style="list-style-type: none"> ・モバイル機器で採用されている構造。 ・上下接続ボールのためにPKGサイズが大きくなりがち。 	<ul style="list-style-type: none"> ・上下接続ボール配置の自由度が高い。 ・基板製造工程の歩留まりの影響を受けやすい。 	<ul style="list-style-type: none"> ・チップ間は高速で多ピンの接続が可能である。 ・放熱が困難。 ・異なるサイズのチップ積層が困難。 	<ul style="list-style-type: none"> ・上下接続ボール配置の自由度が高い。 ・パッシブ部品やセンサーデバイス等の内蔵も可能。

3次元実装の課題 (2/3)

✕ リアルタイム性

時間粒度の
リアルタイム性

ジッタ依存の解消

最短配線の実現の可否に依存
配線が長くなる程ジッタ問題が顕在化

SoCとSiPのコデザインで対処

D-RMTPとSiPでコデザイン
を実施

✕ 低消費電力

待機電力、動作電力の削減

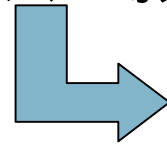
DRAMのターミネーション抵抗の
削除による無効電力の削減

ターミネーション抵抗の削除

3次元実装の課題 (3/3)

✕ 耐ノイズ性

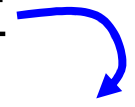
小型化によるノイズの影響を排除



ノイズ発生の近直に対策を実施

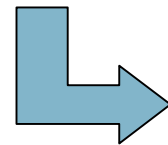


パッシブ部品を近直に配置



✕ 放熱性

集積度を上げる程、熱源が集中、3方向での放熱が必須



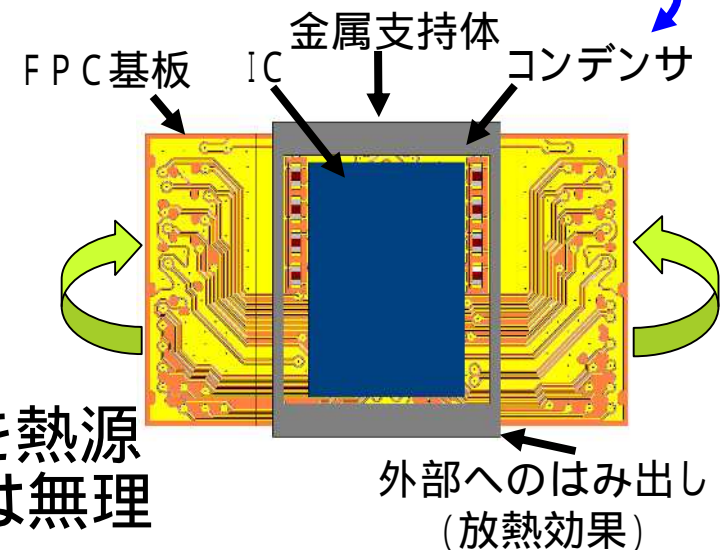
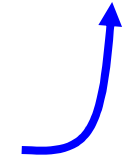
パッケージ全体を熱源と見ての対策では無理



熱源個別に対策

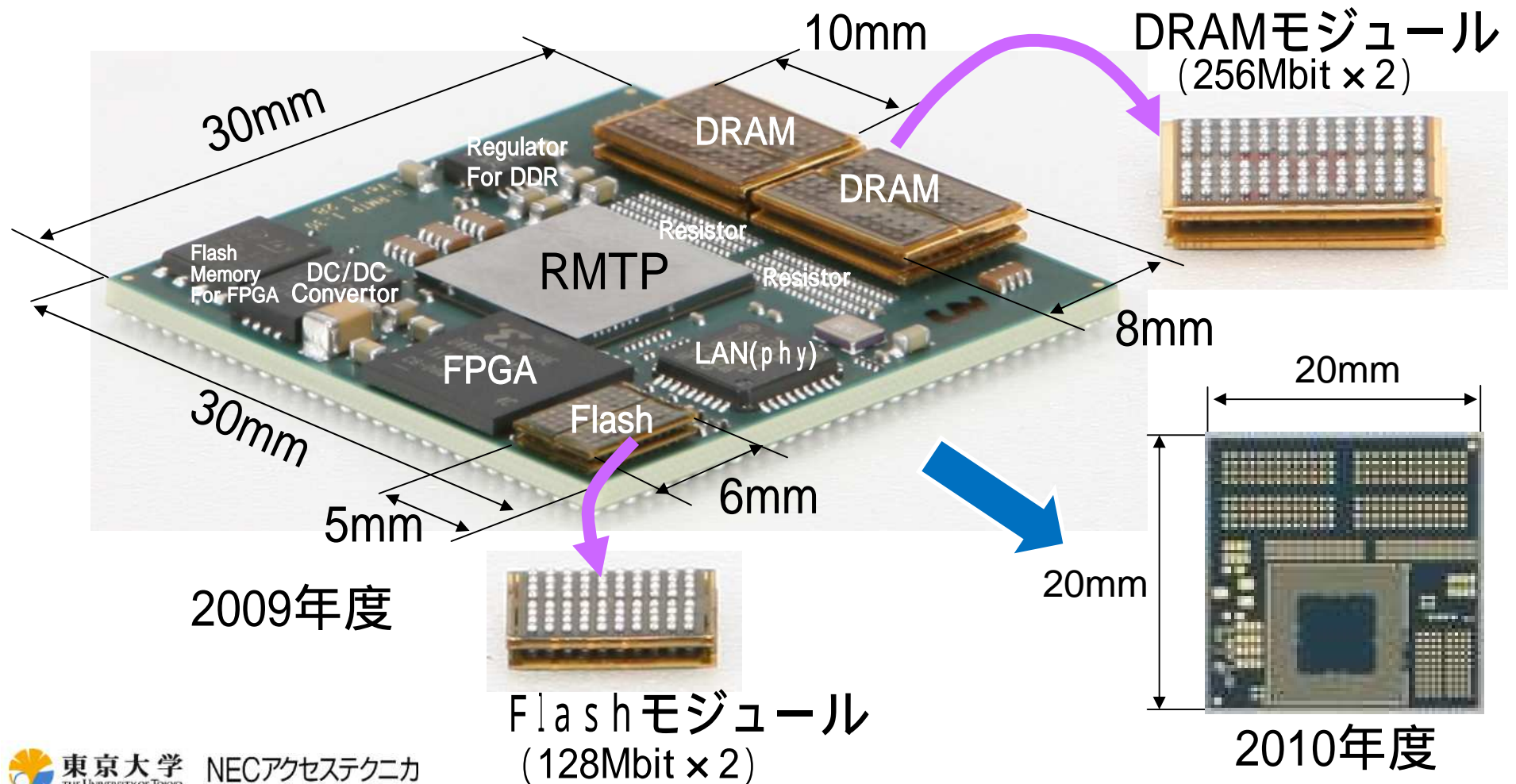


金属支持体により熱源個々に対策



基盤パッケージグループの研究実績 (2009年度 ~ 2010年度)

✕ DRMTP SiP Ver.I



まとめ

3次元実装は従来の実装に比べ、ノイズ、ジッタ、熱等に弱くなるため、信頼性を維持する必要

✕ 測定方法の標準化が必要

- ✕ ジッタ, 電力, S/N比, 熱抵抗

✕ 3次元実装するためのピンアサインが必要

- ✕ ジッタを削減するためのピンアサイン
- ✕ VSS, VDDのピンアサイン

標準化することによりコスト削減を期待