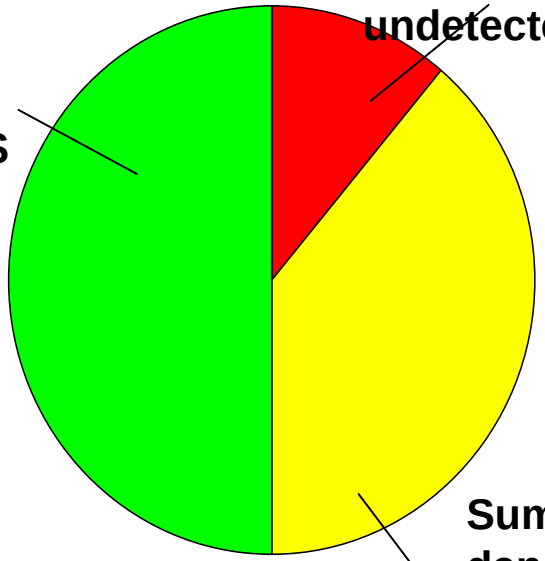
リコンフィギャラブルLSIアーキテクチャ
熊本大学　末吉敏則（小柳T，末吉G)

安全側故障率



検出*不能な*危険側故障

危険側故障率　$\lambda_D = \lambda_{DD} + \lambda_{DU}$

$[\lambda] = \text{fit} = [10^{-9}/h]$

検出*可能な*危険側故障

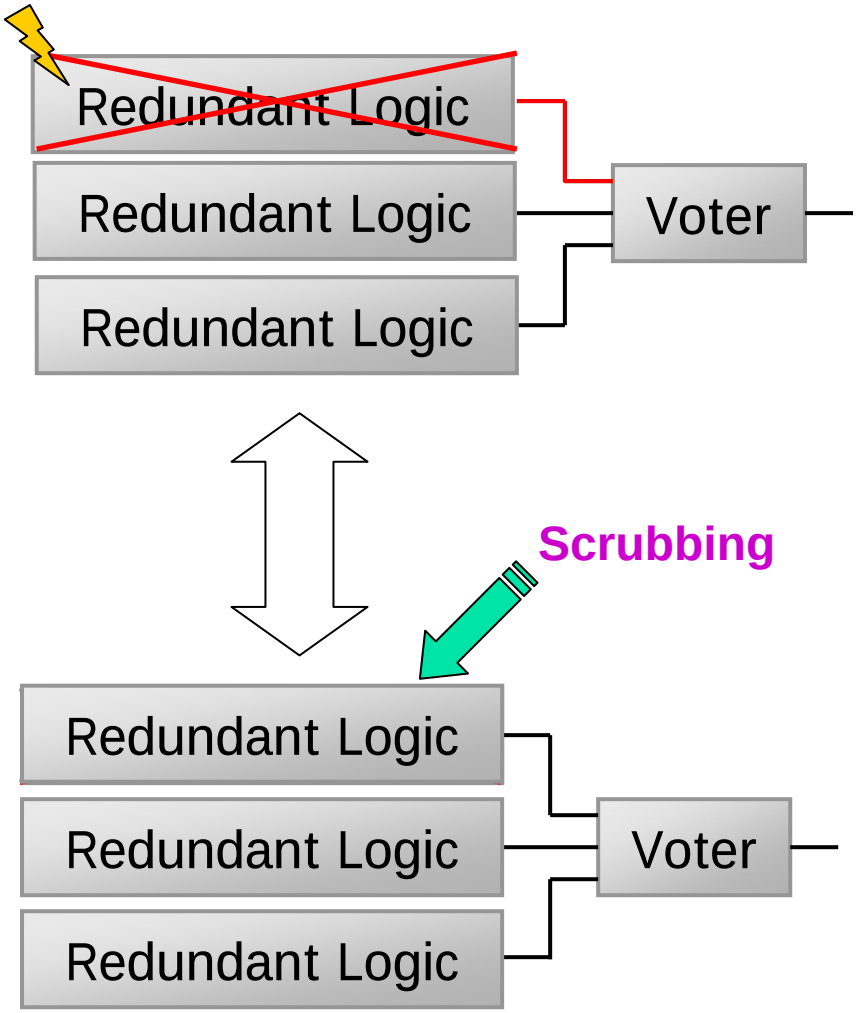
危険側故障を検出すると、
故障モード信号を出力(再構成)して、
システムを安全側に導ける

■ **Diagnostic Coverage**

$$DC = \frac{\lambda_{DD}}{\lambda_D}$$

自己診断率が高く修復可能なリコンフィギャラブルLSIアーキテクチャを採用することで危険側故障を低減する

FPGAによる起き上がり小法師回路

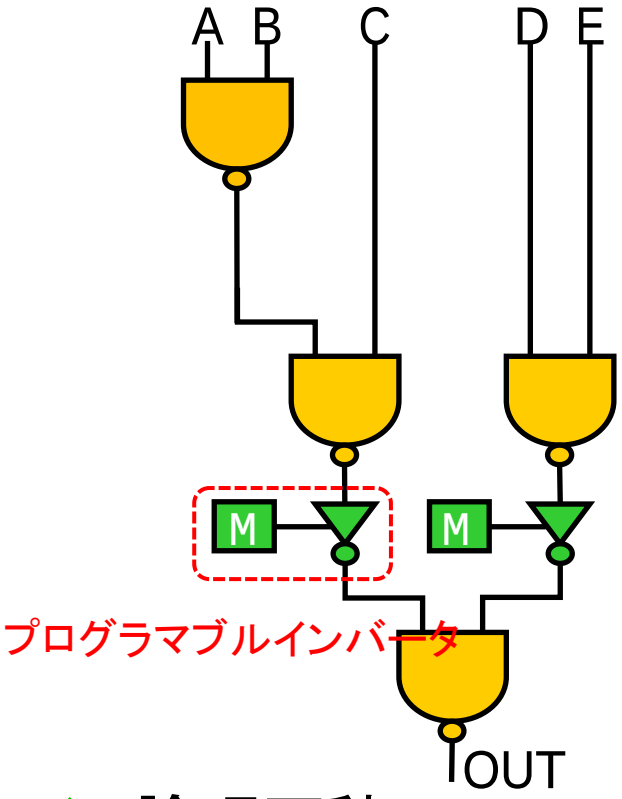


TMRベースの軽減技術：Scrubbing

コンフィグレーションメモリ数の削減

論理の出現率に着目することで論理セルの高効率化を図る

ex. 5-COGRE



COGRE：小型化・少メモリ化を実現した論理セル

(COGRE：Compactly Organized Generic Reconfigurable Element)

実装可能論理

ABCD
AB(C+D)
A(B+C+D)
AB+CD
A(B+CD)
A(BC+$\overline{B}$D)

93.4%の出現論理をカバー可能
（4LUTでマッピングした場合）

◆ 論理面積

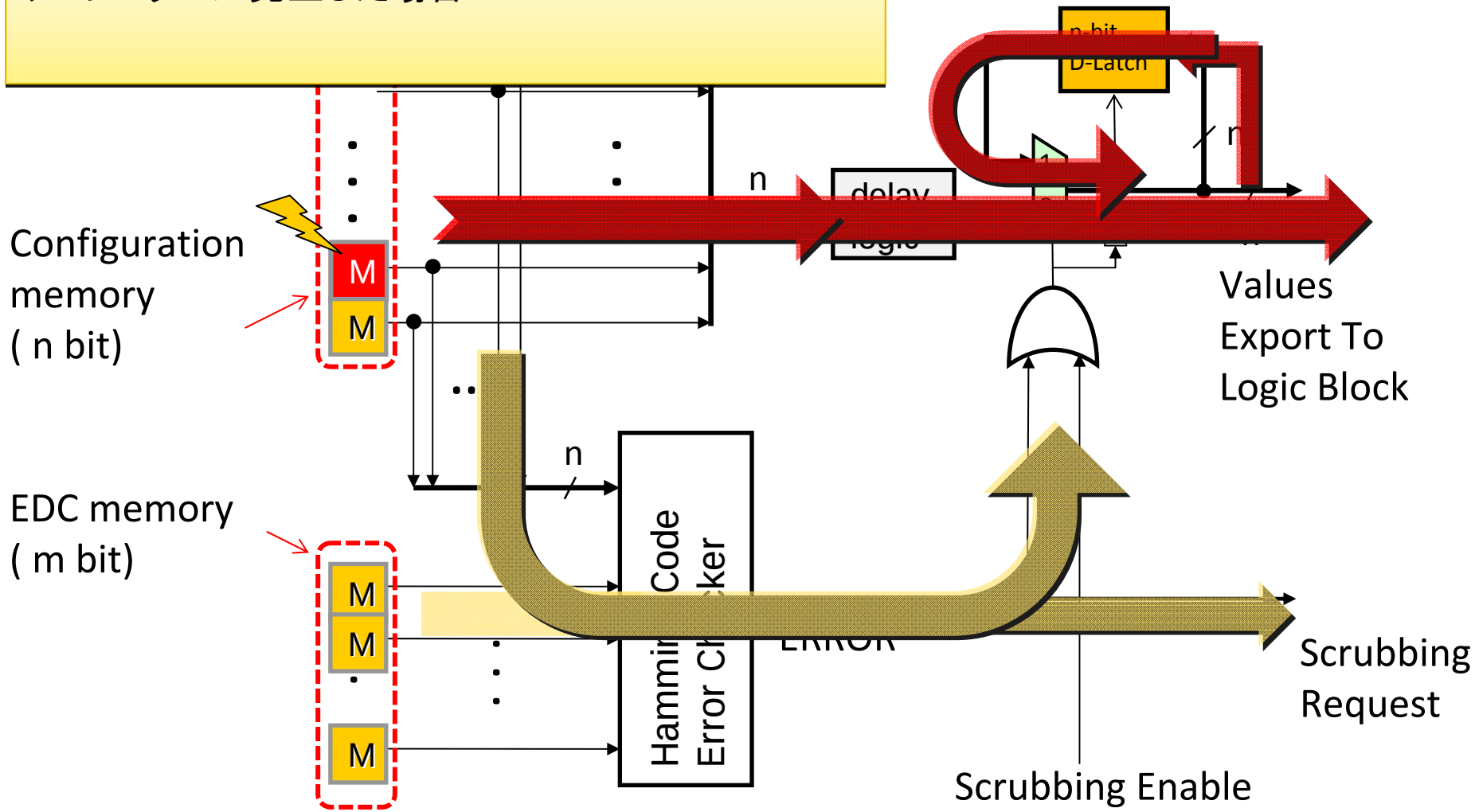
6-COGRE vs. **6**-LUT：**46.3%**削減
5-COGRE vs. **5**-LUT：**32.6%**削減

◆ コンフィグレーションメモリ数

6-COGRE vs. **6**-LUT：**32.1%**削減
5-COGRE vs. **5**-LUT：**13.2%**削減

アーキテクチャレベルの高信頼化

ソフトエラーが発生した場合



リコンフィギャラブルLSIアーキテクチャの提案

- スーパバイザプロセッサ（SVP）によるシステムの高信頼化
  - SVPに要求される機能・性能の調査
  - 商用プロセッサを用いてSVP構築
  - 高信頼ソフトコアプロセッサの回路構成 (FCCM2010@Charlotte,USA)
- ディペンダブル再構成デバイスの開発
  - コンフィグレーションメモリ数の削減 ※1
    - NPN同値類に着目したアーキテクチャを提案
  - アーキテクチャレベルの高信頼化（自動的なエラー修復） ※2
    - ECC、ハミングデコーダ+スクラビング手法

※1:-The International Conference on Field-Programmable Logic and Applications (FPL), Aug. 2010, Milano
- 特許出願 ``プログラム論理回路装置およびその回路決定方法''

※2:-The 2010 International Conference on Field-Programmable Technology (FPT), Dec. 2010, Beijing (採択)
- IEEE TENCON, Nov. 2010, Fukuoka (採択)
- 特許出願 ``プログラマブル論理回路のエラー訂正回路''