

テストのための
システムレベルアーキテクチャ
～ IEEE Standard 1149.1 & 1500 ～

奈良先端科学技術大学院大学

米田 友和

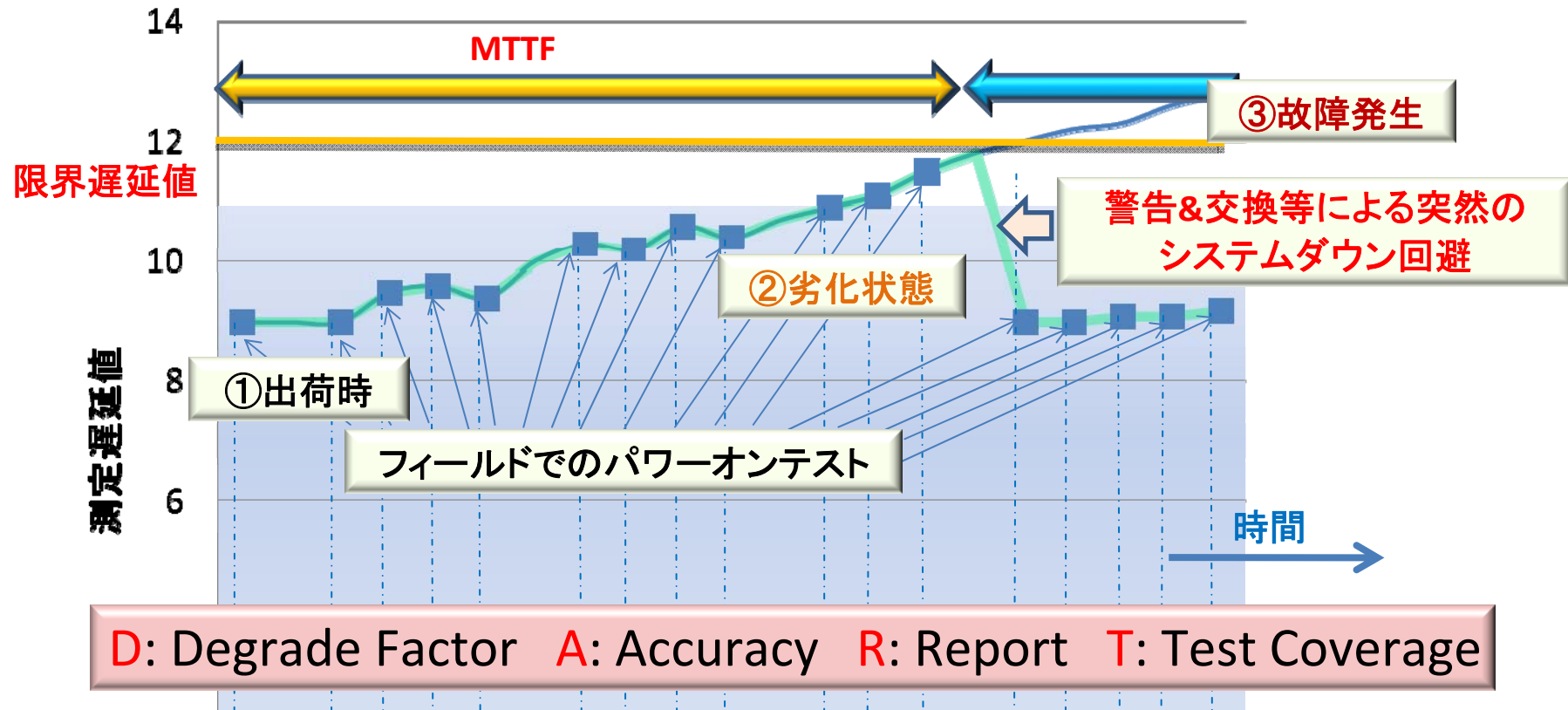
(梶原チーム、藤原グループ)

フィールド高信頼化のための回路・システム機構





梶原チーム：DART 基本コンセプト



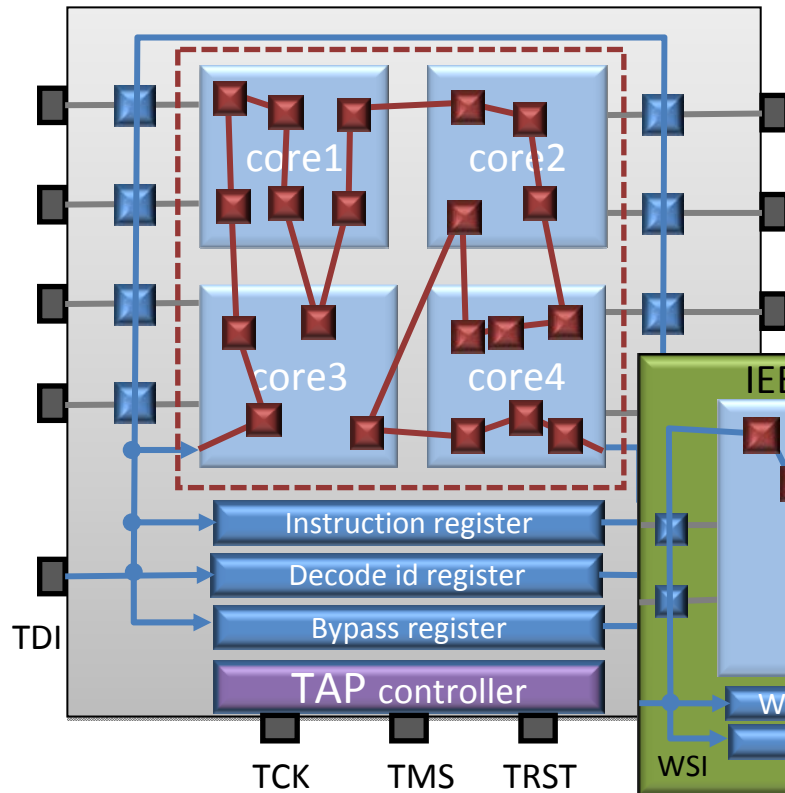
～突然のシステムダウンを回避・・・安全・安心～

- システム空き時間(パワーオン・オフ等)を利用したテスト
- 遅延劣化量測定、動作マージンの確認、ログの蓄積
- 故障発生前に警告



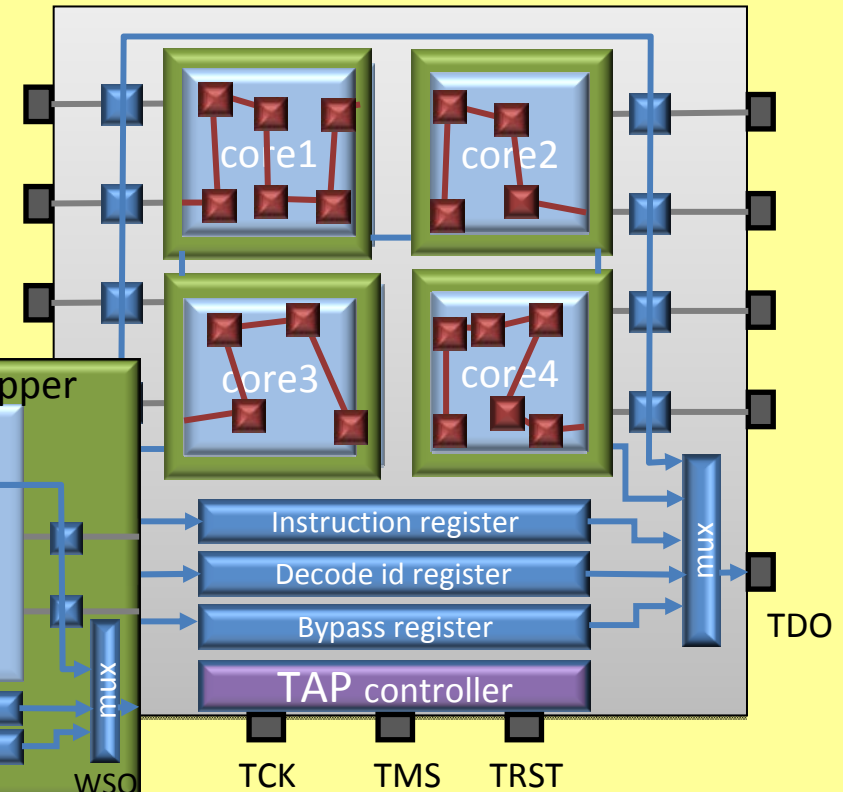
テストのための標準化: IEEE Standard 1149.1 & 1500

Scan + IEEE 1149.1



- コア (機能ブロック) の概念が消失
- 回路全体を一括テスト

Scan + IEEE 1500 + IEEE 1149.1

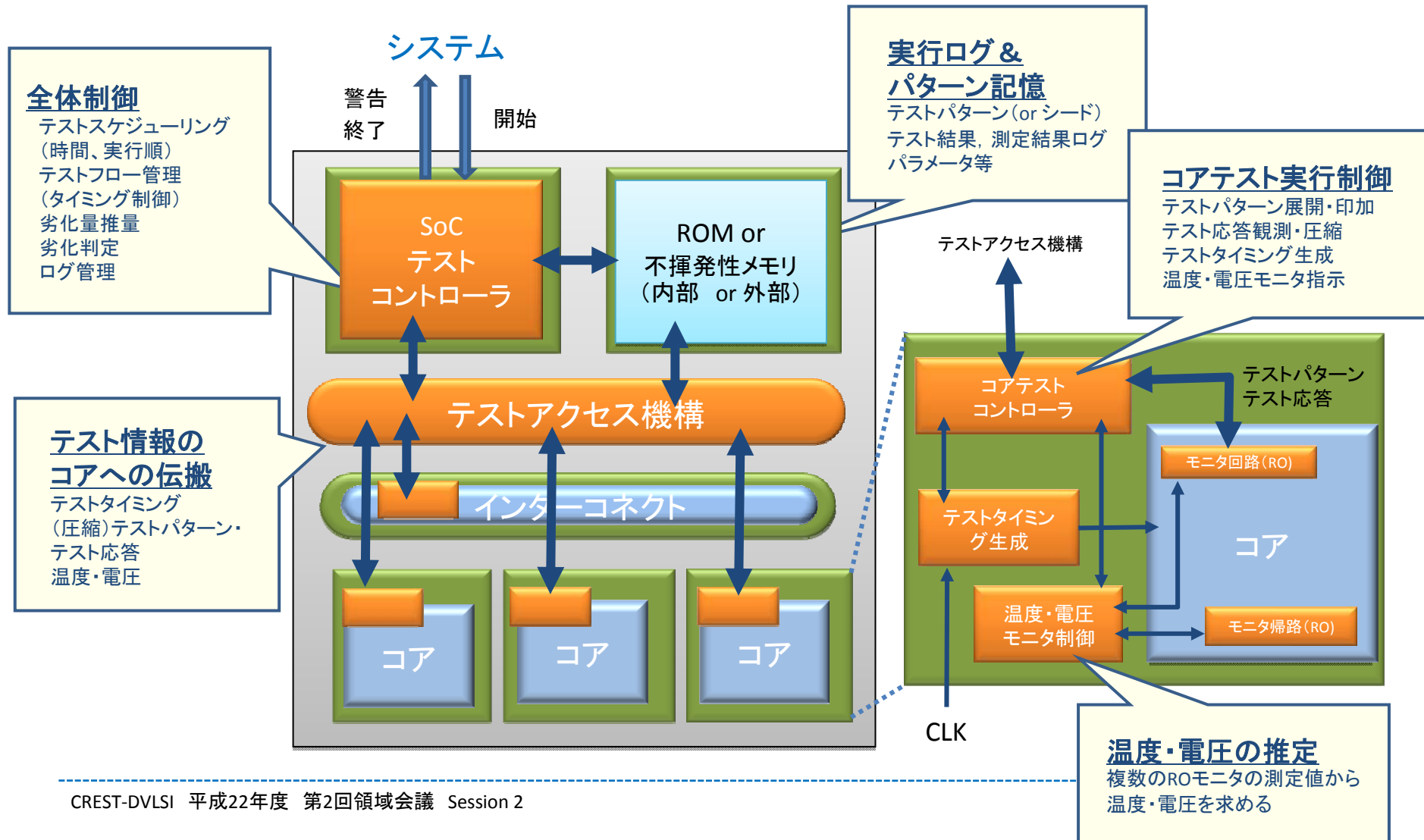


- コア (機能ブロック) 毎の独立テスト可能
- 分離のためのオーバーヘッドが必要



DART: SoCテストアーキテクチャ

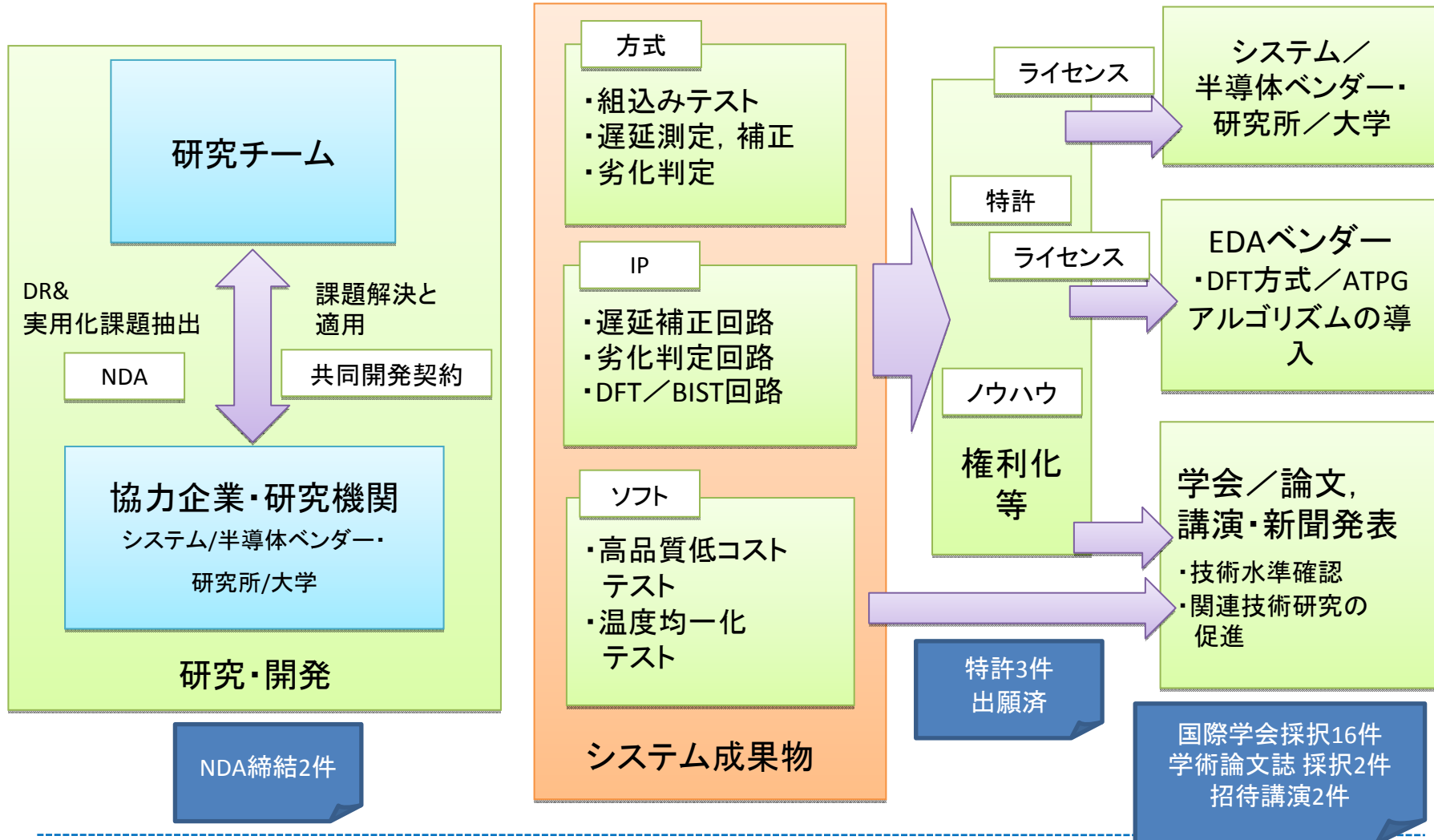
- 生産テストの枠組みを利用(短時間での網羅性、低コスト)





出口戦略

■ システム／要素の複数切り口での実用化を目指す





まとめ

- うれしさ
 - 突然のシステムダウンを回避
 - VLSI内部の「見える化」: 動作マージン・遅延劣化履歴 etc

- 普及のために必要なこと
 - コストに関する議論
 - 設計フローの変更、回路サイズ、テストコスト etc

 - ディペンダブルアーキテクチャに対するテスト技術
 - 生産テスト時
 - フィールド使用時