

# フィールド高信頼化のための 回路・システム機構

CREST/DVSLI領域ワークショップ  
2011年12月3日

研究代表者: 梶原誠司(九州工業大学)

主たる共同研究者:  
井上美智子(奈良先端科学技術大学院大学)  
三浦幸也(首都大学東京)  
大竹哲史(大分大学)





## 研究の背景

- VLSIの微細化技術の進展とフィールド運用時のVLSIの劣化
  - NBTI, ホットキャリア, エレクトロマイグレーション等の劣化現象
  - 回路遅延の増加・・・正確な予測は困難
  - 動作マージン設計: 回路の製造ばらつき, 動作環境, 使用年数などに基づき, 最悪値を考慮して決定・・・過大な動作マージンによりVLSIの性能が犠牲に

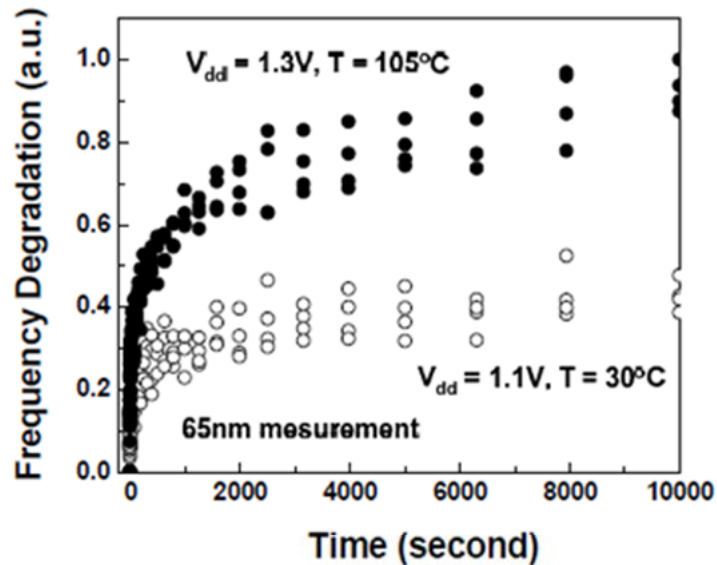


図1. NBTIによる遅延増加  
[Y. Cao(DRVW2008)より]

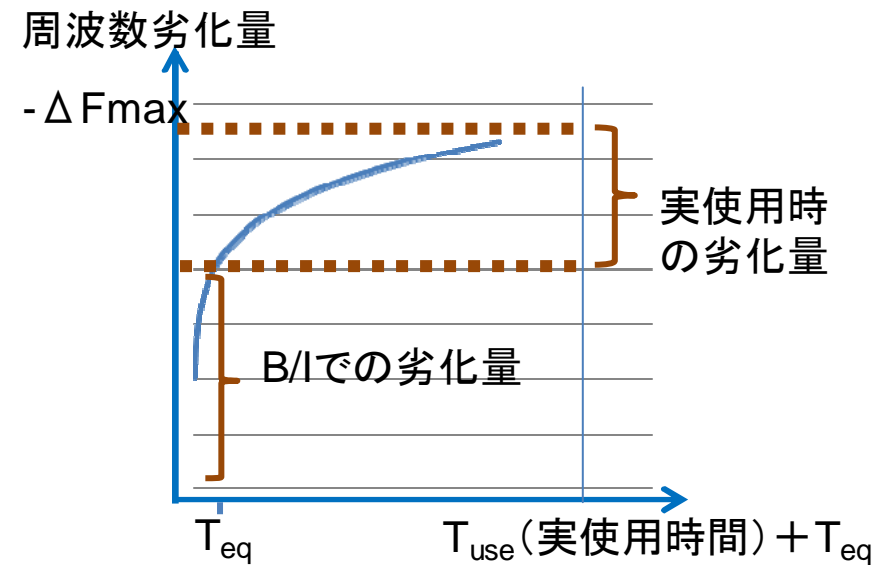


図2. 信頼性考慮設計



# *D·A·R·T Technologies*



## ■ *D : Degrad Factor*

- SoC/NoC/FPGAの劣化を事前検知します



## ■ *A : Accuracy*

- 高い検知精度を実現します



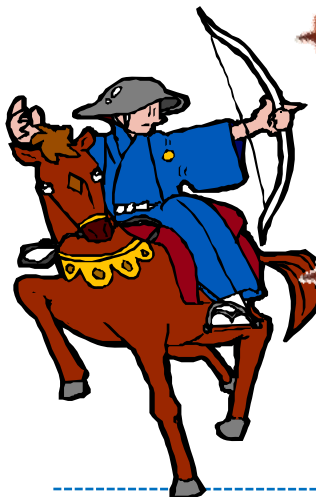
## ■ *R : Report*

- フィールド故障に至る情報を報告します



## ■ *T : Test Coverage*

- 高い故障検出率を実現します

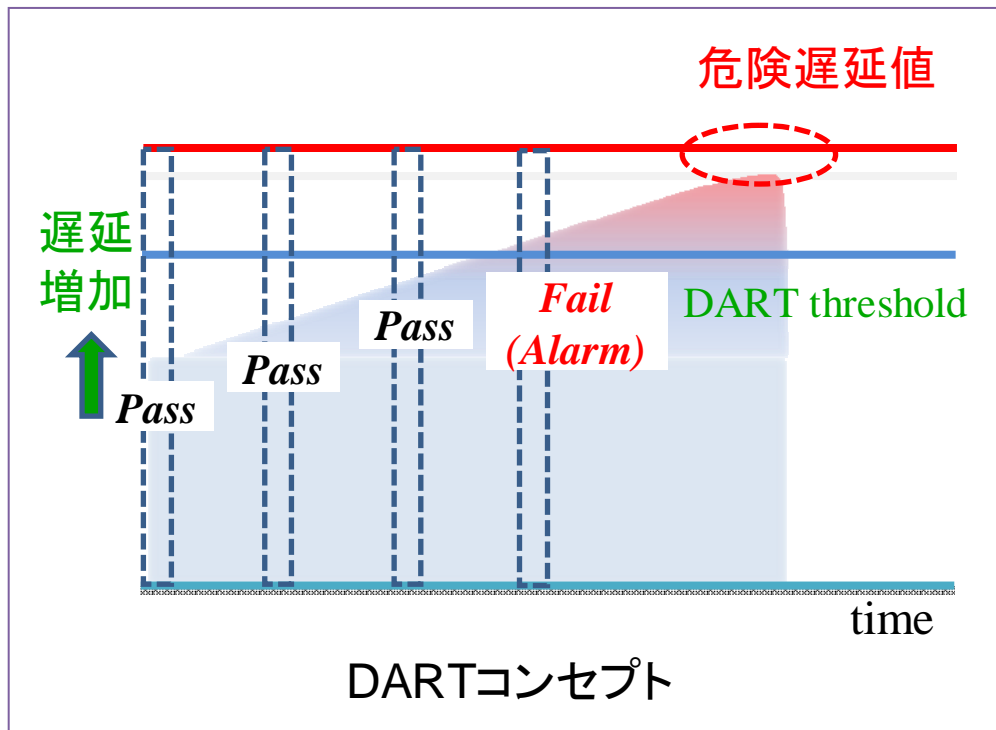




# 研究開発コンセプトと技術課題

4

- フィールドテストによる故障検知・劣化検知
  - 劣化により増加する遅延を繰り返し測定
  - ログの蓄積



## 遅延測定

- 温度 & 電圧モニタ回路
- テスト時の回路温度均一化

## テスト制約

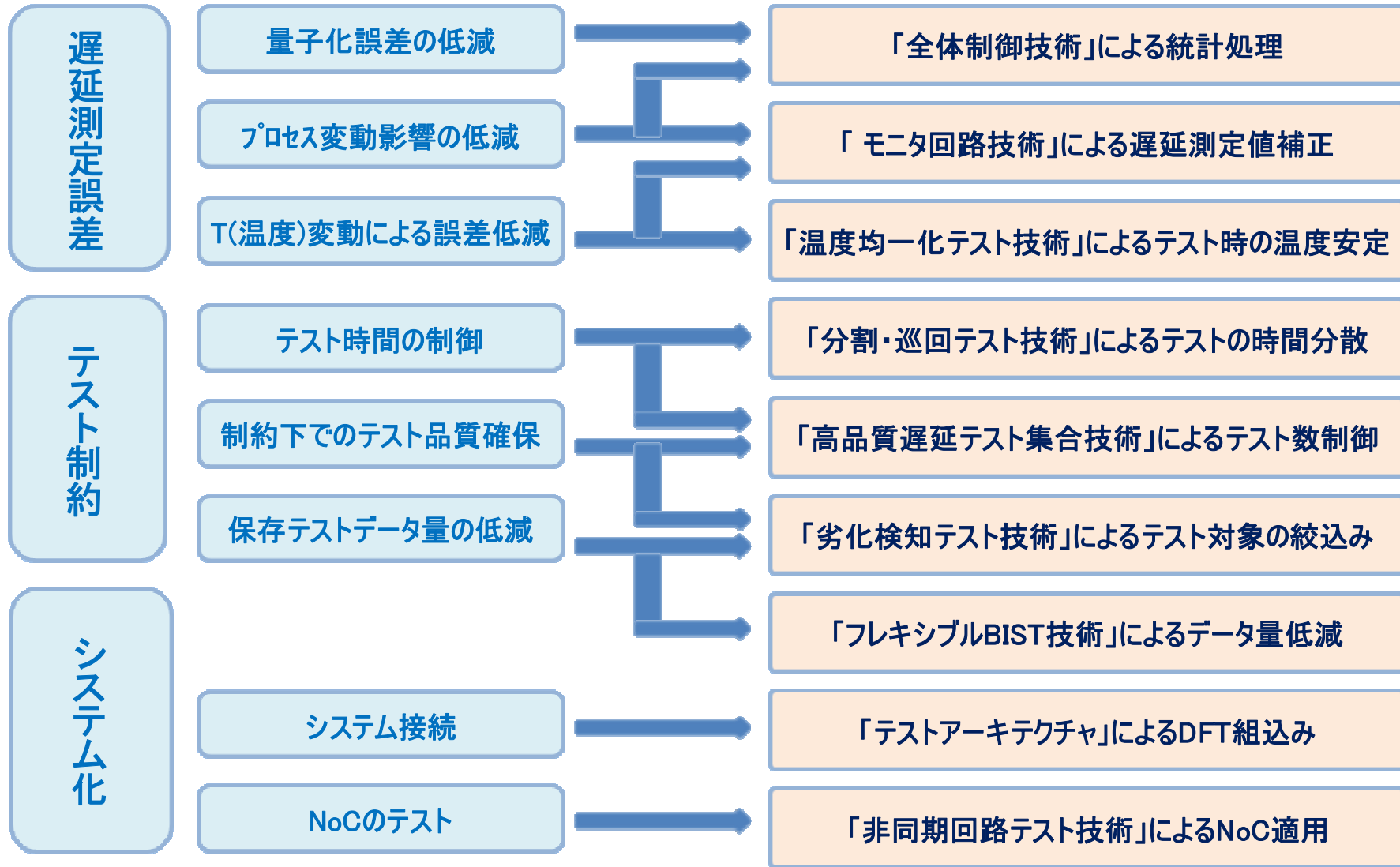
- テスト時間・テストデータ量小
- テスト品質大

## システム化

- DART アーキテクチャ



# 技術課題と対応戦略





# デモ

- フィールド環境(温度・電圧)モニタ
  - 温度・電圧を1 の でモニタ
  - デジタル回路で実現(レフ レンス電圧 )
  - 劣化対応の回路構
  - 時間測定 能

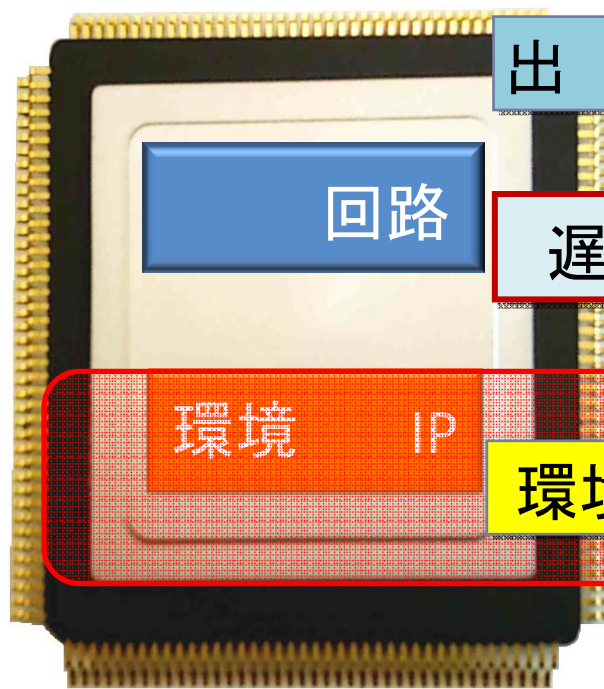


# 環境モニタの

# 測定高精度化

測定データ(ログ)

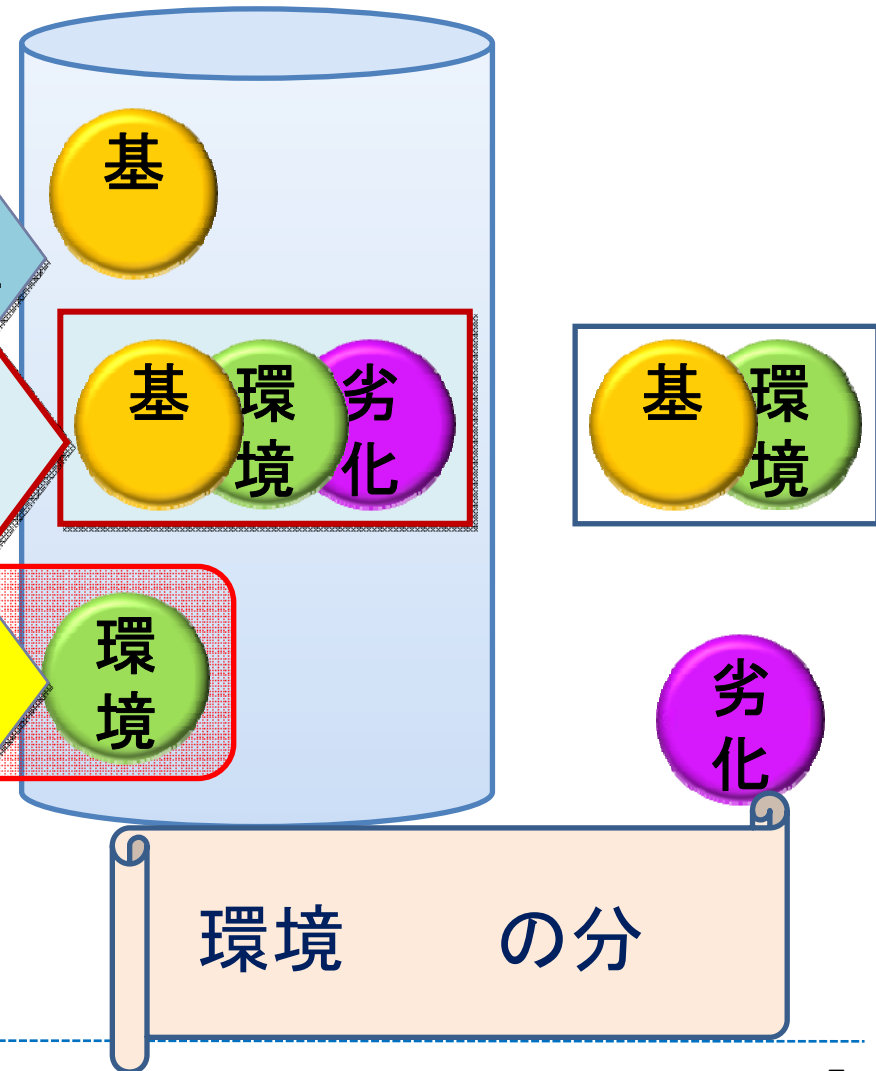
SoC/NoC/FPGA



出 時遅延値

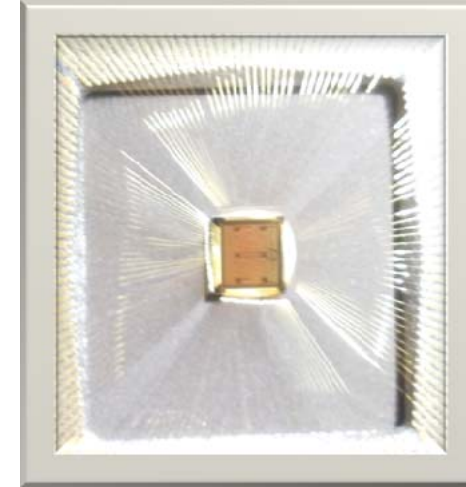
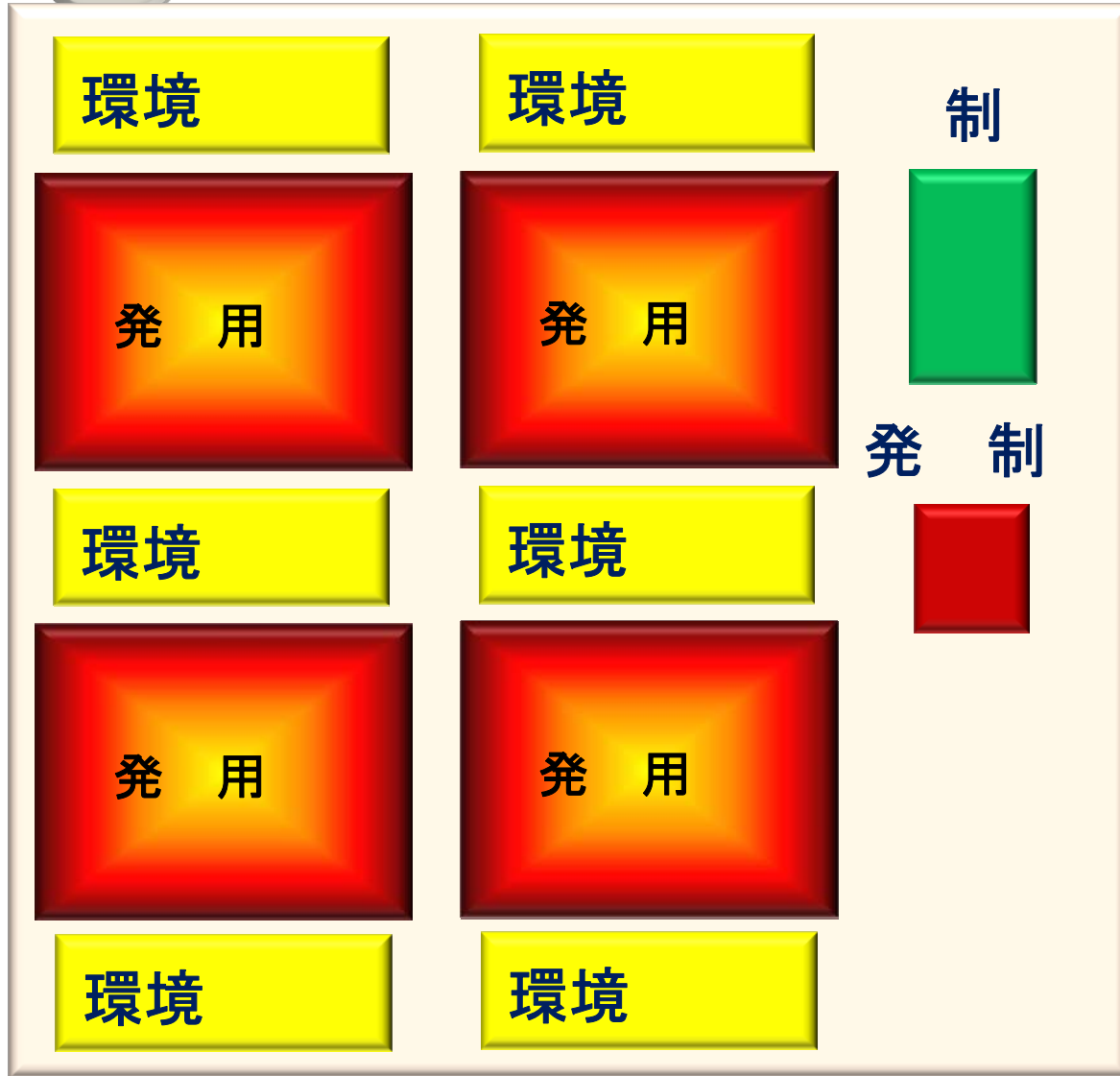
遅延測定値

環境モニタ値





# チップ構



|      |                        |
|------|------------------------|
| プロセス | 0.18um                 |
| イ    | 2.5mm                  |
| 電圧   | 1.8V                   |
| ト数   | 計<br>42,476<br>制 : 508 |
| ン数   | 95 ン                   |



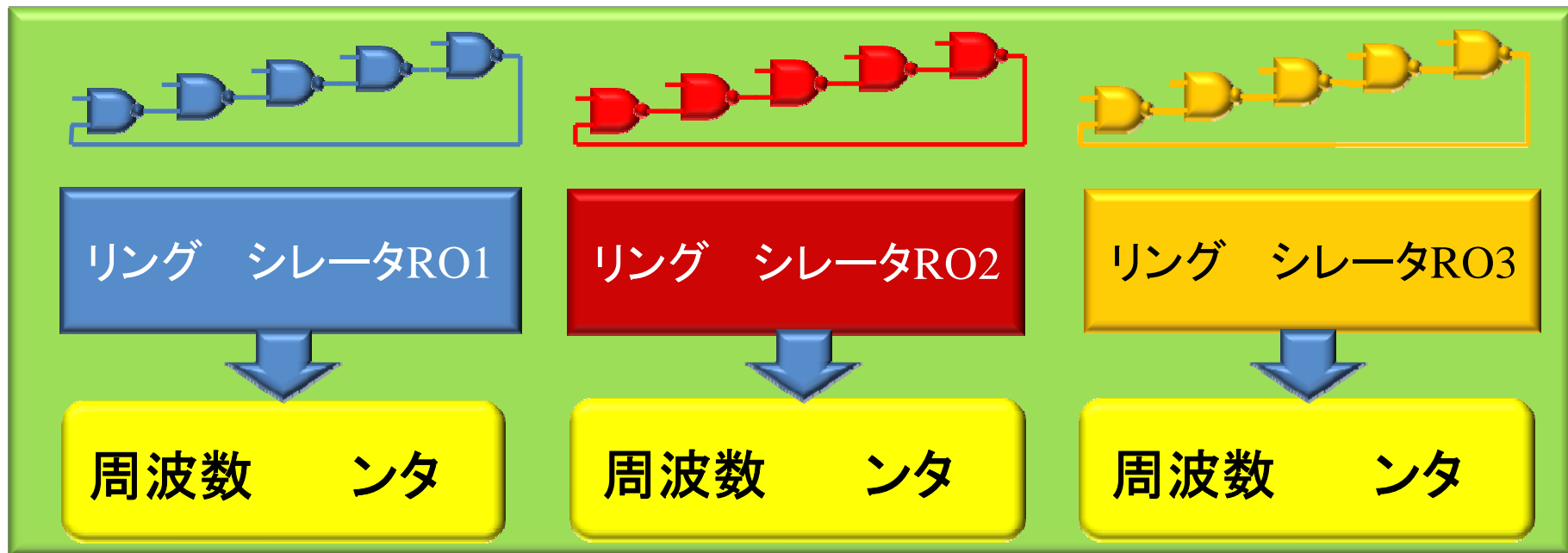


## 環境モニタIPの構

- の 性 なるリング シレータ
- 温度・電圧 分を に 出

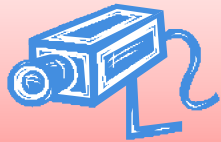
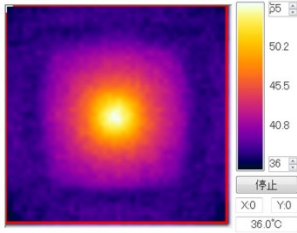
$$\Delta T = \alpha \Delta RO1 + \beta \Delta RO2 + \gamma \Delta RO3$$

$$\Delta V = \varepsilon \Delta RO1 + \phi \Delta RO2 + \varphi \Delta RO3$$





# 測定環境の構



セン  
らチップ温度を測定(T)

作チップ



RO発 数( )

ード



電圧制 (V)

ターン  
RO1/2/3

PC



性の  
温度電圧 定

