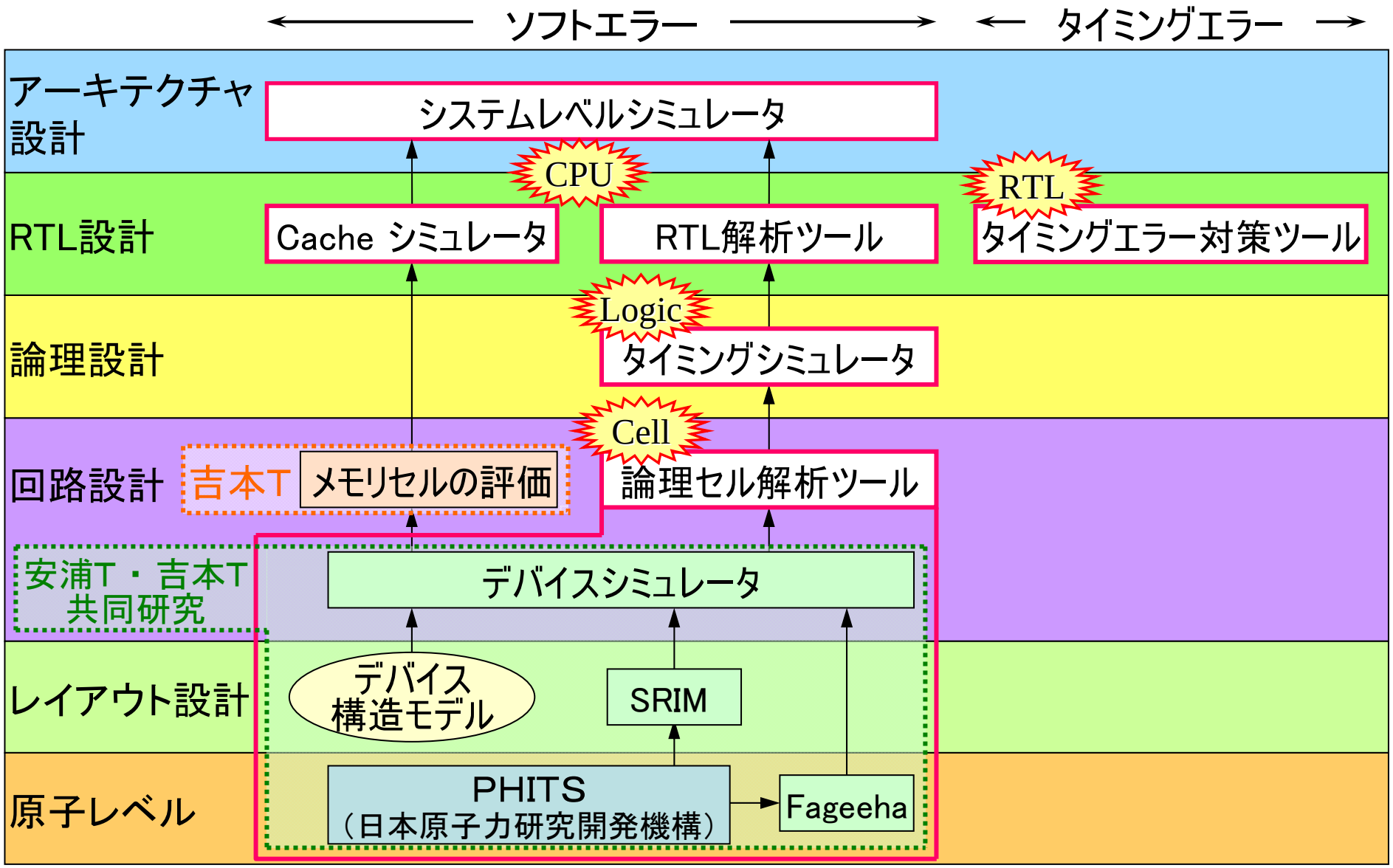
統合的高信頼化設計のための
モデル化と検出・訂正・回復技術

研究代表者　安浦　寛人
九州大学 大学院システム情報科学研究院

ツールチェインの構築


ソフトエラー
タイミングエラー
アーキテクチャ設計
システムレベルシミュレータ
CPU
RTL
RTL設計
Cache シミュレータ
RTL解析ツール
タイミングエラー対策ツール
Logic
論理設計
タイミングシミュレータ
Cell
回路設計
吉本T
メモリセルの評価
論理セル解析ツール
安浦T・吉本T
共同研究
デバイスシミュレータ
レイアウト設計
デバイス
構造モデル
SRIM
原子レベル
PHITS
（日本原子力研究開発機構）
Fageeha

Cell

セルレベルのキャラクタライズ

SLRC

ナイーブなツールチェイン

環境条件

セルのデバイスモデル

PHITS
日本原子力研究開発機構

中性子衝突による2次イオン輸送計算

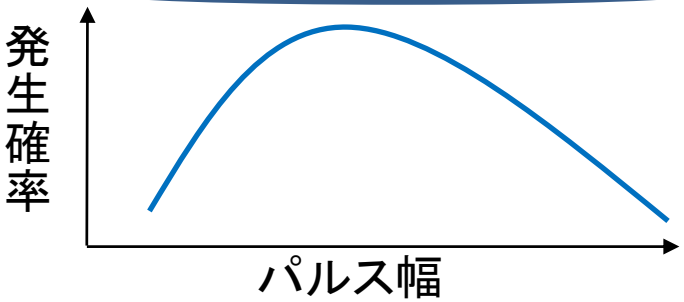
電荷分布モデルの作成

数日～1週間

デバイス・回路混合シミュレータを用いたパルス波形の計算

…

幅ごとのパルス発生確率



問題点

高い精度を得るためには十分な数のシミュレーションが必要

提案手法

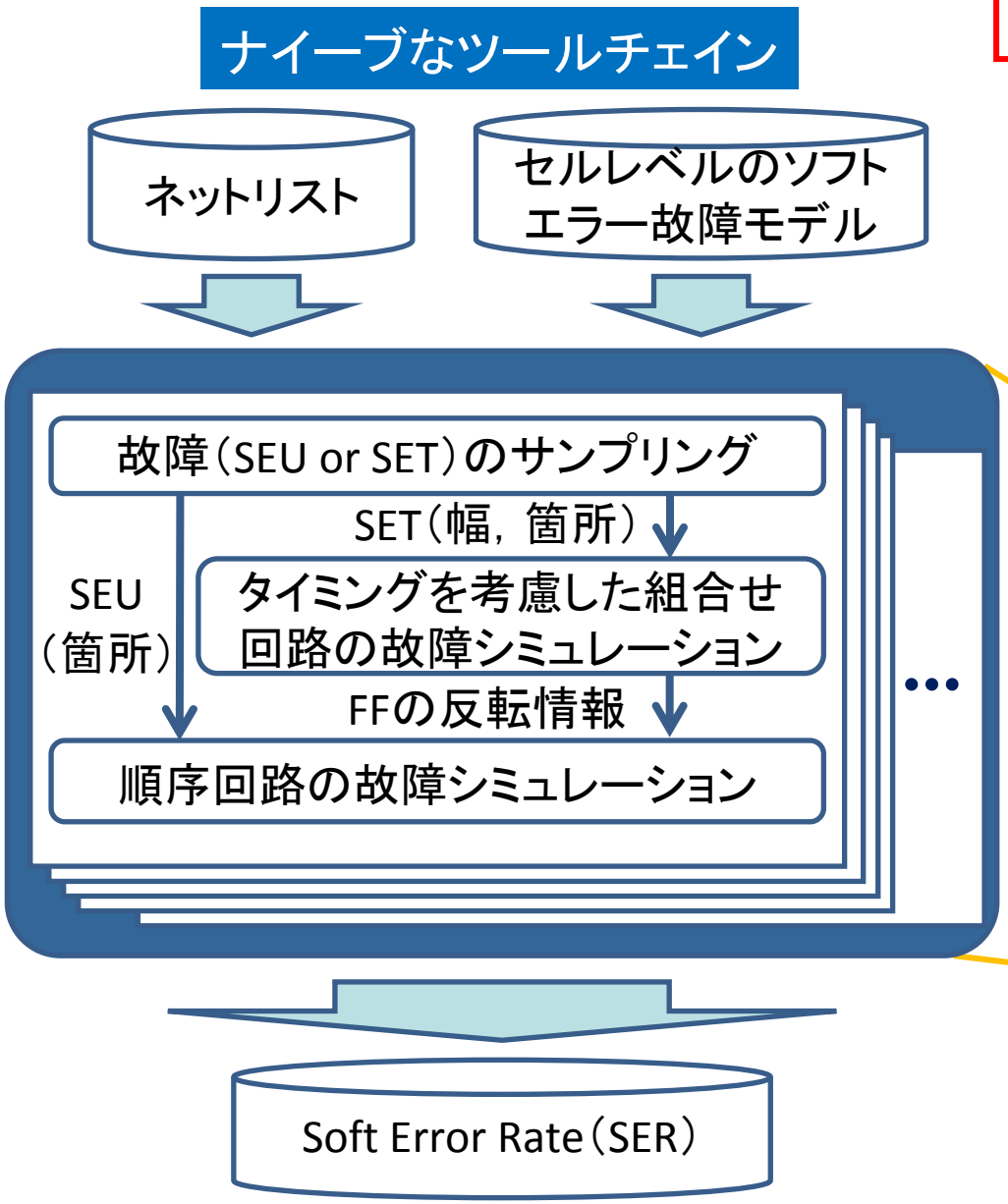
領域ごとの収集電荷量を用いたノイズ電流モデルの近似

数秒

回路シミュレータを用いたパルス波形の計算

提案手法を用いることで数千から数万サンプルを一日で実行可能

Logic 論理レベルのソフトエラー耐性評価



問題点

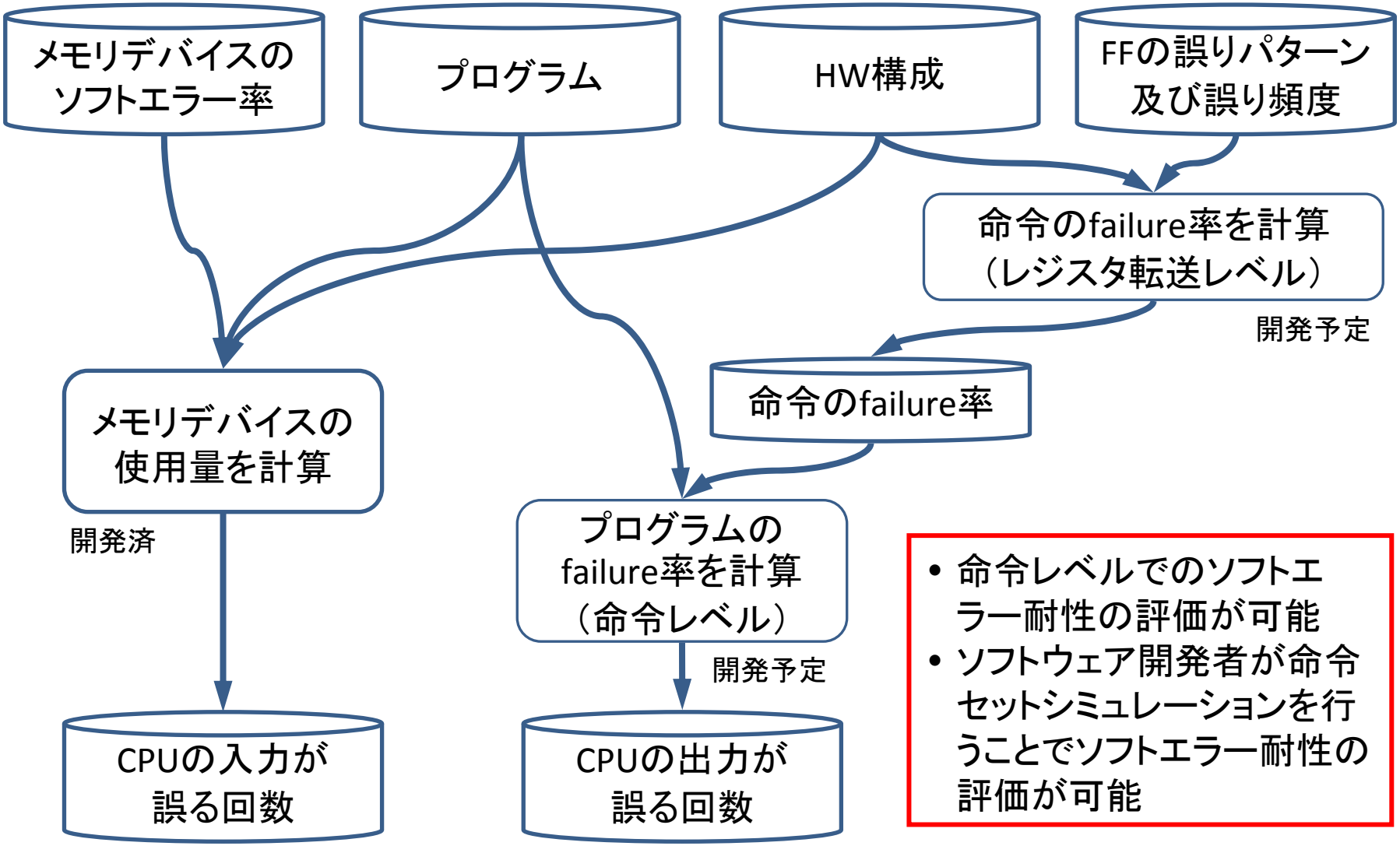
- 1回のサンプリングに対する故障シミュレーションの実行時間は論理シミュレーションの実行時間と同程度
- 十分な精度を得るためには数千から数万のサンプリングが必要

提案手法

- 全パタンを同時に考慮したタイミング故障シミュレーション
- 全セルを同時に考慮した論理故障シミュレーション
- マルコフモデルを用いたSERの計算

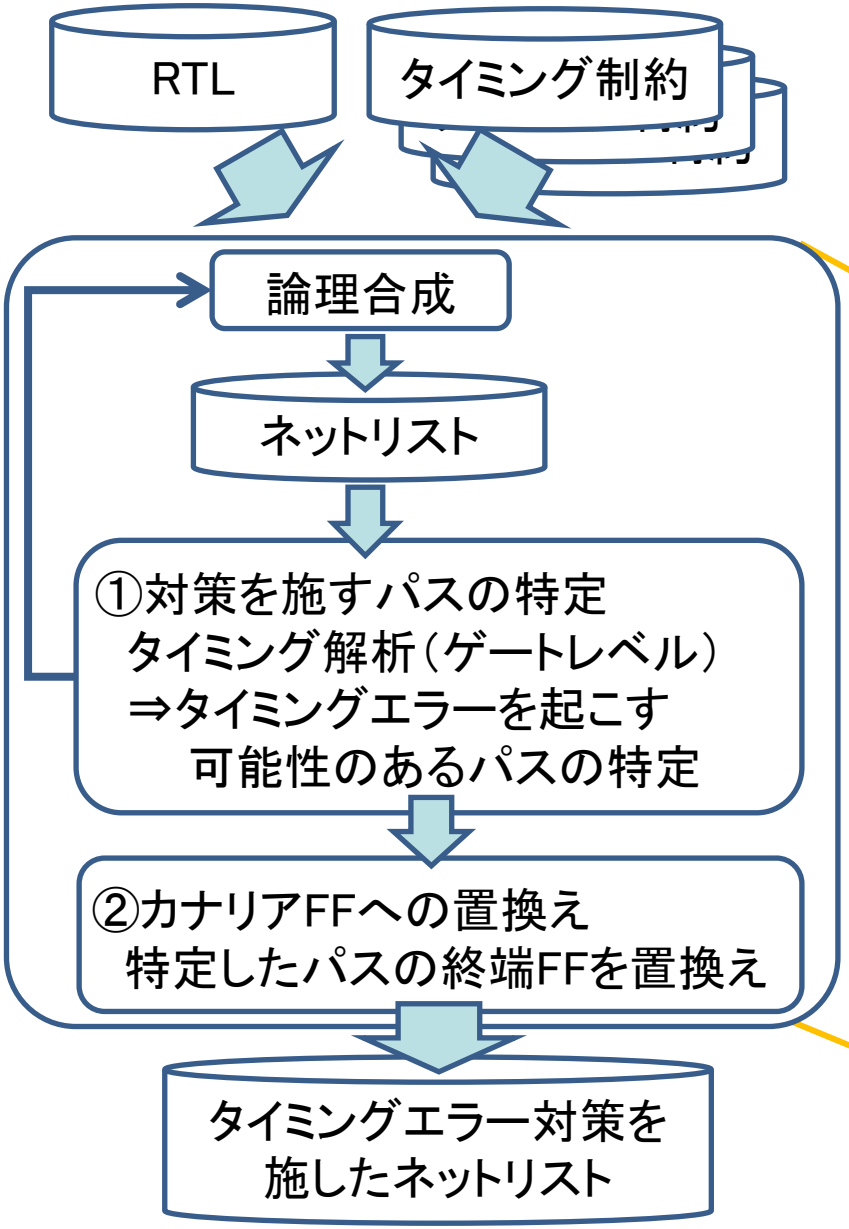
論理シミュレーションに対して数倍から10倍程度の実行時間を目標

CPUのソフトエラー耐性評価



- 命令レベルでのソフトエラー耐性の評価が可能
- ソフトウェア開発者が命令セットシミュレーションを行うことでソフトエラー耐性の評価が可能

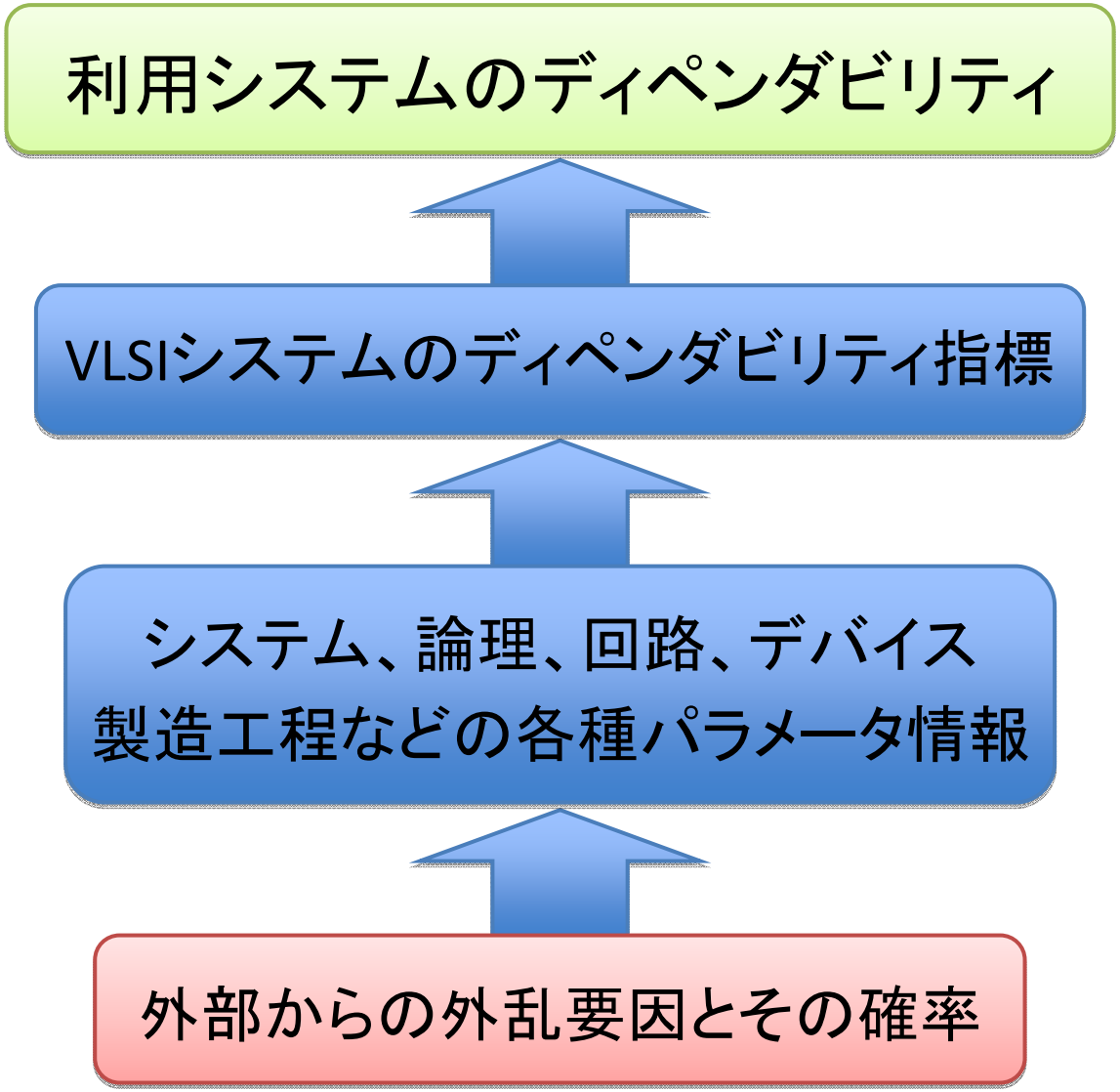
タイミングエラー対策



背 景

- 先端微細化技術では，ばらつき問題が深刻
- 動作環境や履歴によって，回路性能に差
- タイミングエラー ⇒ 動作不良が顕在化

置換え手順

- 要求される信頼性に応じて タイミング制約を与える
- 与えられたタイミング制約の一つに 対してネットリストを合成する
- タイミング解析結果とタイミング制約 から対策を施すパスを特定する
- 残りのタイミング制約に対してネット リスト合成とパス特定を繰り返す
- 特定したパスの終端FFを カナリアFFに置換える

ツールチェインの将来像