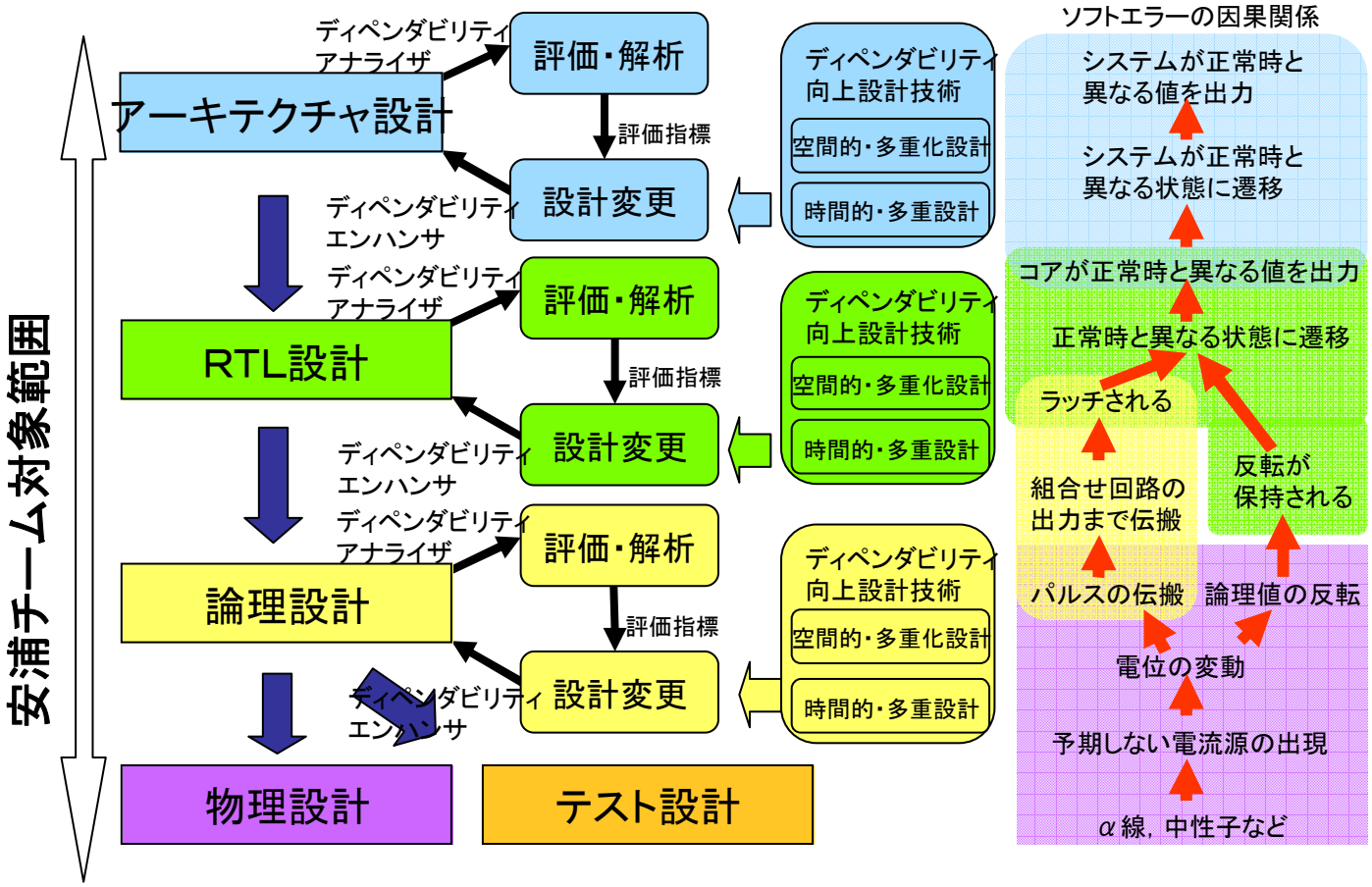
統合的高信頼化設計のための モデル化と検出・訂正・回復技術

安浦寛人
九州大学システムLSI研究センター



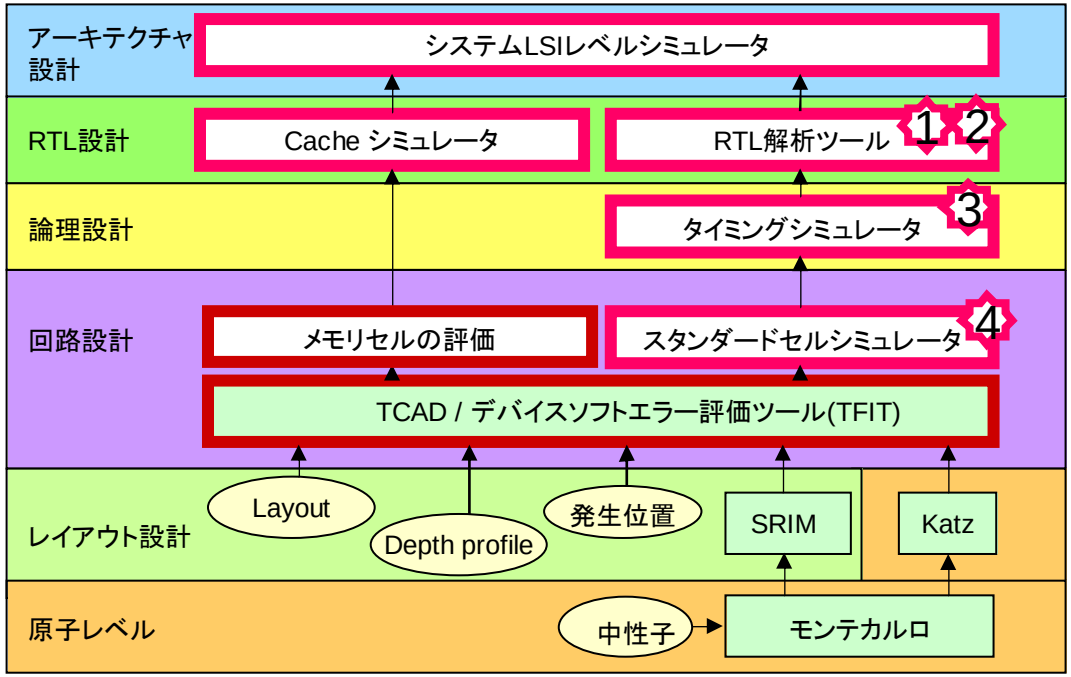
階層設計に基づいた耐ソフトエラー設計フロー(九大G)

研究項目：中性子線に起因する耐ソフトエラー設計フローの構築

進捗状況：下位から上位のアーキテクチャレベルまでソフトエラーによる影響を見積もるツールチェインの構築の見通しが立った。吉本チーム(神戸大学)と共同研究

達成目標：耐ソフトエラー性の推定と改善を行うツールチェインの構築

達成時期：2013年3月



2009.12.19

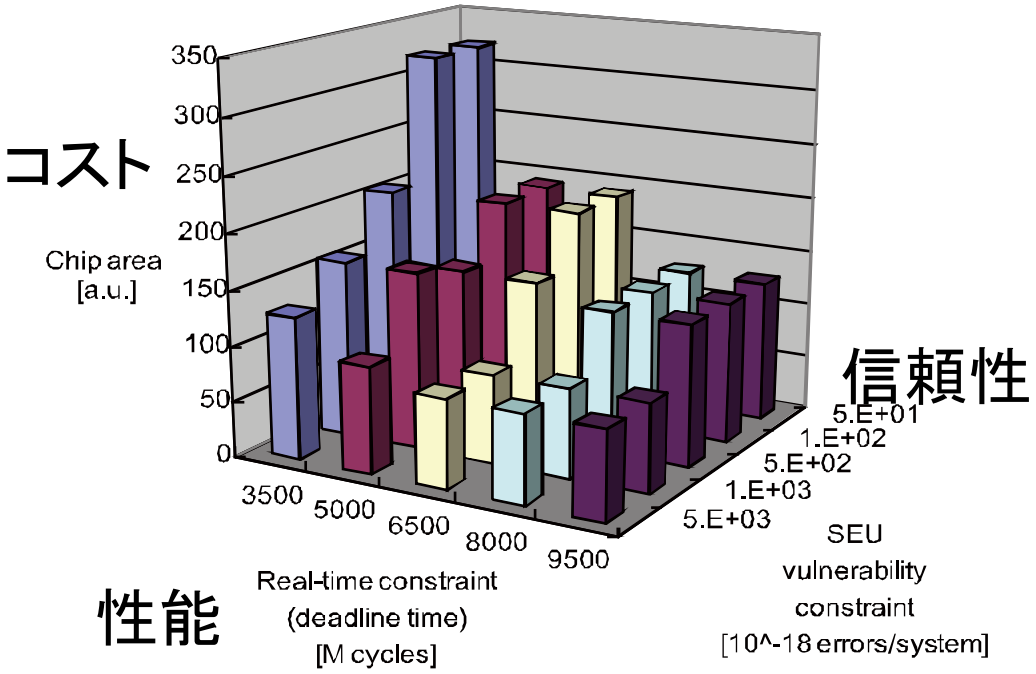
信頼性考慮したマルチコアCPU合成技術(豊橋技科大G)

研究項目：ソフトエラーの影響を考慮したディペンダブルマルチコアCPUの設計自動化技術。

進捗状況：信頼性を制約条件として考慮したマルチコアCPU合成技術の構築の見通しが立った。

達成目標：要求される信頼性を達成するマルチコアCPUを自動合成する。

達成時期：2013年3月



2009.12.19

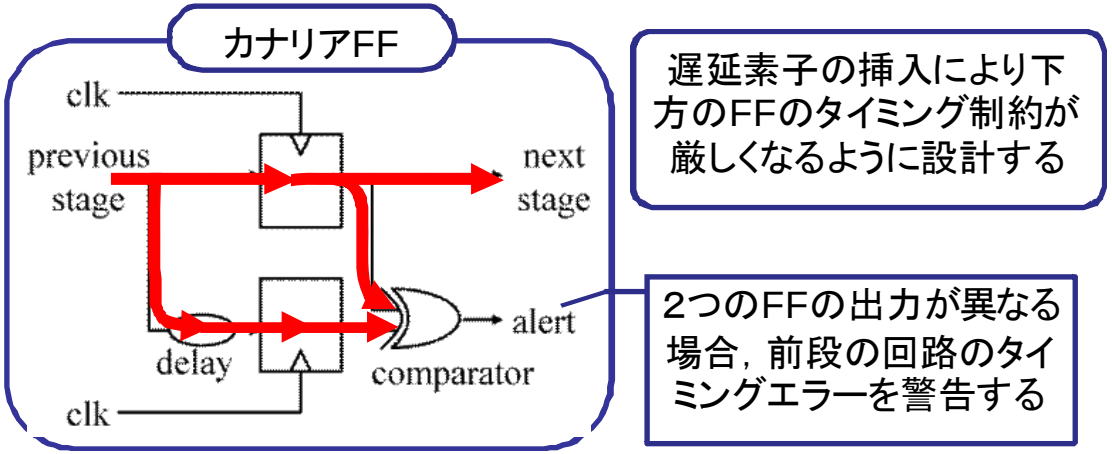
耐タイミングエラー技術(福岡大G)

研究項目：耐タイミングエラー技術の提案

進捗状況：プロセス変動、温度変化、経年劣化に起因するタイミングエラー対策。アーキテクチャレベルで評価済みのカナリアFFを利用。回路設計・レイアウト設計を実施中

達成目標：タイミングエラーのモデル化と指標化．エラーの検出技術とオンライン訂正技術の提案

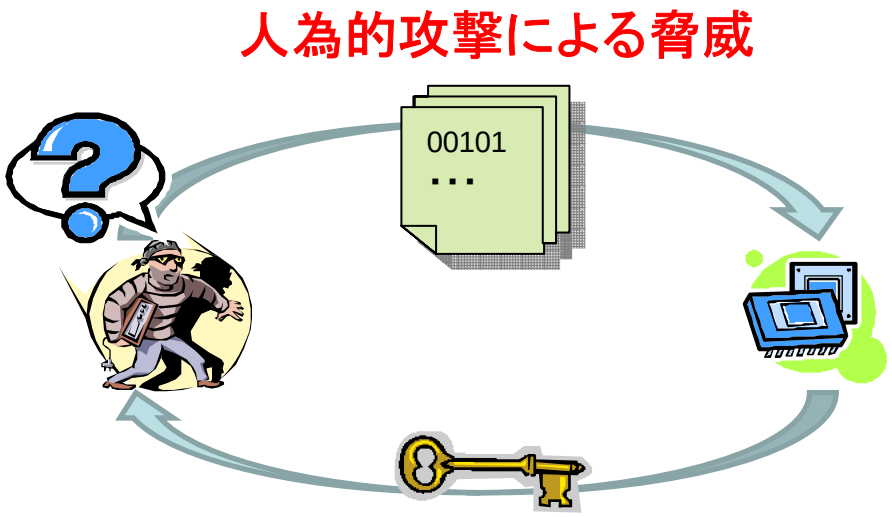
達成時期：2013年3月



人為的攻撃を考慮した LSI設計技術(九大G)

研究項目: 人為的攻撃を考慮したLSI設計技術の開発

進捗状況:LSIのテスト容易化に用いられているスキャンFFに起因するセキュリティホールへの一防御策を提案し、異なる防御策の定量的な評価手法を検討中。

達成目標: 人為的攻撃に対するLSIの耐性のモデル化と評価技術の確立。効果的なLSI設計技術の開発

達成時期: 2013年3月