

フィールド高信頼化のための 回路・システム機構

CREST_DVLSI ワークショップ2008
2008年12月6日

研究代表者： 梶原誠司(九州工業大学)

主たる共同研究者：

藤原秀雄(奈良先端科学技術大学院大学)

三浦幸也(首都大学東京)

研究の背景

衛星, 通信



通信遮断!

救命!

医療, 車載

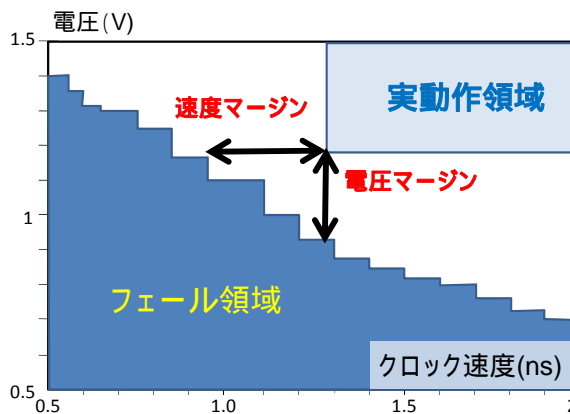
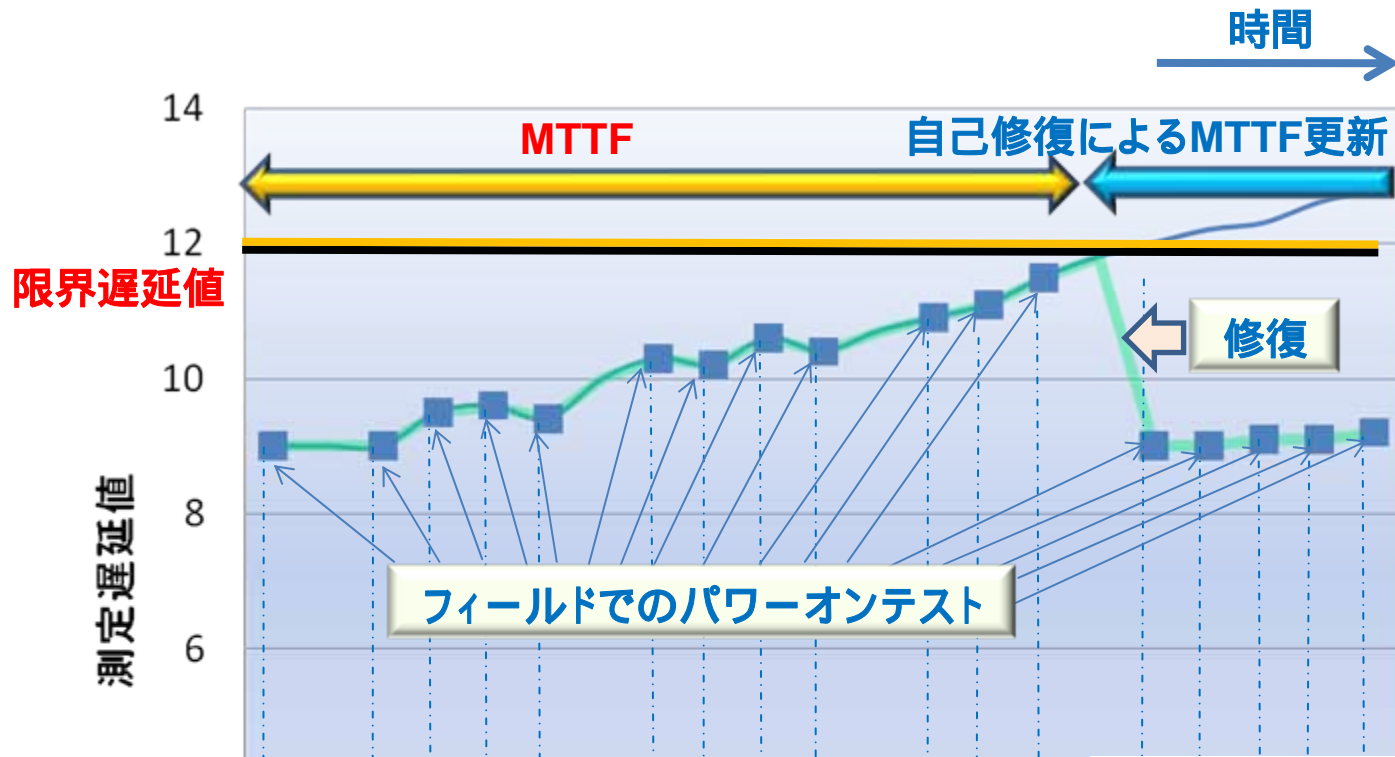


研究の狙い

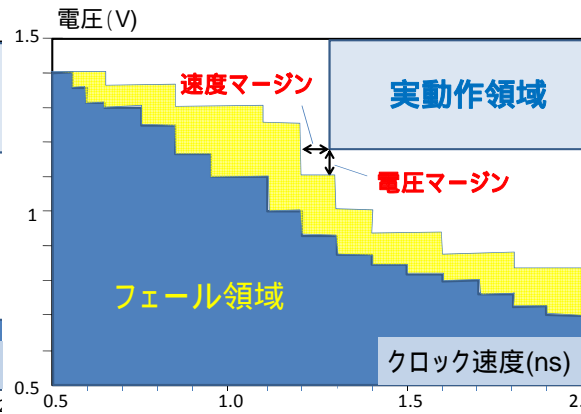
~ 平均故障時間(MTTF: mean time to failure)の更新 ~
突然のシステムダウンを回避...安全・安心

1. フィールド起動時のアダプティブなパワーオン/オフテストによる故障検出と回路の劣化検知技術
2. 障害となる前に警告/自動修復を行い, 被害を阻止する技術
3. 上記実現のための, システム動作環境を反映して行われる高精度な自己テスト, 自己診断, 自己修復技術

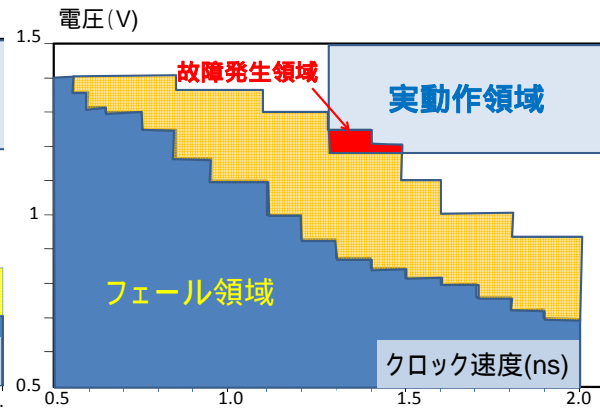
高度な信頼性を要求するシステム



出荷時の動作マージン



劣化による動作マージン減少



劣化後の故障発生

図1 劣化検知と自己修復のよるMTTFの更新

$$\text{MTTF} \quad \text{MTTF} + \text{MTTF} \cdot D \cdot A \cdot R \cdot T$$



– D (取扱可能な劣化要因の比率)の向上

- 劣化テスト箇所選定技術:
劣化メカニズムのモデル化, 集中的テスト箇所とテスト要件.
- 劣化要因非依存テスト技術:
温度・電圧ストレス制御の遅延テスト.

– A (測定精度により検出可能な比率)の向上

- テストタイミング測定技術: 高精度なタイミング測定による動作マージン測定.
- ディレモニタ技術: テスト環境下での標準遅延を高いSN比で測定.
- 熱制御テスト技術: パワーオンテスト時の温度制御.

– R (修復可能な比率 × 修復によるMTTF増加比率)の向上

- 機能的修復システム技術: NoC, マルチコアでのシステムレベル修復.
- 特性的修復システム技術: 電圧, クロック調整による回路の特性修復.

– T (パワーオン/オフテストによる検出率)の向上

- テスト発生BIST技術:
劣化可能性が高い箇所に対するテストを少ないテスト数で
実現するテスト生成およびDFT回路.

以上を統合した効率的パワーオン/オフテストの実施

MTTFの向上効果指標と研究開発技術(DART技術)

要件定義

– パワーオン/オフテストにおける故障検出率と時間の制約

- 回路レベル, システムレベルでの各種テスト.
- テスト対象箇所 of 絞り込み.
- 短テスト時間.
- テスト内容の最適化.
- 各回でのテスト条件 (温度, 電圧) の調整.

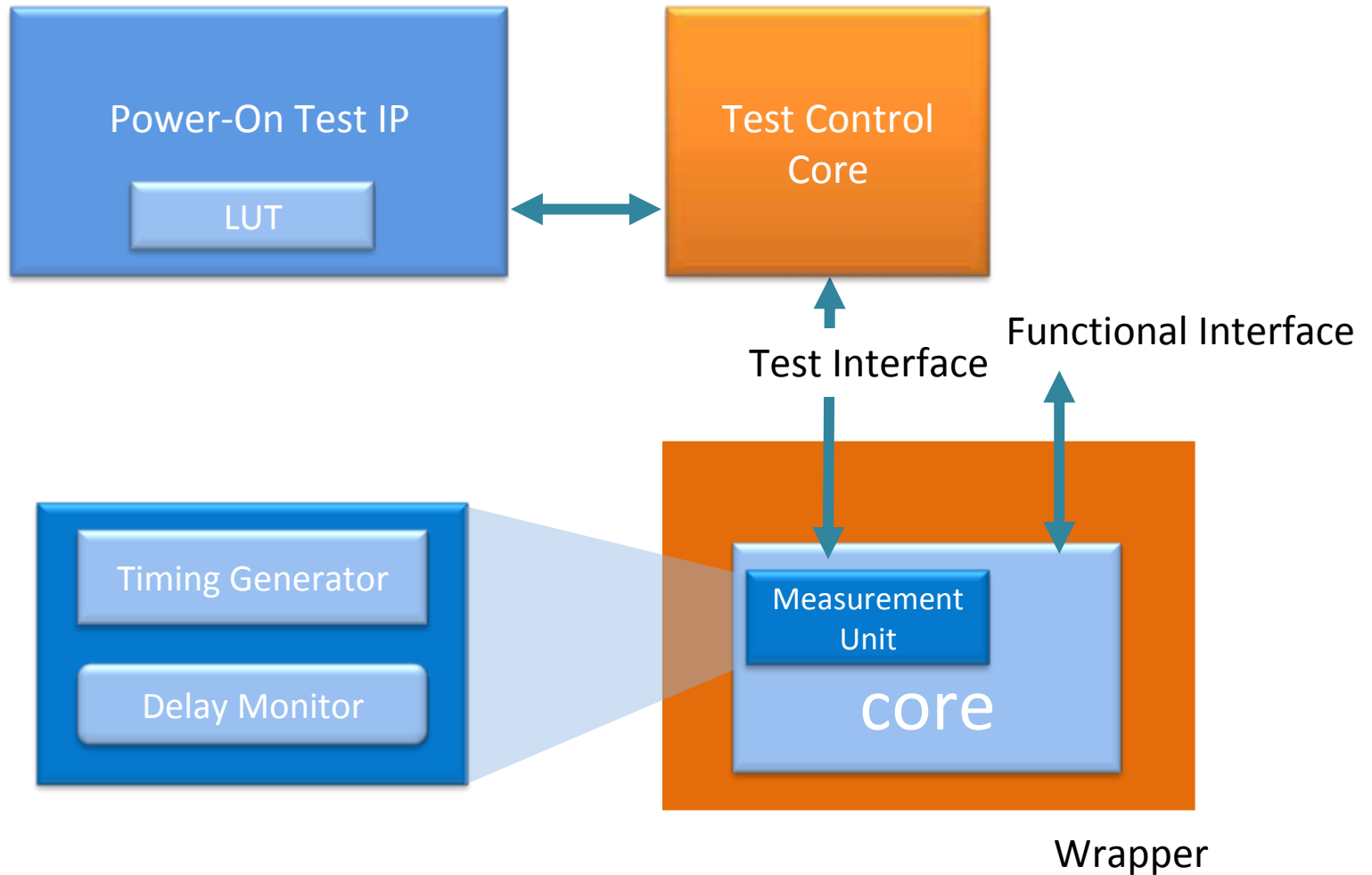
– モニタ回路の付加回路量最小化

- 出荷テスト用のDFT回路(スキャン, BIST等)を最大限活用.
- システム機能の活用.

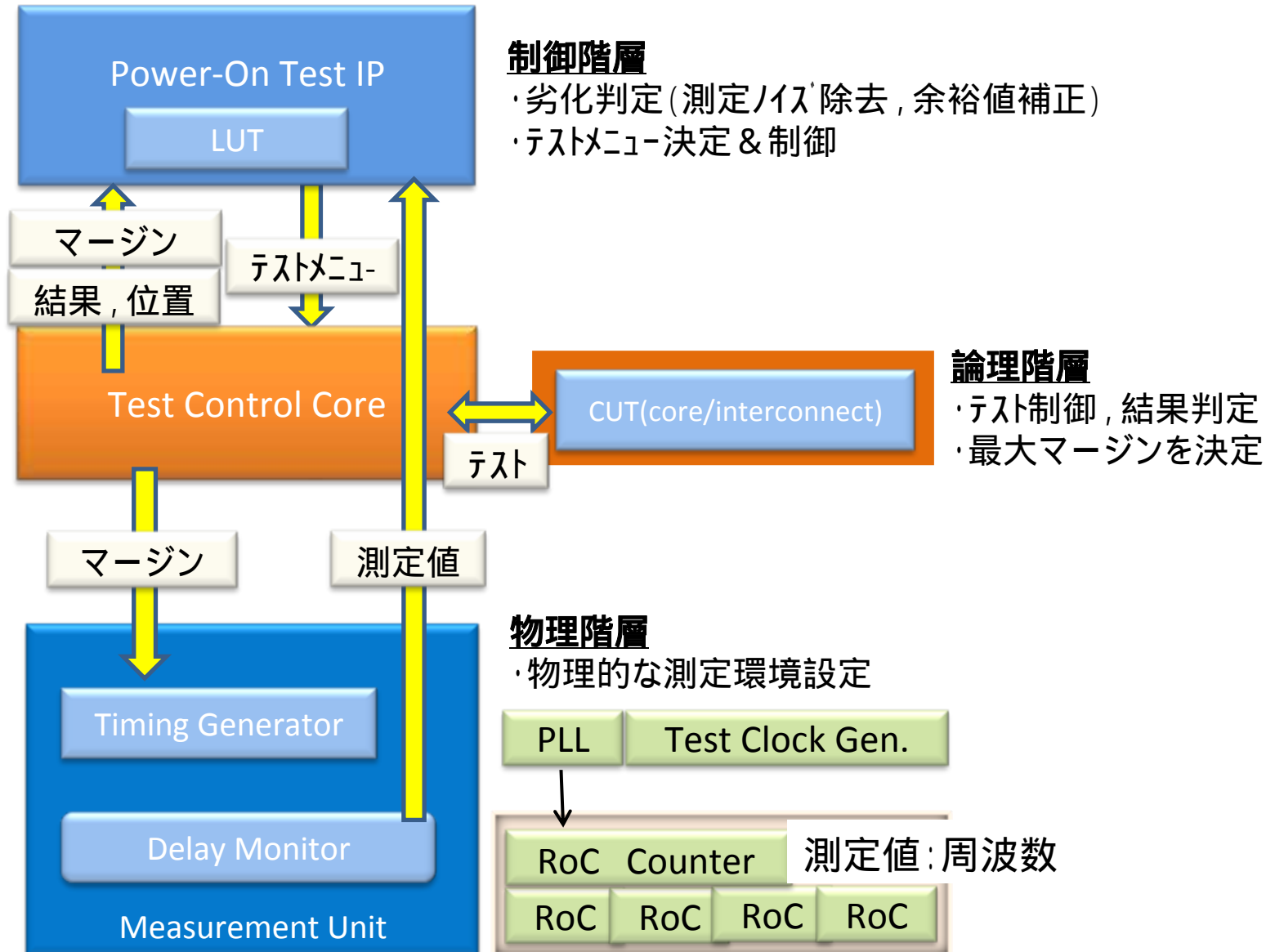
– 汎用性 (特殊回路の使用の最小化)

- 通常FFによる遅延速度モニタテスト.
- 複数の温度・電圧特性を持つROベースの非劣化なモニタ回路.
- クロック周波数一定下での測定タイミング可変技術.

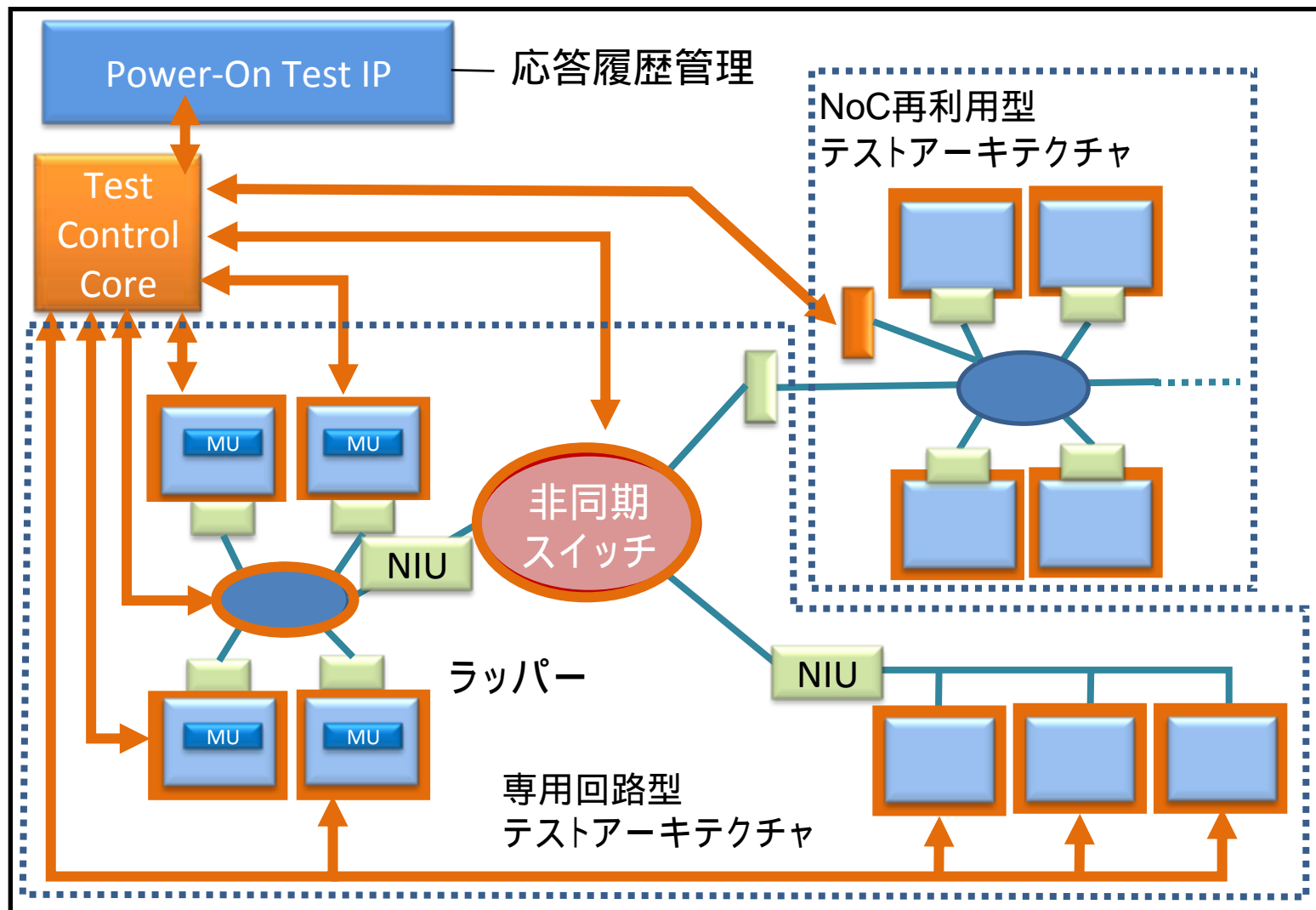
単一コアに対するテスト回路構成



テスト回路構成の機能概要



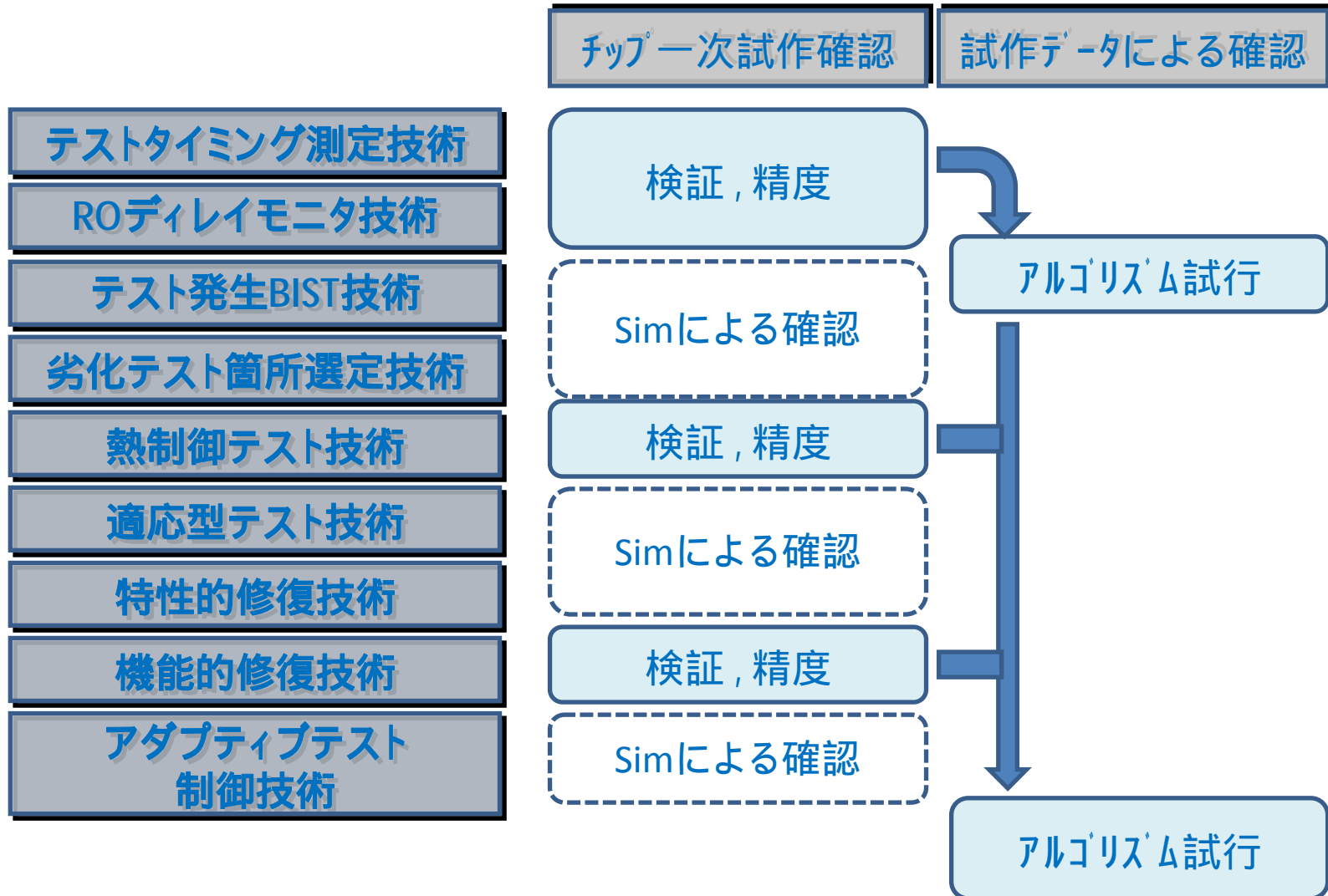
SoC/NoCでのテストアーキテクチャ



構成技術と研究分担



チップ試作で確認する項目



研究チーム構成

九州工業大学

梶原誠司 教授, 温暁青 教授, 宮瀬紘平 助教, 佐藤康夫 客員教授

- 観測対象選定・テスト生成
- テスト項目・テスト制御
 - 回路機能修復・特性調整
 - チップ試作・評価

奈良先端科学技術大学院大学

藤原秀雄 教授, 井上美智子 准教授, 大竹哲史 助教, 米田友和 助教

- SoC/NoC温度解析
- テスト制御
 - SoC/NoCテスト生成, テストスケジューリング
 - 自己修復・SoC/NoC修復

首都大学東京

三浦幸也 准教授

- 劣化判定・測定回路
 - チップ試作・評価