

# アーキテクチャと形式的検証の協調 による超ディペンダブルVLSI

戦略的創造研究推進事業  
「ディペンダブルVLSIシステムの基盤技術」

---

東京大学 大学院情報理工学系研究科

坂井 修一 (代表者)

五島 正裕

東京大学 大規模集積システム設計教育研究センター (VDEC)

藤田 昌宏

東京工業大学 大学院情報理工学系研究科

吉瀬 謙二

# 内容

---

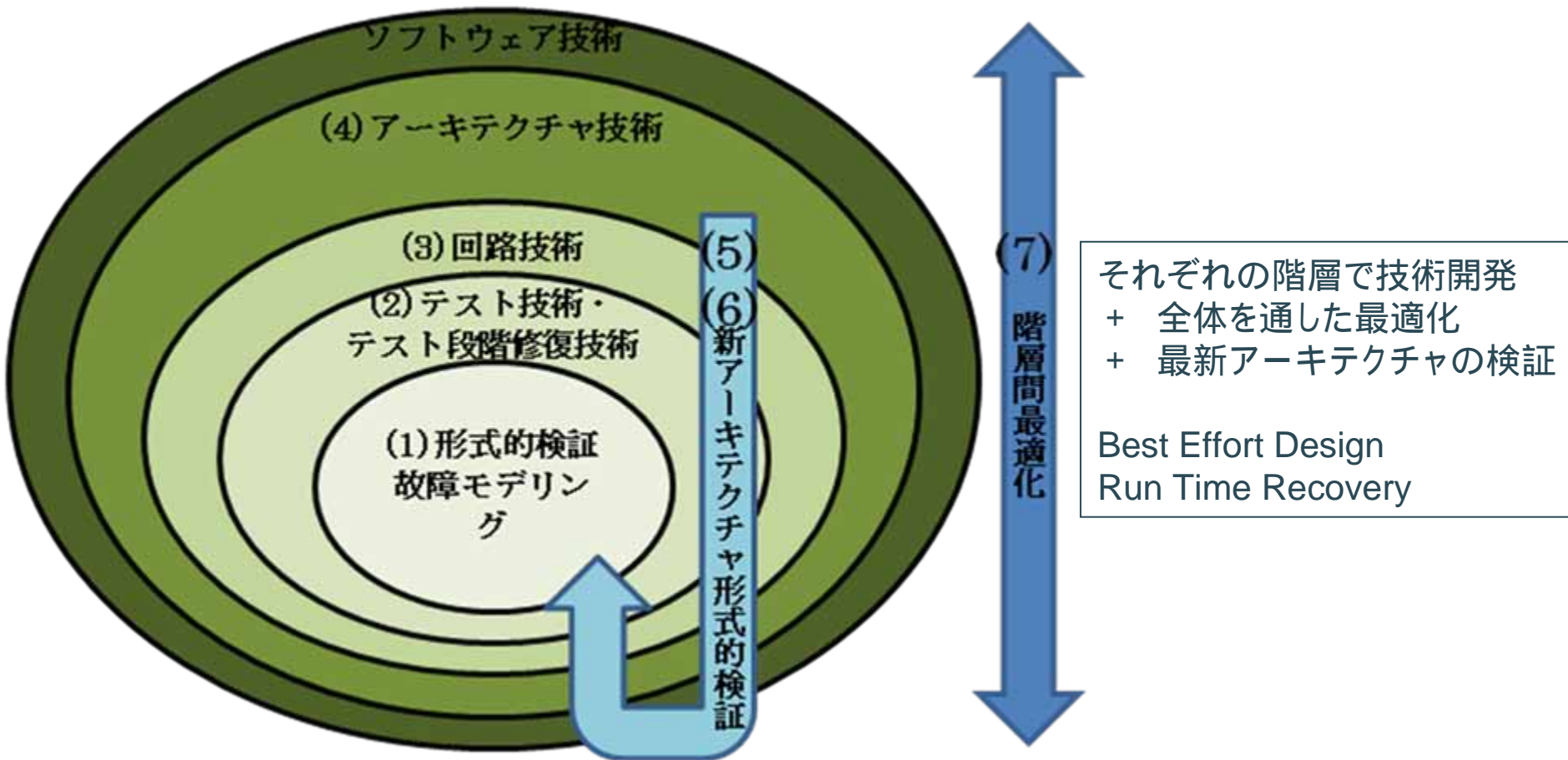
- 研究進捗状況
- 外部連携の強化策
- 領域内チーム間連携
- 領域運営への希望事項

# 研究進捗状況

---

- 全体マップ: ディペンダビリティ階層
- 形式的検証とテスト段階の修復
- 回路・アーキテクチャによる耐故障性の実現
- 論文発表、特許、表彰、新聞報道

# 全体マップ：ディペンダビリティ階層



前半3年：方式検討、基本設計、実験システム構築・評価  
後半2年：プロトタイプ試作と評価、要素技術の統合

# 全体計画・スケジュール

技術 \ 年	H19	H20	H21	H22	H23	H24
形式的検証 (藤田)	← 形式的検証方式の提案・評価 →		← 形式的検証ツール群の開発・整備 →		← 形式的検証改良・評価 →	
テスト段階の修復 (藤田)	← 製造後修正機能の提案・評価 →		← 製造後修正機能の最適化 →		← 部分再構成VLSI試作 →	
回路技術 (五島・坂井)	← エラー防止・検出回復回路開発・評価 →		← エラー防止・検出回復回路最適化・評価 →		← 超ディペンダブルテストベッド再試作・評価 →	
アーキテクチャ (坂井・五島・吉瀬)	← シミュレータ開発 →		← シミュレータVer2開発 →		← 永久故障防止アーキテクチャ最適化・評価 →	
全体統合 (全員)	← 統合化・役割分担の検討 →		← 統合化の提案 →		← 統合化・全体システム試作 →	
					← 全体テストベッド試作 →	
					← デモ製作 →	
					← 全体評価・まとめ →	

: 達成度100%以上  
 : 達成度90~100%

前半3年: 方式検討、基本設計、実験システム構築・評価  
 後半2年: プロトタイプ試作と評価、要素技術の統合

# 研究成果： 形式的検証

## ■ 等価性検証 / 解析ツール

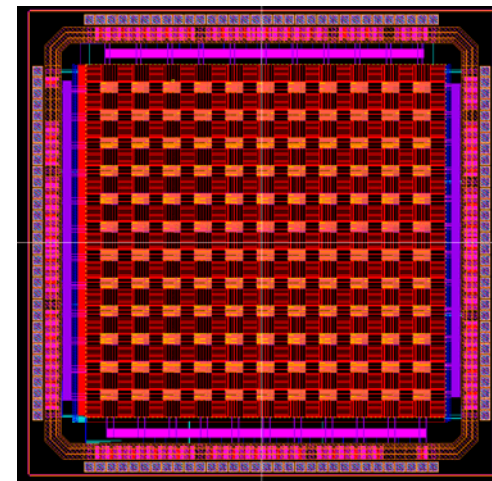
- 拡張システム依存グラフによる統一的な内部表現
- 形式的検証手法、テスト容易化のための解析手法、設計理解のための解析手法を実装
- 各種法の基本的な実装ほぼ完了。C++ 9万行超
- 国内メーカーとの連携による実応用への適用： **45000行の依存グラフを50分で生成など**

## ■ ハードウェア・ソフトウェア協調実行による検証高速化

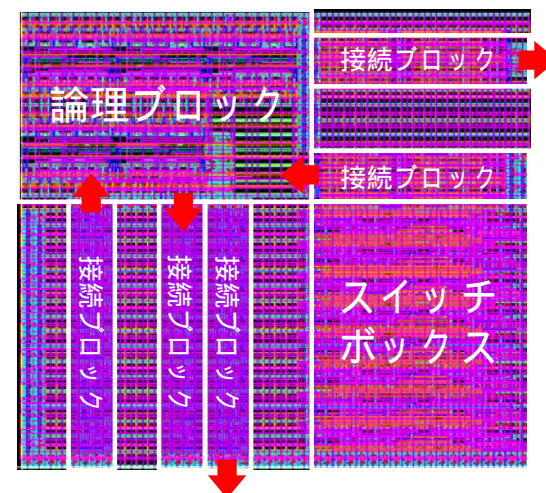
- PC-汎用FPGA協調実行により、PCのみの実行に比べて **約7倍の高速化**
- **検証高速化&ディペンダブルFPGAアーキテクチャ**の提案・試作

## ■ テスト容易化のための上位設計解析手法

- 上位設計において、指定された条件を満たす入力パターンを生成
- 記号・具体混合シミュレーション
  - **SpecCで700行程度**の記述に対して10サイクル以上の混合シミュレーションおよびアサーション違反検出に成功
  - **SpecCで3000行程度**の記述に対して未初期化変数の値の参照，配列オーバーラン等の検出に成功
- 動的スライシング技術



検証高速化専用FPGA  
ROHM 0.18um (VDEC)  
完全フルカスタム設計



FPGAの基本タイル

# 研究成果：回路・アーキテクチャ

## ■ タイミング条件緩和技術

- 遅延保証フリップフロップ：信号遷移タイミング監視による適応処理
- **タイミング制約を緩和するクロッキング方式**

## ■ 故障回避・回復機構

- **FPGAテストベッド試作 + 基本動作確認**

## ■ 耐故障アーキテクチャ

- 新規方式提案・FPGAテストベッド試作：**再構成制御部を含む仮想化による穴のない耐故障性の実現**

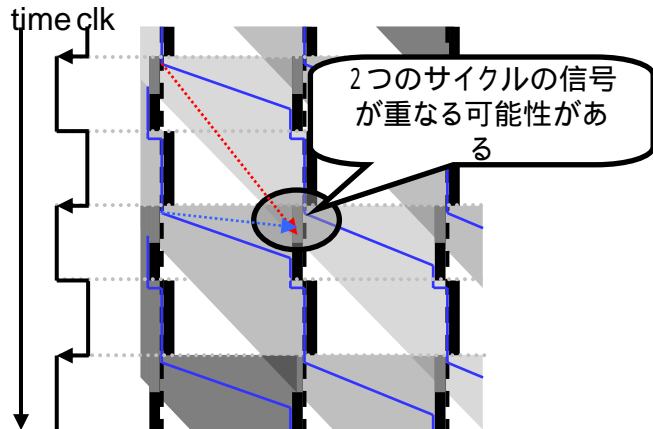
## ■ 高機能ルータ

- 基本方式提案、基本ルータチップ試作

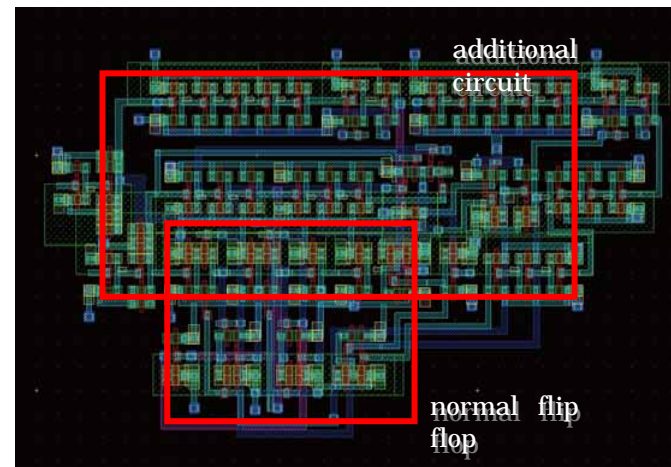
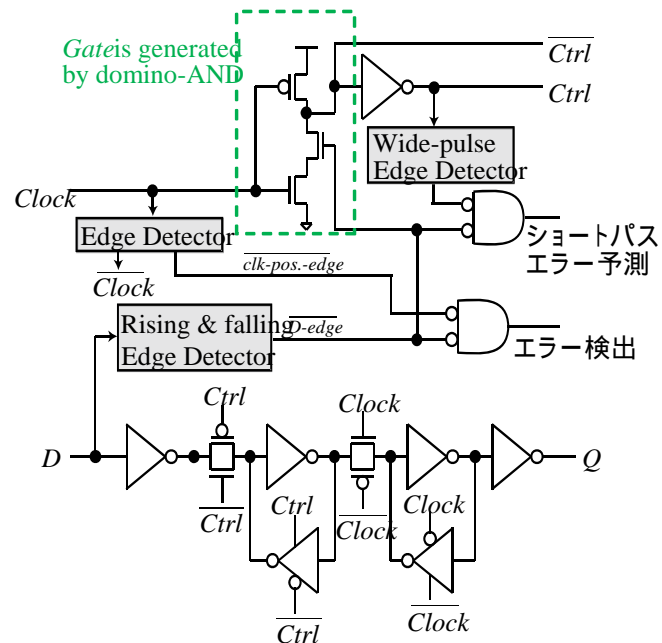
## ■ 新アーキテクチャ形式的検証

- 超ディペンダブルプロセッサHDL記述

形式検証へ



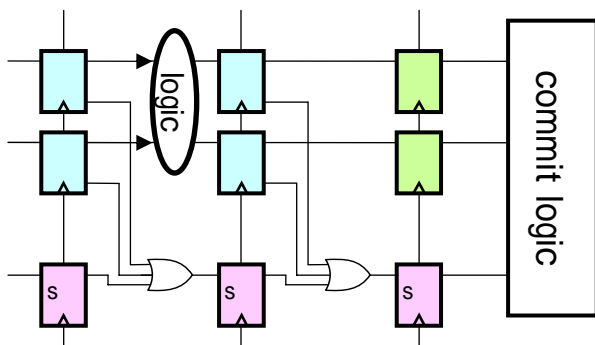
タイミング制約を緩和するクロッキング方式



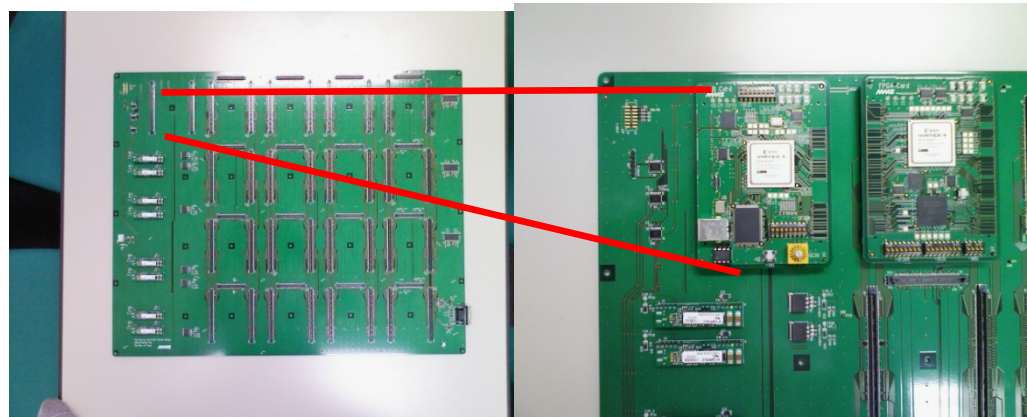
遅延保証FF (約180um<sup>2</sup>)

ローム社0.18 um 5-metal CMOS

# 研究成果:アーキテクチャ



故障の動的検知・回復



耐故障テストベッド  
= 再構成制御による「抜けのない」耐故障性の実現

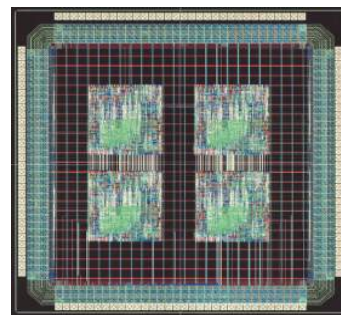


超ディペンダブルプロセッサ  
テストベッド

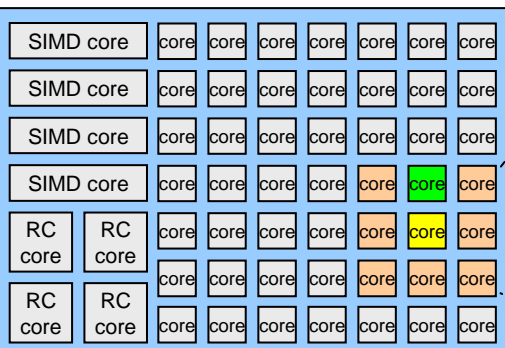
大容量FPGA  
ディペンダブル機能をもつ  
スーパスカラプロセッサ

動作中に周波数・電圧を  
変えられる  
タイミングエラーやDVFS制御による  
エラー回復を再現

耐故障FPGAアーキテクチャ

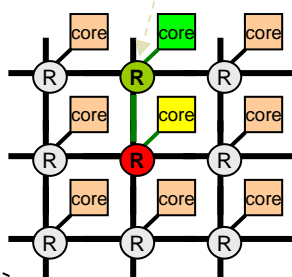


2x2のメッシュ接続の  
ルータ  
ローム0.18umチップ  
設計締切 2008/09/16  
納品・試作完了  
2009/01/26



(a) 汎用メニーコアプロセッサ

超ディペンダビリティ支援高機能ルータ



(b) ルータを中心とする超ディペンダビリティ支援



# 論文発表、特許、表彰、新聞報道

---

- ・ 欧文誌 (4)
- ・ 主要国際会議 (5)
- ・ 学会誌 (1)
- ・ 国際ワークショップ (7)
- ・ 研究会 (7)
- ・ 特許 (2)
- ・ 受賞 (3)
- ・ 新聞報道 (2)

# 発表 (1)

---

## ■ 欧文誌 (4)

- "Hardware/Software Co-design and Verification Methodology from System Level Based on System Dependence Graph", Journal of Universal Computer Science, 2007.
- "Dependence Graph Based Verification and Synthesis of Hardware/Software Co-Designs with SAT Related Formulation," Journal on Satisfiability, Boolean Modeling and Computation, Vol. 5, pp 57-82, 2008.
- "Flip-Flop with In-Situ Error Monitoring for Low-Power and Timing-Error-Tolerant Circuit Design", IPAP (Institute of Pure and Applied Physics) Japanese Journal of Applied Physics, Apr. 2008.
- "Ultra Dependable Processor", IEICE Transactions on Electronics Vol. E91-C, No.9, pp.1386-1393, Sep. 2008.

## ■ 査読付主要国際会議 (5)

- "Delay-Compensation Flip-Flops for Timing-Error Tolerant Circuit Design", Int'l Conf. on Solid State Devices and Materials (SSDM), pp. 480 481 (2007).
- "Automatic Merge-point Detection for Sequential Equivalence Checking of System-level and RTL Descriptions". Proceedings of 5th International Symposium on Automated Technology for Verification and Analysis, October 2007.
- "Using Counterexample Analysis to Minimize the Number of Predicates for Predicate Abstraction". Proceedings of 5th International Symposium on Automated Technology for Verification and Analysis, October 2007.
- "Performance-Constrained Different Cell Count Minimization for Continuously-Sized Circuits", Proceedings of Design, Automation & Test in Europe (DATE), March 2008.
- "Sequential Equivalence Checking Using a Hybrid Boolean-Word Level Decision Diagram", Proceedings of 13th International CSI Computer Conference, March 2008

## ■ 学会誌

- 「情報処理で社会を守る：社会情報インフラの安全と信頼」、情報処理、Vol.49, No.4, pp.49-53, Apr.2008.

## ■ 国際ワークショップ (7)

- "Hardware-Accelerated Formal Verification", International Workshop on Logic & Synthesis, June 2008.
- "A Novel Formal Approach to Generate High-level Test Vectors without ILP and SAT Solvers." Proceedings of IEEE International Workshop on High Level Design Validation and Test, November 2007.
- "Intelligent automatic test pattern generation for C-based hardware design descriptions through combined use of concrete and symbolic simulations," JAVA Path Finder (JPF) Workshop, May 2008.
- "Performance Estimation with Automation False-Path Detection for System-Level Designs", International Workshop on Logic & Synthesis, June 2008.
- "Rule-Based Approaches for Equivalence Checking of SpecC programs," MEMOCODE June 2008.
- "Arithmetic Circuits Verification without Looking for Internal Equivalences", MEMOCODE June 2008.
- "Modular-HED: A Canonical Decision Diagram for Modular Equivalence Verification of Polynomial Functions," Fifth International Workshop on Constraints in Formal Verification, Aug 2008.

## ■ 研究会 (7)

- 「準形式的モデル検査のハードウェア実装による高速化の検討」,情報処理学会システムLSI設計技術研究会, 2008年3月.
- 「システムレベル設計記述に対する具体値・記号値混合シミュレーションによる入力パターンの自動生成手法」,情報処理学会システムLSI設計技術研究会, 2008年3月.
- 「システムレベル設計言語に対するフォールスパスを考慮した性能評価」, 電子情報通信学会VLSI設計技術研究会, 2008年3月.
- 「タイミング・フォールト耐性を持つクロッキング方式」, 電子情報通信学会研究報告 CPSY2008 15, pp. 25 30 (2008).
- 「タイミング・エラー耐性を持つスーパスカラ・プロセッサ」, 電子情報通信学会研究報告 CPSY2008 14, pp. 19 24 (2008).
- 「メニーコアプロセッサのディペンダビリティ向上と高性能化を目指すSmartCoreシステム」, 情報処理学会 研究報告2008-ARC (2008年10月)
- 「シンプルで効率的なメニーコアアーキテクチャの開発」, 情報処理学会 研究報告2008-ARC (2008年10月)

# 特許・受賞

## ■ 特許 (2)

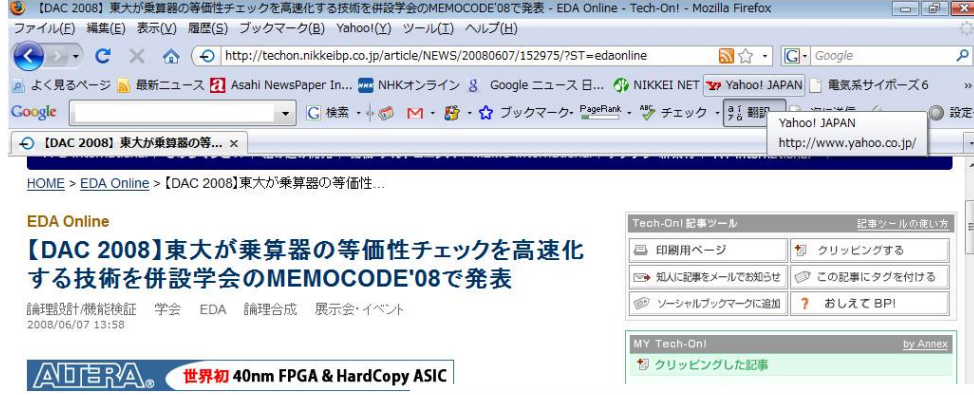
- 「集積回路装置」、特願 2007-339774  
(出願日:平成19年12月28日)
- 「回路検証装置、回路検証システム及び回路検証機能付LSI」、特願2008-145413  
(出願日:平成20年6月3日)

## ■ 受賞 (3)

- 「準形式的モデル検査のハードウェア・ソフトウェア協調実行による高速化」、工学部長賞, 2008年3月.
- 「準形式的モデル検査のハードウェア実装による高速化の検討」、情報処理学会システムLSI設計技術研究会優秀論文賞, 2008年8月.
- 「準形式的モデル検査のハードウェア実装による高速化の検討」、情報処理学会システムLSI設計技術研究会最優秀学生発表賞, 2008年8月.

## ■ 新聞等報道 (2)

- 「東大が乗算器の等価性チェックを高速化する技術を併設学会のMEMOCODE 08で発表」、日経BPネット, <http://techon.nikkeibp.co.jp/article/NEWS/20080607/152975/>, Jun 2008
- 「CPUの不具合 自動復旧 信号伝達の異常を削除 -」、日経産業新聞7/2, 2008.



組み合わせ回路を対象とした、等価性検証は、広く実設計に適用されている。すでに技術的には解決済みとの声も聞かれるが、実はそうでもない。この記事では、組み合わせ回路を対象とした等価性検証での最新の技術について紹介する。

一般の組み合わせ回路を対象とした等価性検証では、比較対象の論理回路を分割するなどの手法を用いることで、等価性判定を高速化している。ただし、乗算器などの算術演算回路が比較対象の論理回路に含まれる場合はこれが上手くいかない。算術演算

