ロバストファブリックを用いたディペンダブルVLSIプラットフォーム

研究代表者
京都大学　小野寺秀俊

プロジェクト概要

- 研究背景
  - 物理的・自然現象的フォールト(製造性劣化、特性ばらつき、ソフトエラー、信頼性劣化)によるディペンダビリティ低下
  - NREコストの増大
  - アプリごとに必要なディペンダビリティ異なる

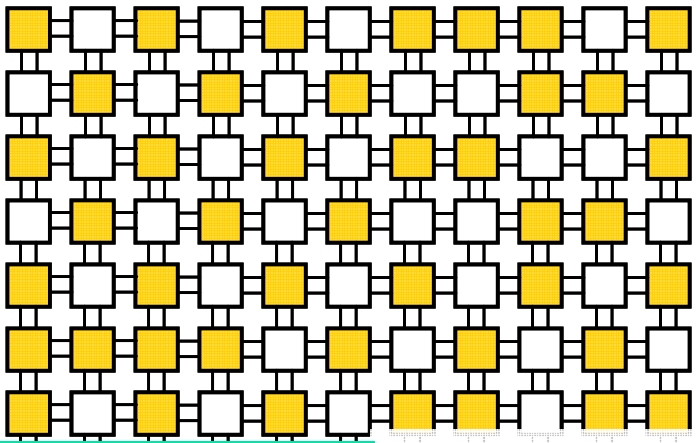
- 要求されるディペンダビリティに応じた回路を実現できる再構成可能VLSIプラットフォーム
- レイアウト/回路/アキテクチャ/設計自動化技術を結集
  - レイアウト: ばらつきに強靭な構造
  - 回路：特性の適応的調整
  - アーキテクチャ：適応的な時間的/空間的冗長化
  - 設計技術: 動作記述からの自動マッピング

提案VLSIプラットフォームのコンセプト

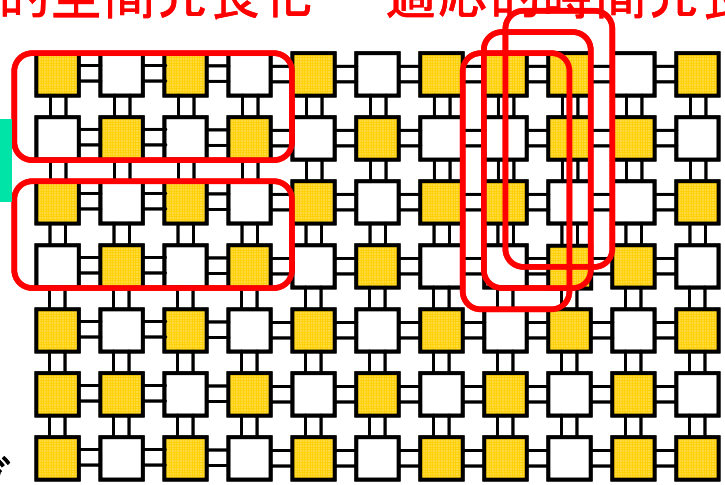
再構成アーキテクチャ

適応的空間冗長化　適応的時間冗長化

並列データ処理



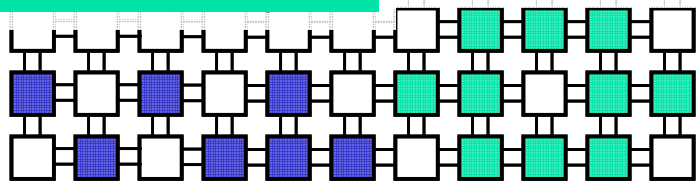
マッピング



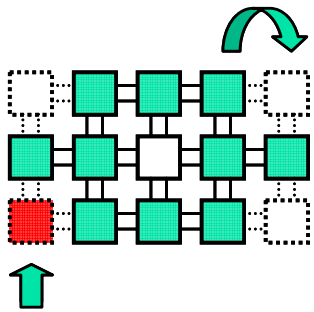
自動
マッピング

再構成プロセッサ

逐次処理用プロセッサ



“hot swap”による自己修復



自己調整

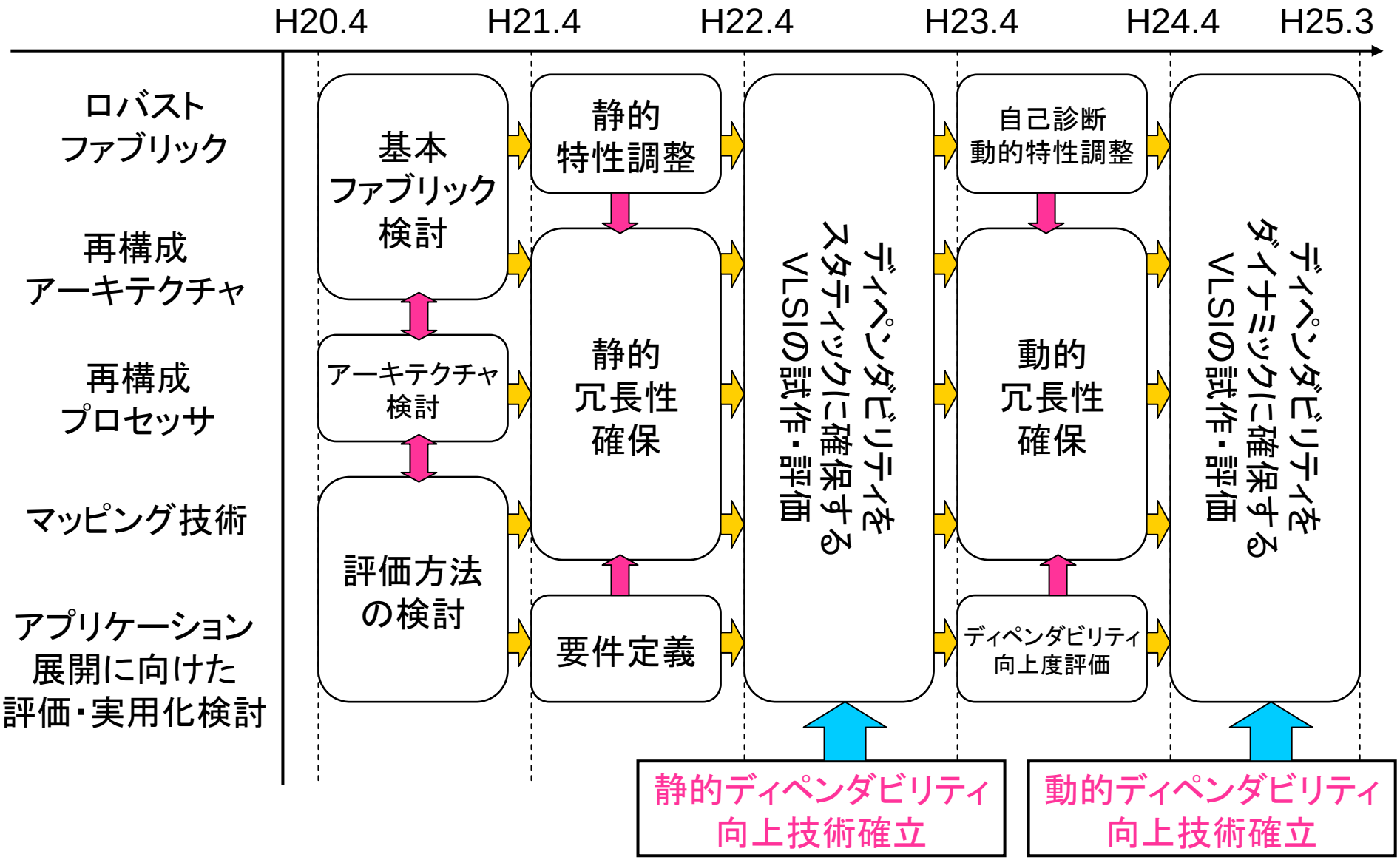
自己診断

再構成可能ディペンダブルVLSI
ロバスト(耐ばらつき、高製造性)ファブリックアレイ

ロバストファブリック

アプリケーション
展開

研究計画

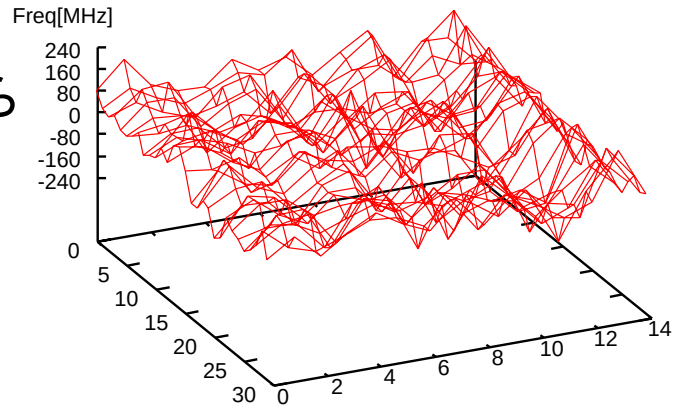

H20.4
H21.4
H22.4
H23.4
H24.4
H25.3
ロバスト
ファブリック
再構成
アーキテクチャ
再構成
プロセッサ
マッピング技術
アプリケーション
展開に向けた
評価・実用化検討
基本
ファブリック
検討
アーキテクチャ
検討
評価方法
の検討
静的
特性調整
静的
冗長性
確保
要件定義
ディペンダビリティを
スタティックに確保する
VLSIの試作・評価
自己診断
動的特性調整
動的
冗長性
確保
ディペンダビリティ
向上度評価
ディペンダビリティを
ダイナミックに確保する
VLSIの試作・評価
静的ディペンダビリティ
向上技術確立
動的ディペンダビリティ
向上技術確立

進捗状況: これまでの成果と今年度の計画

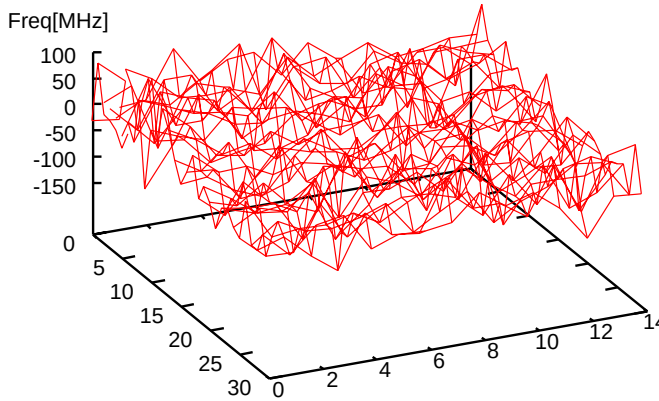
- これまでの成果/成果物
  - ロバストファブリック
    - レイアウト規則性 vs. 露光耐性、面積、性能のトレードオフ解析とゲート/チップレベル遅延ばらつき評価技術開発
  - 再構成アーキテクチャ
    - 各種の冗長化構成を実現できる回路アーキテクチャの基本設計
  - 再構成プロセッサ
    - 適応的多重化による平均多重化コストを削減するプロセッサの構成
  - マッピング技術
    - 耐故障性考慮マッピングおよび耐故障性評価を行う環境の開発
  - アプリ展開
    - JAXAとの連携の強化、暗号化機能を持つ組み込みシステムのIP化
- 今年度の目標
  - 再構成プラットフォーム構成要素のプロトタイピング
    - 論理ファブリック設計指針
    - 再構成アーキテクチャとマッピング技術
    - 適応的多重化を行うプロセッサのロバストファブリックへの実装の検討

ロバストファブリック

- これまでの成果
  - レイアウト制約(規則性など)による製造性・ばらつき耐性向上とコスト(性能・チップ面積)のトレードオフ解明
    - Litho/OPC Sim.での検討(65, 45nm)
    - テスト回路での検討(180, 90, 65, 45nm)
    - VDEC用180nmライブラリ開発(VDECより公開再構成アーキテクチャグループが試作に使用)
  - 遅延ばらつき評価技術の開発
    - ゲートレベル遅延ばらつきの分析技術(WIDばらつきの成分分離)
    - チップレベル遅延ばらつきの評価技術(統計的Max計算の新手法)
  - IPSJ Tran. on SLDM, ICCAD WS, IEDM等で発表(予定含む)
- 今年度の計画
  - 製造性・ばらつき耐性を高めるレイアウト設計指針の提示
  - 特性評価/調整回路の設計指針提示



確定的成分



ランダム成分

90nm チップ内ばらつき測定結果

再構成アーキテクチャ

- これまでの成果
  - 複数セルによるクラスタ構成の基本アーキテクチャ設計
    - 4構成によるディペンダビリティの評価
    - デザインガイア(11月)で発表予定
  - タイミング変動を許容する回路技術の要素研究
    - IEICE Trans., ISQED, GLSVSI, ISLPED, ASP-DAC, ICCAD WS等で発表（予定含む）
- 今年度の計画
  - ディペンダビリティ／性能（消費電力，動作速度）可変範囲のさらなる柔軟性実現

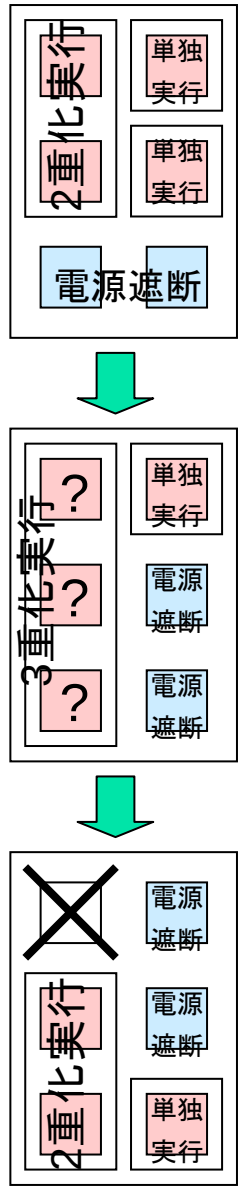
電力・速度の考慮

	冗長度		信頼性		
	構成情報	演算回路	構成情報	演算回路	
			SEU	SEU	SET
構成1	三重化	三重化	○	○	○
構成2	三重化	二重化	○	○	△
構成3	三重化	単体	○	△	×
構成4	単体	単体	×	△	×

○：修復可能
△：検知可能
×：検知不可能

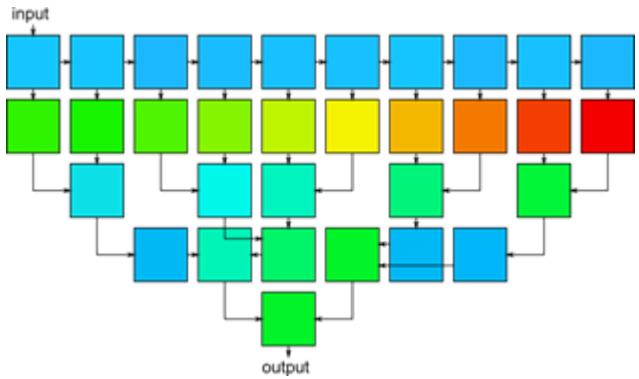
再構成プロセッサ

- これまでの成果
  - 多重度を切り替えられるマルチコアパイプラインプロセッサの提案
    - 通常は2重化(以下)、永久故障発生時に3重化
    - 未使用コアの電源遮断でEMの抑制/NBTIの回復/電力削減
    - 特願2008-214900にて特許出願
  - エラーを訂正する回路構造の検討
    - ラッチや組み合わせ回路を多重化したさいの面積と遅延のオーバヘッドの検討
- 今年度後半期以降の計画
  - 適応的多重化を行うプロセッサのロバストファブリックへの実装の検討
    - 実装を容易にするための命令の選択/命令エンコーディングの変更
    - 上記に対応したコンパイラの作成
  - 実回路上のソフトエラー評価に向けた回路構造の検討

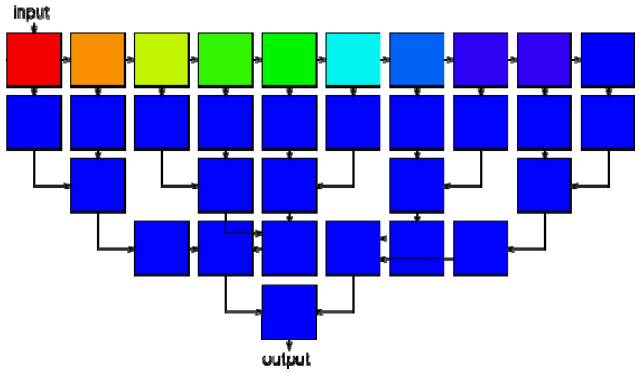


マッピング技術

- これまでの成果
  - ディペンダビリティ評価環境の枠組みを設計し、マッピングツールおよび評価ツールの一部を開発
  - 上記評価環境を用い、再構成デバイスにアプリケーションをマッピングした場合のSEU対策の優先順位決定に必要な情報が得られることを確認
  - DA Sympo.等で発表(予定含む)
- 今年度の計画
  - 再構成アーキテクチャグループと連携し、アーキテクチャの改良および有用性の評価に寄与する
  - 柔軟な動的ディペンダビリティ確保が可能なアーキテクチャとそのためのマッピングアルゴリズムの開発



構成情報レジスタ



データパスレジスタ

FIRフィルタをマッピングしたデバイスの各セルのSEUが出力の誤りを引き起こす頻度

アプリケーション展開

- これまでの成果
  - 暗号機能を持つ組込みシステム（プロセッサ、暗号化回路）のIPの整備
  - ディペンダビリティに関する規格と文献の調査
- 今年度の計画
  - 宇宙機/航空機製造企業に対するヒアリング
  - ディペンダビリティ評価尺度の構築のための要件調査
  - 再構成プロセッサグループの成果の、暗号化機能を持つ組込みシステムへの取り込み

外部連携の強化策

- 外部研究者との積極的な研究連携
  - 連携の具体例
    - 公知情報に基づく技術交流会
      - ソフトエラー評価技術について民間企業との技術交流
      - 大阪大学 核物理研究センターとの技術交流
    - NDAを締結した技術交流会
    - 共同研究
  - 注意点:
    - 研究チームの一部が外部組織との連携を進める際の情報管理や知財の取扱
- 学会特別セッションなどの企画
  - 研究成果広報とニーズの掘り起こし

領域内チーム間連携および領域運営

- 類似課題に関する意見交換の促進
  - 類似課題の例
    - 回路アーキテクチャによる耐故障性の実現
    - ソフトエラー・タイミングエラー対策技術
    - 高速CMOS回路設計技術
    - プロセッサ構成技術
- 非類似課題に関する相互理解と意見交換
- 学会特別セッションなどの企画を通じた連携
  - 2009年電子情報通信学会総合大会
    - 企画セッション「ディペンダブルVLSIに向けて」
  - ASP-DAC2009
    - Special Session: Dependable VLSI (Organizer: Prof. Sakai)
    - Tutorial: Circuit Reliability
- 希望事項
  - CREST研究参加学生の出張に関する追加要件の弾力的運用