

JST CRDSシンポジウム

IoT/AI時代にむけたテクノロジー

～大変革時代の新機軸とは～

第2部講演 テクノロジー・デバイス開発の課題と方向性

IoT/AIチップの 革新的集積システム開発プラットフォーム

2017年3月7日

東北大学

国際集積エレクトロニクス研究開発センター

工学研究科電気エネルギーシステム専攻

遠藤 哲郎

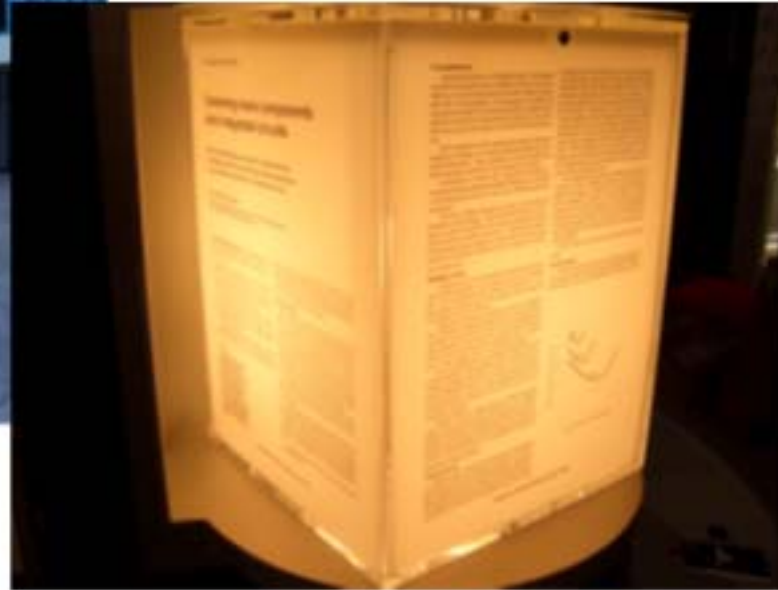
価値のあるIoTシステム・AIシステムとは？



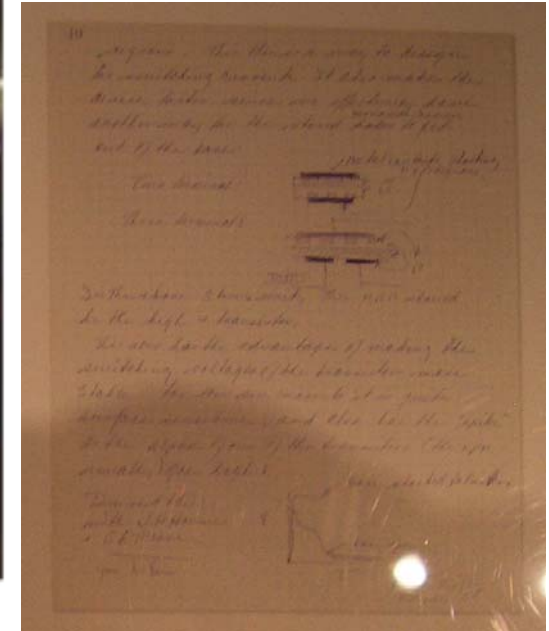
世界中の物をどのようにつなげ、
どのように情報分配して、
価値を創造するのか？

どのような知的価値を、
どんな時間サイクルで
創造するのか？

CMOS ULSI技術の成長原理:ムーアの法則



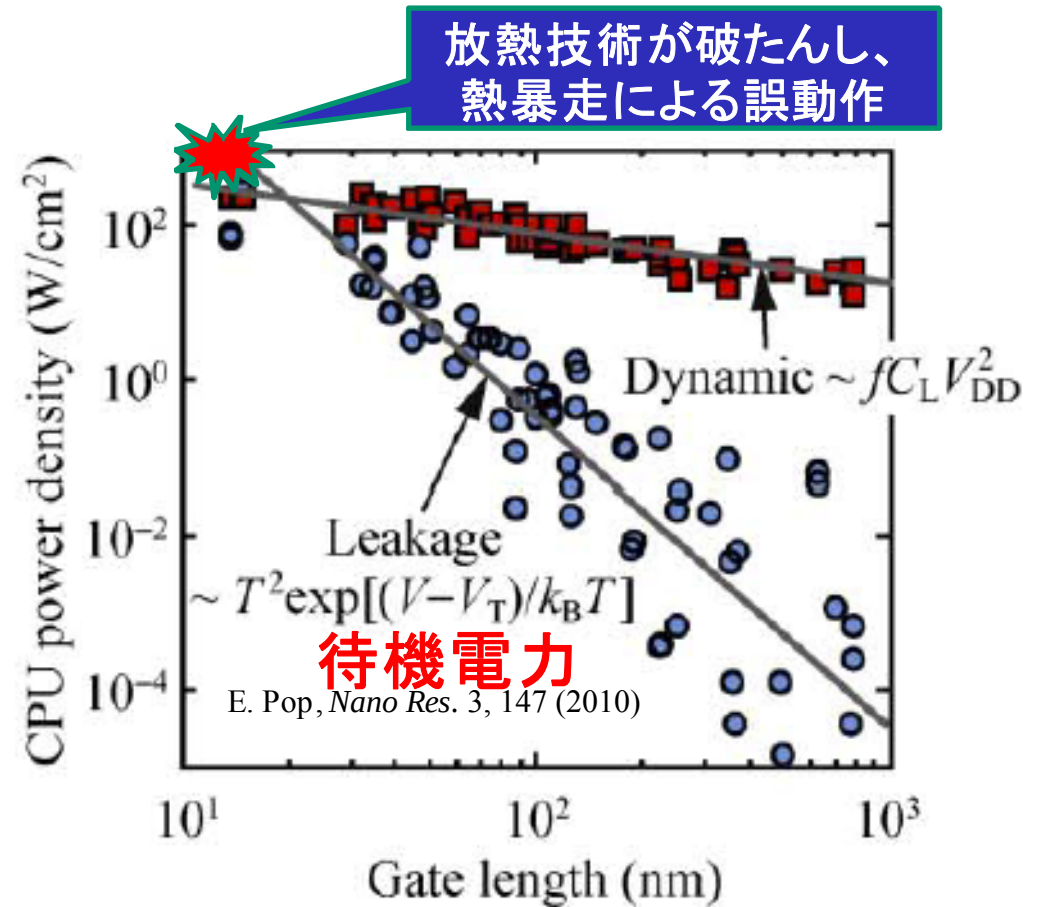
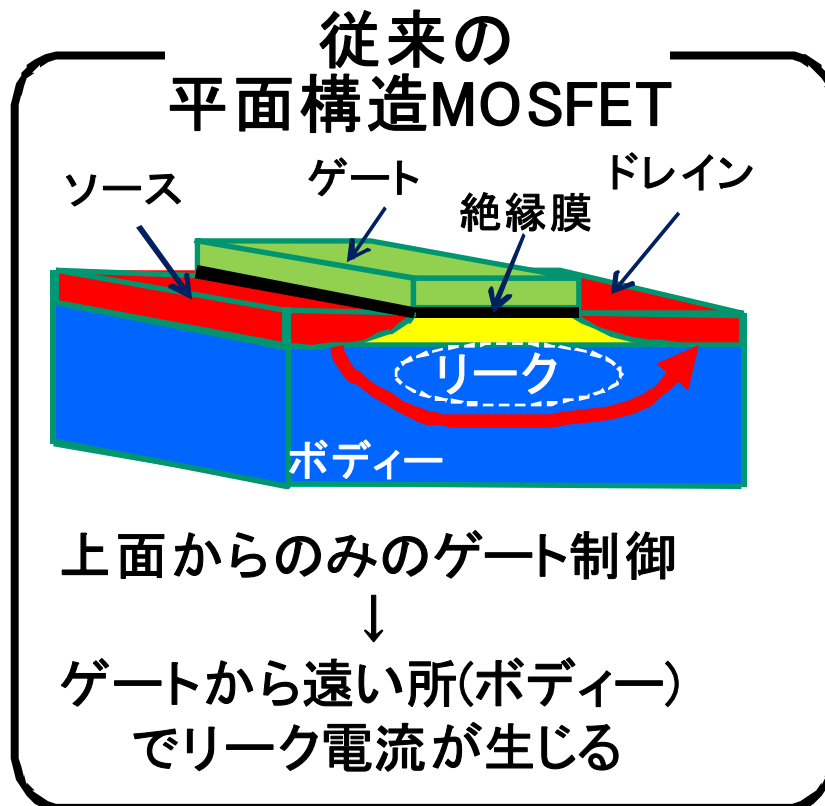
Original paper of Moore's Law



Original note of Moore's Law

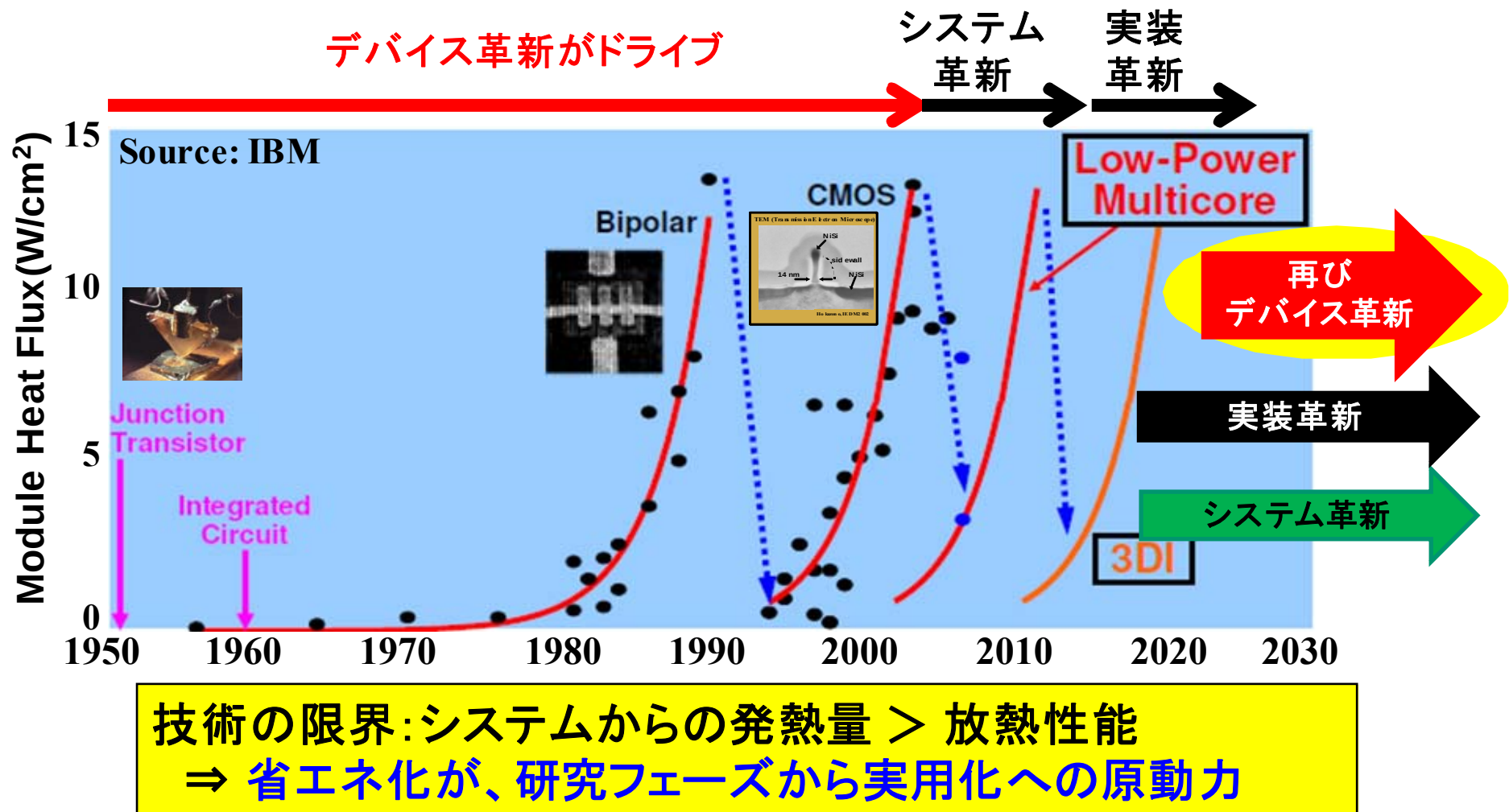
With scaling, we keep improving the performance of VLSI.
⇒ However, our situation is some what different.

ムーアー法則による進展を阻む壁：消費電力の壁

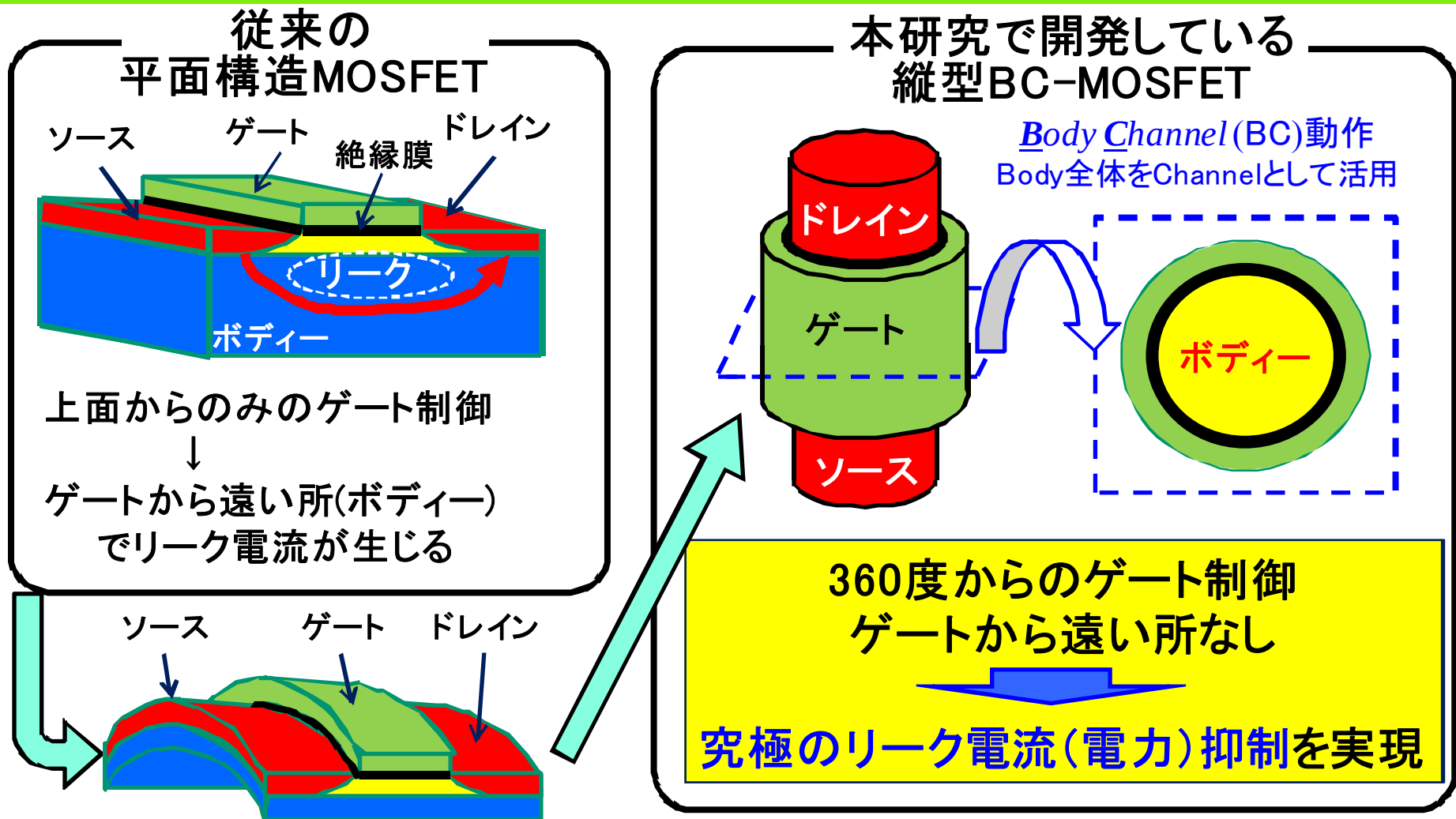


微細化に伴うリーク電流により、指数関数的に待機電力が増加
⇒ 消費電力の課題: システムからの発熱量 > 放熱性能

再びデバイス技術で、IoT社会を支える省エネシステムを！



縦型BC-MOSFETによる飛躍的な低電力集積回路の実現



※JST ACCEL「縦型BC-MOSFETによる三次元集積工学と応用展開」研究代表者:遠藤哲郎、PM政岡 徹

Paradigm Shift from CMOS to X on CMOS!

CMOS @ Today's Platform

Paradigm shift

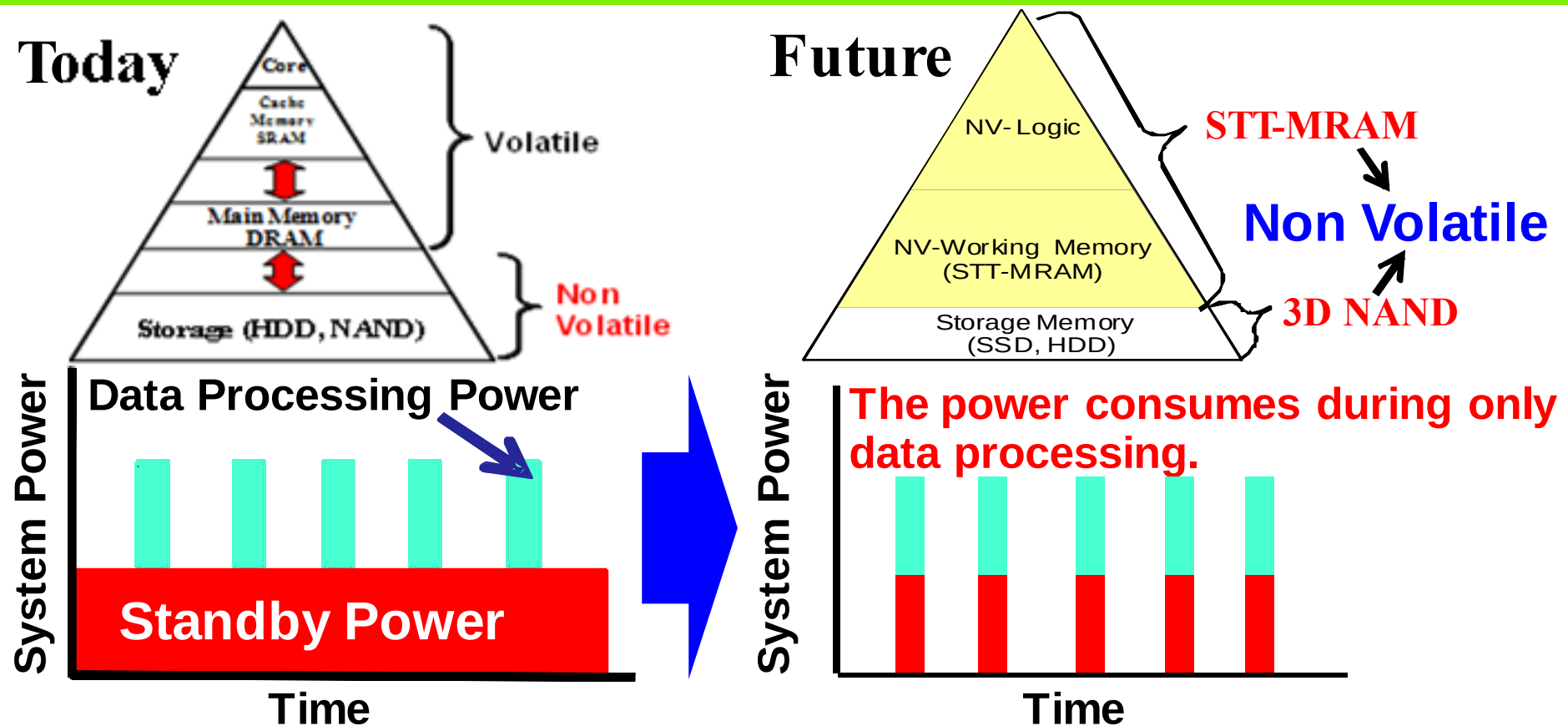
X on 3D—CMOS @ Future Platform

What is the most suitable for X?

NV-Logic

with CMOS/MTJ Hybrid Technology for Future Low Power IoT System

Ultra Low Power System with NV-Computer Systems



NV-Computer system with STT-MRAM & 3D NAND opens up the way to realizing zero standby power electrical system.

T.Endoh, ITRS Emerging Research Memory Technologies Workshop 2010, T.Endoh, STS in SEMICON Korea 2010 (Invited)

Variety of Spintronics based NV-LSI

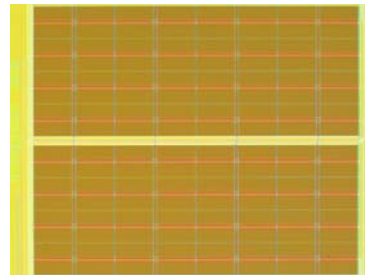
@ Tohoku University with 300mm Process including **RIE Process**

For DRAM



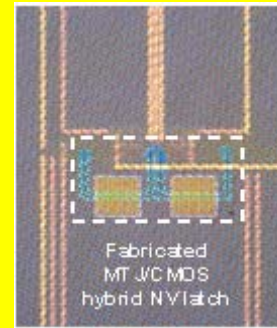
**32Mb STT-MRAM
(VLSI2009)**

For SRAM

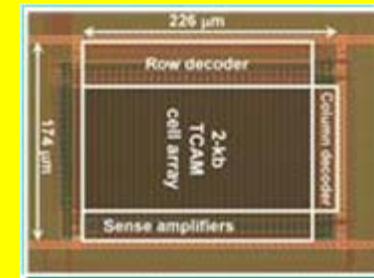


**1.5nsec / 1Mbit
Embedded STT-MRAM
(VLSI2013)**

NV-Logic



**600MHZ
MTJ/CMOS Latch
(IEDM 2011)**



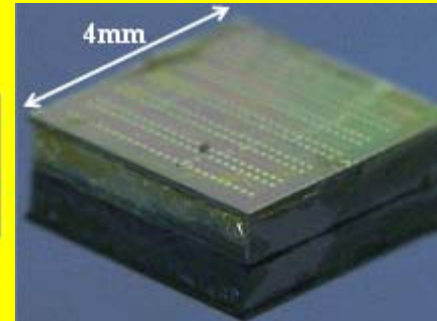
**Nonvolatile TCAM
(VLSI2011)**



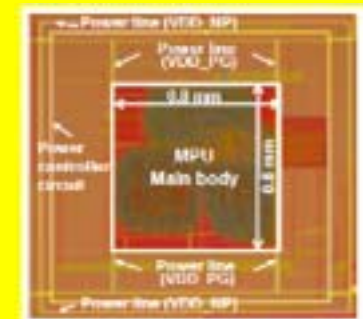
**Nonvolatile GPU NV-recognition processors
(ISSCC 2013)**



500 uW@640X480



**Nonvolatile FPGA
(VLSI2012)**



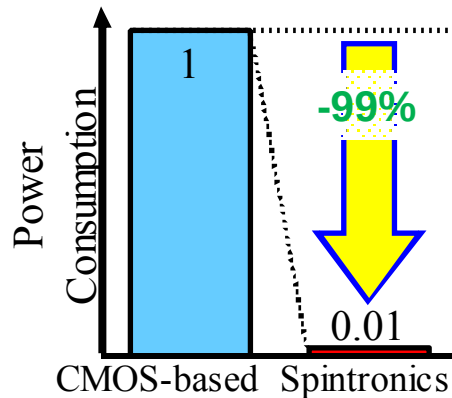
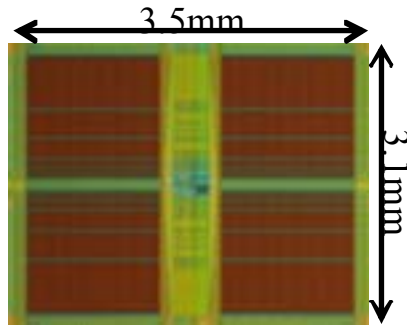
**Nonvolatile
32b MPU
(SSDM2014)**

Power Reduction is realized in many kind applications

2013 Symposium. on VLSI

NV-TCAM

Non-volatile VLSIs for search engine for big data



$$1 \times \frac{1}{100} \times 1 \leq \frac{1}{64}$$

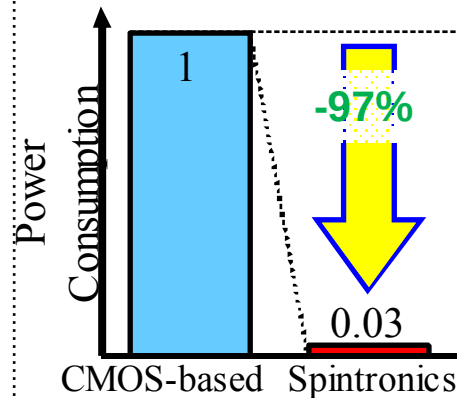
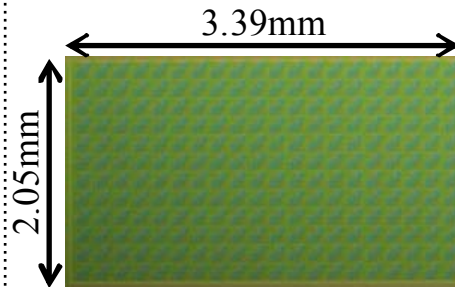
(delay) (power) (area)

※in case of used for full text search system

2013 IEICE Electronics Express

NV-FPGA

Non-volatile field programmable gate array (FPGA)



$$1 \times \frac{1}{32} \times \frac{1}{2} \leq \frac{1}{64}$$

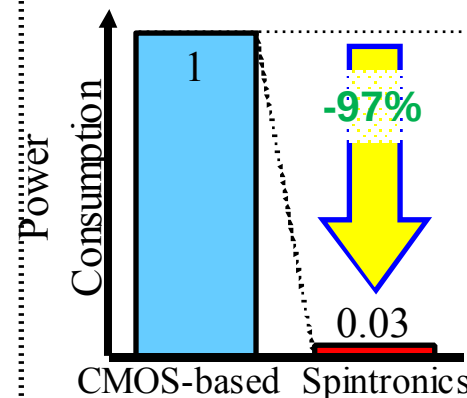
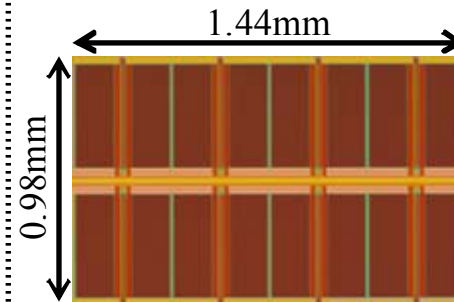
(delay) (power) (area)

※ in case of implementation to a typical application

2012 Symposium. on VLSI

STT-MRAM

Non-volatile cash memory embedded in high speed CPU



$$\frac{1}{1.5} \times \frac{1}{29} \times \frac{1}{1.7} \leq \frac{1}{64}$$

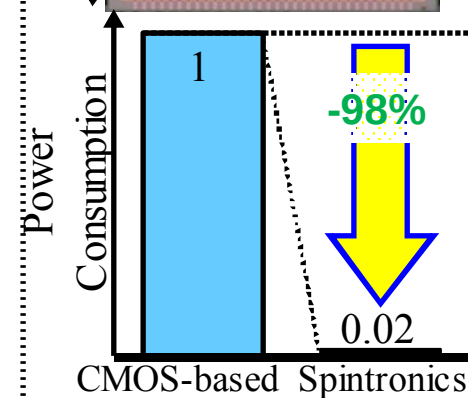
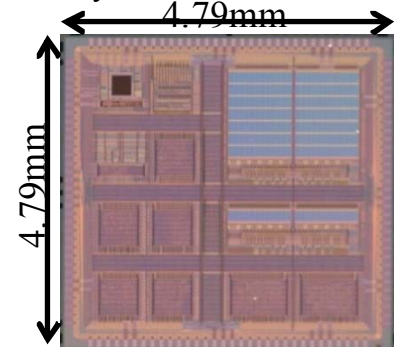
(delay) (power) (area)

※in case of typical cash operation

2014 IEEE ISSCC

NV-MCU

Non-volatile microcontroller for battery-driven sensor device



$$1 \times \frac{1}{80} \times 1 \leq \frac{1}{64}$$

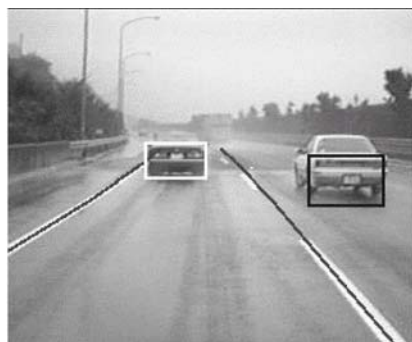
(delay) (power) (area)

※in case of use in a wireless sensor device

人間相当の判断ができる エッジシステム創出へのチャレンジ

NV Brain-Inspired VLSIs with CMOS/MTJ Hybrid Technology

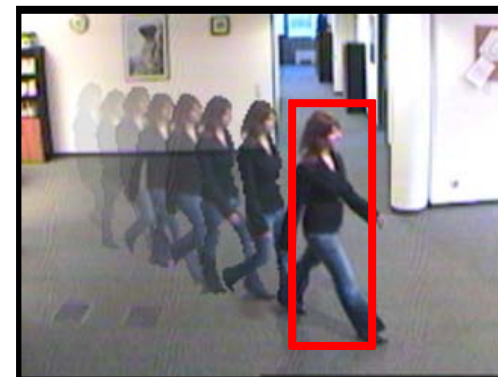
更なる高度な判断には、脳型LSI(ハード)が必要



Full Automotive Driving



Gesture Recognition



Object Tracking



Big Data System



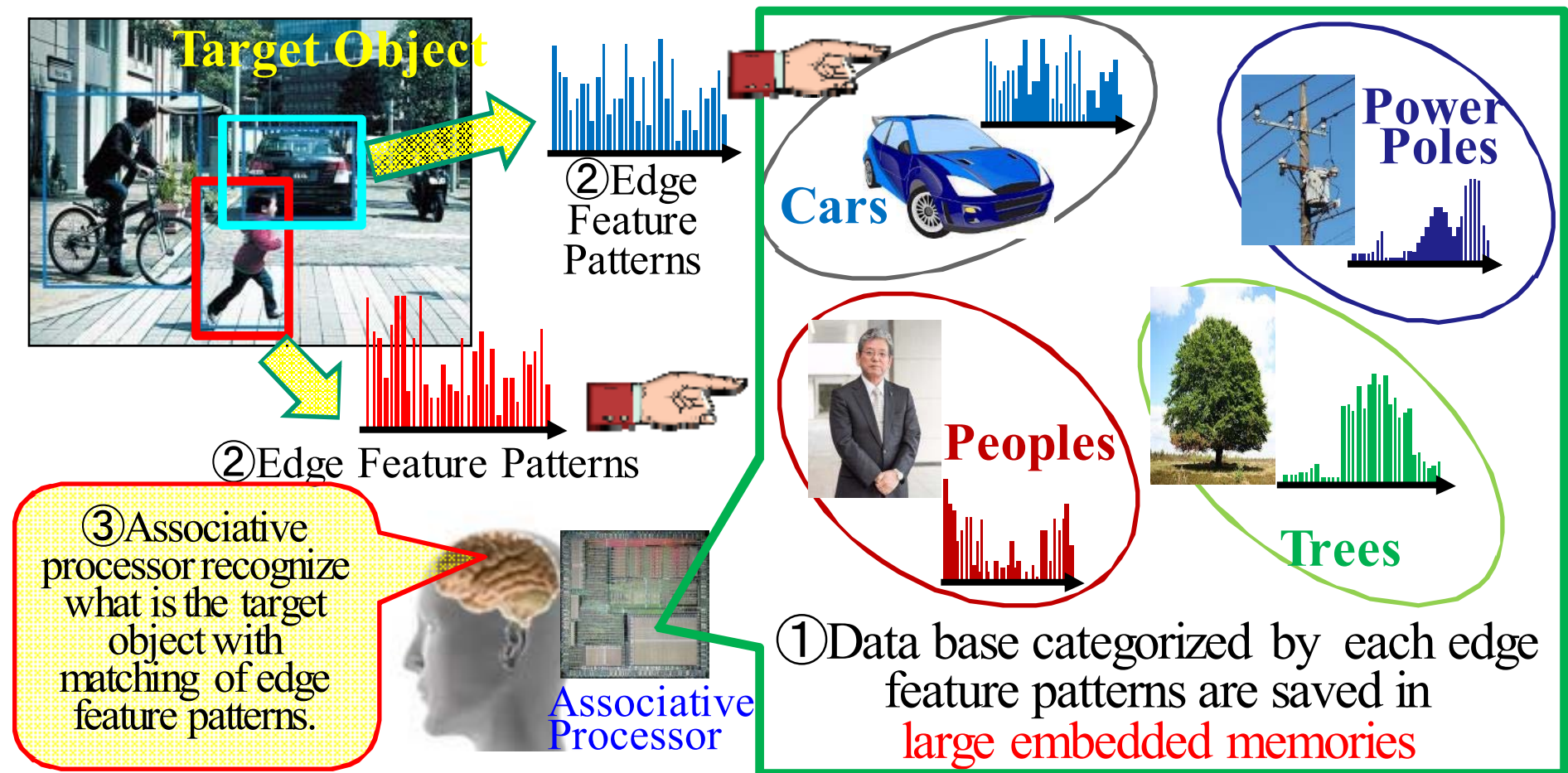
AI System



Intelligent Robot

Real-time learning & recognition is very important !
→ Therefore, brain-inspired LSI's are highly desired.

脳型エッジコンピューティングでの課題：消費電力の抑制

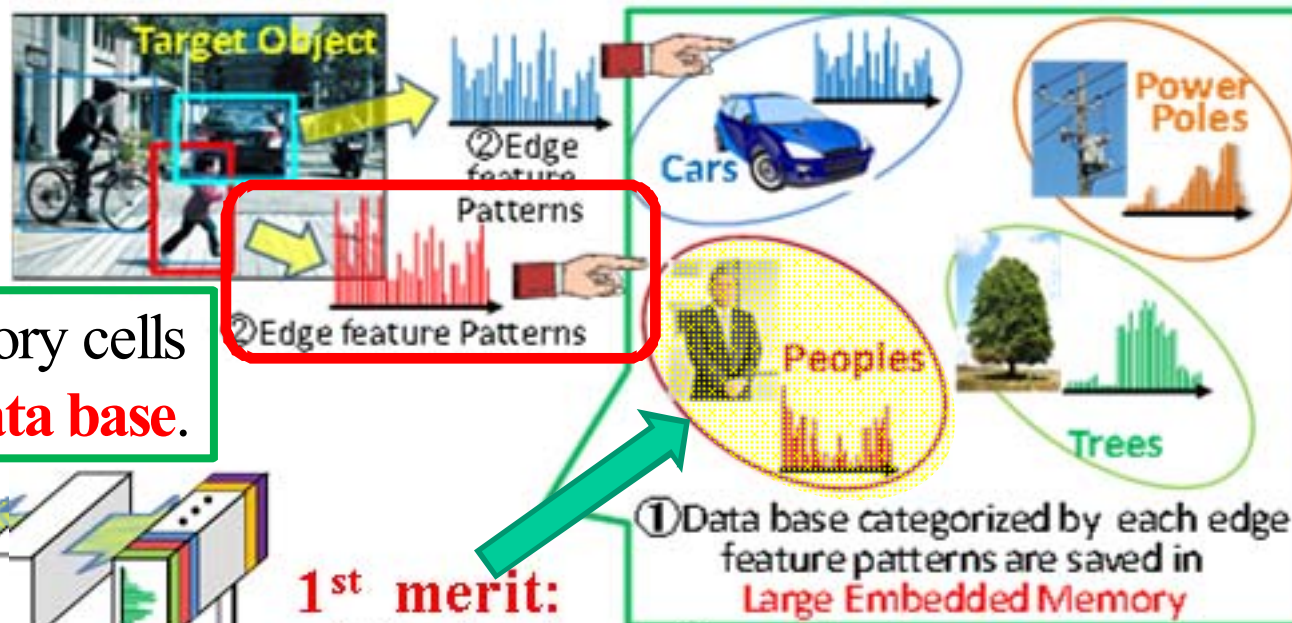
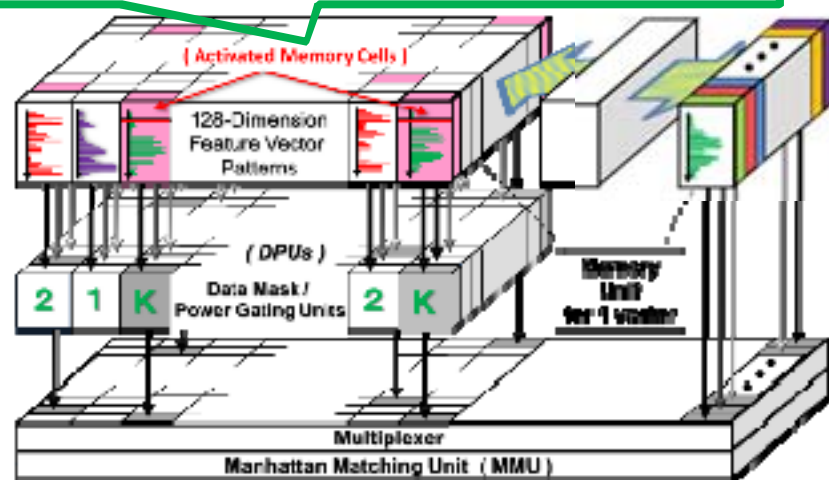


To improve accuracy of recognition processing, bigger data bases are needed.
→ The power consumption of big data base with large size embedded memory of associative processor is most important issues.

我々の提案アーキテクチャにより実現される低消費電力

In the case of recognition of people target

Number of active memory cells is **only 0.05% of the data base.**

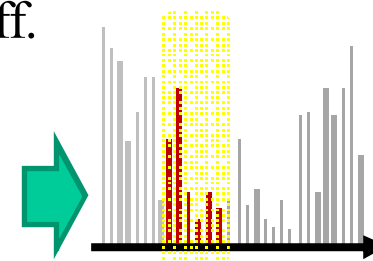


1st merit:

Only data base of peoples is active, other data bases are off.

2nd merit:

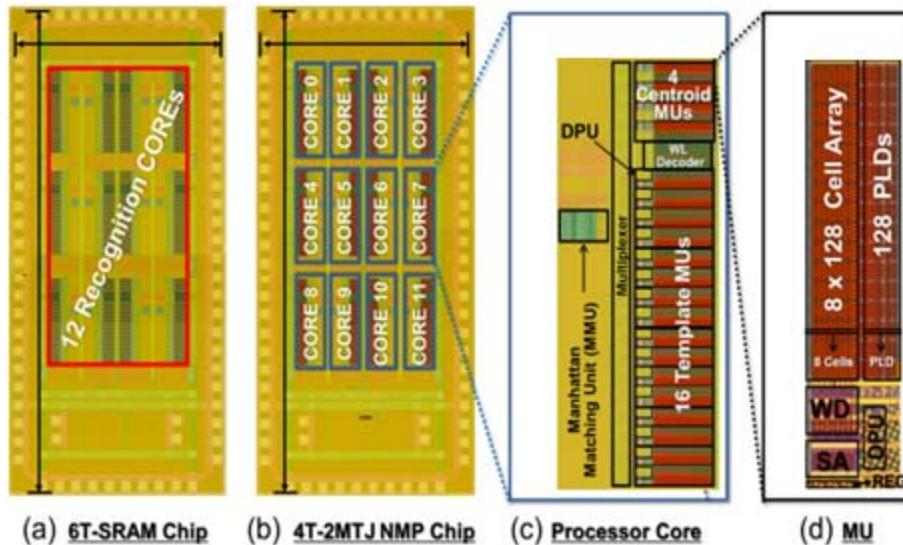
Only searching edge feature patterns are active.



Thanks to two-level IPG with p-MTJs, developed associative processor achieves not only zero standby power but also minimized operation power.

Yitao Ma, et. al, JJAP, Vol. 55, No. 4S, pp. 04EF15(11pages), 2016. @Endoh Gr. of Tohoku Univ.

試作に成功した不揮発性連想プロセッサ



Fabricated associative processor including **12 core unit processor**.

Specification of Proposed Associative Processor

Process	90nm-CMOS/70nm-MTJ
Core Size	0.3mm x 0.9mm
Frequency	20 MHz
Supply Voltage	0.9 V
Average Operation Power	<u>600 μW</u>
Throughput (cycles/vector)	16

Fabricated associative processor achieves average operation power of 600 μ W @20MHz under Vcc of 0.9V.

Yitao Ma, et. al, JJAP, Vol.55, No. 4S, pp. 04EF15, 2016
@Endoh Gr. of Tohoku Univ.

Conclusions

Paradigm Shift for IoT/AI System

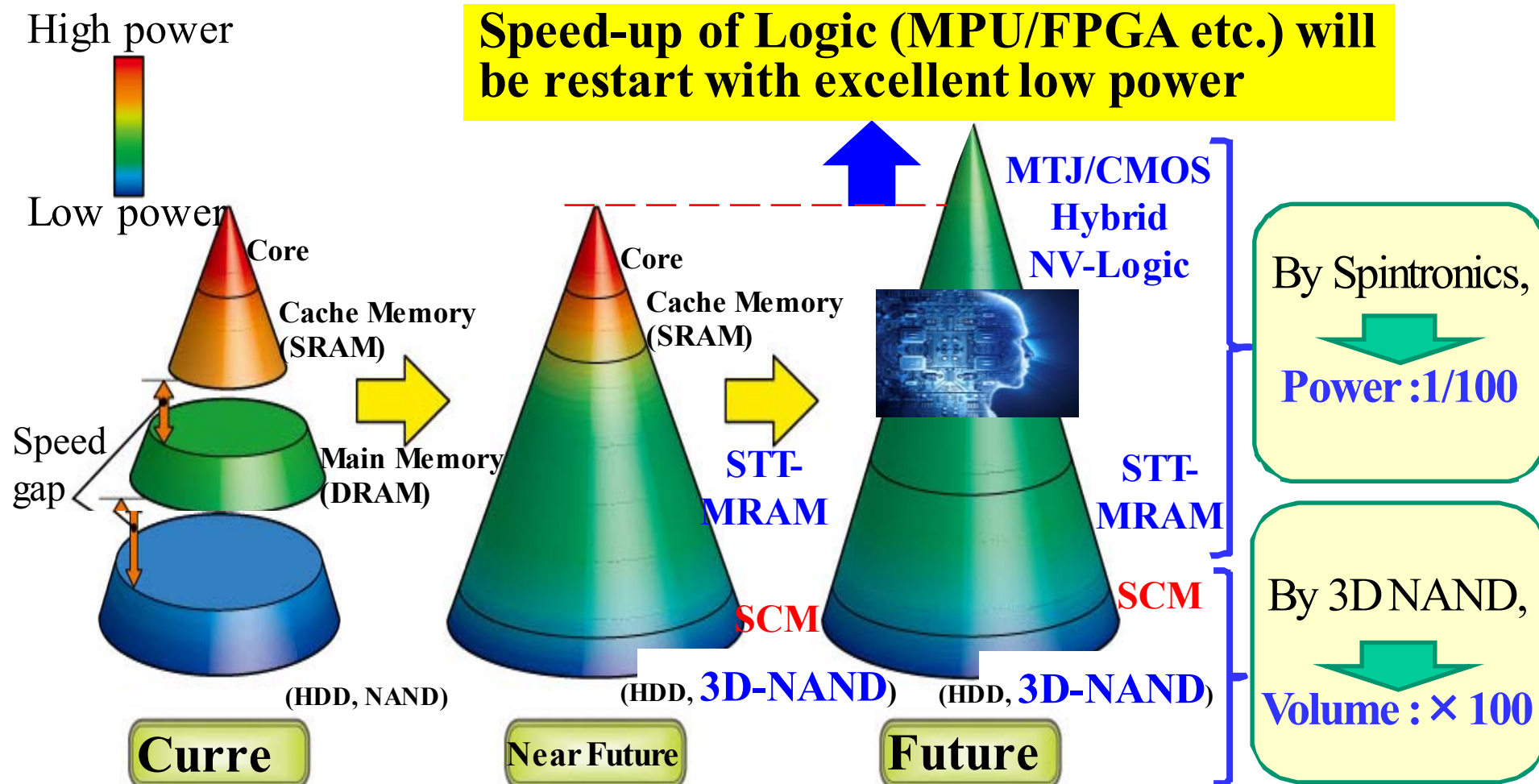
CMOS @ Today's Platform

Paradigm shift

Spintronics on 3D—CMOS
@ Future Platform

Paradigm Shift of VLSI by Spintronics and 3D Technology

- The order of magnitude higher performance will be achieved.-



NV-Computer system with STT-MRAM and High volume storage System with 3D NAND opens up the way to realizing zero standby power electrical system.

東北大学 国際集積エレクトロニクス研究開発センター

Spintronics/3D-CMOS Hybrid Chipを開発できる世界で唯一の公的研究拠点

- 初の100%民間拠出による産学連携拠点
- 世界初となる大学が運営する300mmプロセスラインを整備
- 国際的なオープンイノベーションの場(EU:IMEC、米:Albany、日本:CIES)
- 東北大学と仙台市の協定に基づくIT産業版の復興推進計画
⇒宮城県・仙台市様のご支援により民間投資促進特区に認定

2012年10月発足



開所記念行事(2013年11月27日)



村井
宮城県知事

里見
総長

遠藤

第14回産学官連携功労者表彰「内閣総理大臣賞」を受賞



鶴保内閣府特命担当大臣
(科学技術政策)より
表彰状を授与される遠藤センター長



内閣総理大臣賞受賞関係者

「高性能不揮発性メモリとその評価・製造装置の開発、および、 国際産学連携集積エレクトロニクス研究開発拠点の構築」

受賞者： 国立大学法人東北大学
国際集積エレクトロニクス研究開発センター センター長 遠藤 哲郎
東京エレクトロン株式会社 常務執行役員 鄭 基一
キーサイトテクノロジー・インターナショナル合同会社 執行役員 山本 正樹

Please check CIES's renewal HP!



東北大学 国際集積エレクトロニクス研究開発センター
Center for Innovative Integrated Electronic Systems



ホーム

センター概要

CIESコンソーシアム

論文など

公募情報/公開情報

Announcement of

3rd CIES Technology Forum

March 21-22, 2017
2017年3月21日(火)・22日(水)

- ▶ DAY 1 International symposium
- ▶ DAY 2 CIES progress report

Station Conference Tokyo, Sapia Tower 5F
ステーションコンファレンス東京 サピアタワー 5F



センター概要

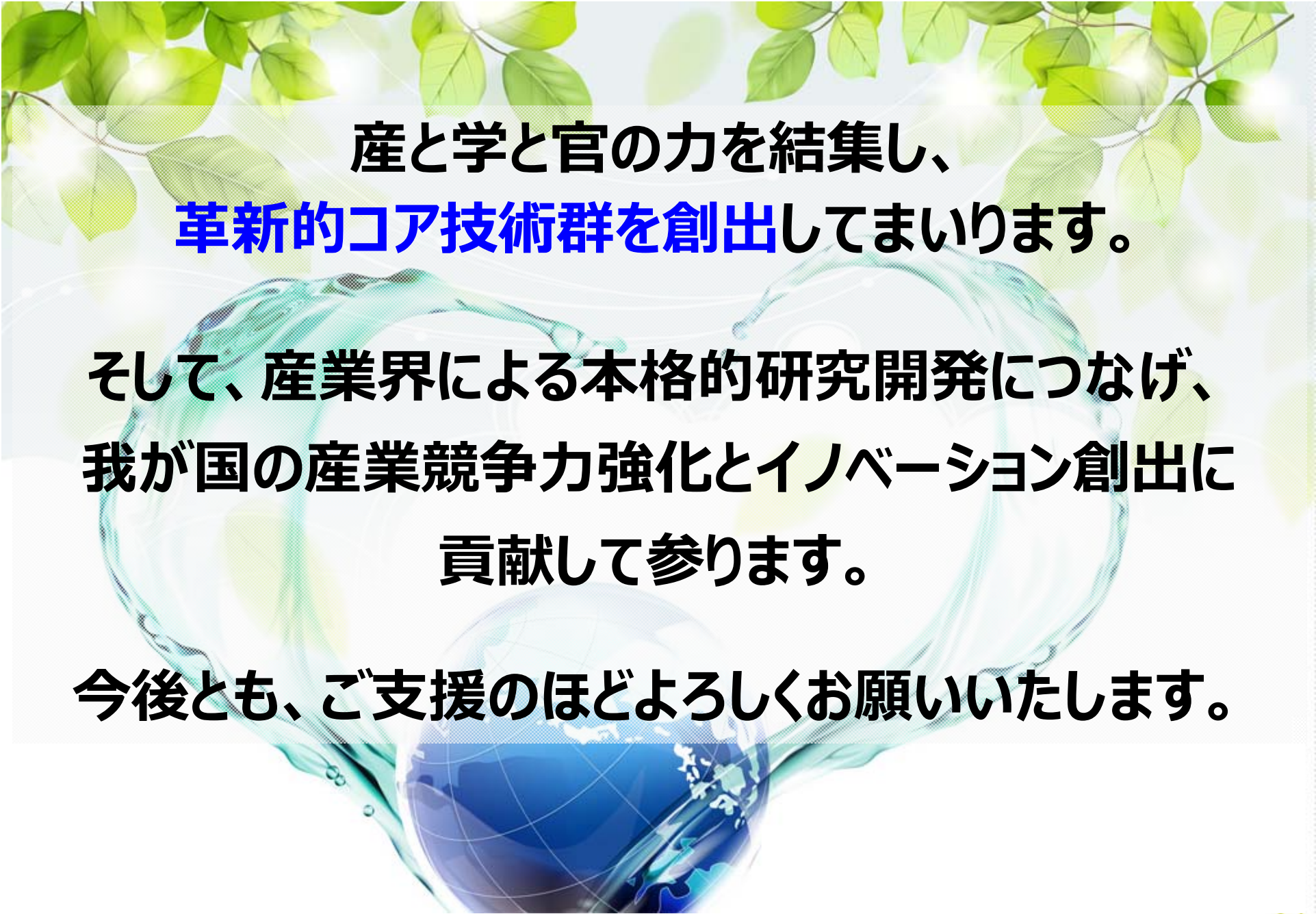


CIES Technology Forum



教員・研究員公募





**産と学と官の力を結集し、
革新的コア技術群を創出してまいります。**

**そして、産業界による本格的な研究開発につなげ、
我が国の産業競争力強化とイノベーション創出に
貢献して参ります。**

今後とも、ご支援のほどよろしくお願いいたします。