

2.6.1 微細加工・三次元集積

(1) 研究開発領域の定義

シングルナノメートルレベルまでのシリコンの微細加工プロセスの高度化および三次元集積を実現する研究開発領域である。現状のフッ化アルゴン (ArF) 液浸露光技術と多重露光技術の高度化に加え、EUVリソグラフィ (Extreme ultraviolet lithography)、ナノインプリント、ブロックコポリマー (block copolymer) の誘導自己組織化パターンなどの利用によるシングルナノメートルレベルの新たなリソグラフィ技術、原子層堆積・エッチング (ALD・ALE)、高アスペクト比パターン形成などの研究開発課題がある。

(2) キーワード

シングルナノ、リソグラフィ技術、露光装置、ArF液浸、極端紫外線 (EUV)、誘導自己組織化 (DSA)、ブロックコポリマー、多重露光、線幅ばらつき (LWR)、ナノインプリント、ナノインプリントリソグラフィ (NIL)、モールド、複製テンプレート、ロールtoロール、マルチビーム描画、金属酸化物系レジスト、自由電子レーザー EUV光源、ALD・ALE、選択的原子層堆積 (AS-ALD)、熱的原子層エッチング (Thermal ALE)、シリコン貫通電極 (TSV)

(3) 研究開発領域の概要

[本領域の意義]

近年はスマートフォン、パソコン、液晶テレビ、掃除ロボットなどの情報通信機器・エレクトロニクス機器の高機能化、高性能化、低消費電力化が進んでおり、これを支えているのが半導体の大規模集積回路 (LSI) の性能向上である。半導体集積回路の従来の二次元的な微細化は終焉を向かえつつあるが、ウエハーレベルで同じまたは異なる機能回路を積層して三次元構造を作ったり、複数のチップ (チップレット) を2次元 (2D) /2.5次元 (2.5D) /3次元 (3D) 実装したりする技術が登場し、トランジスタレベルにおいても複数のチャネルを積層して三次元構造化する研究開発が進められている。このようなトランジスタレベルや集積回路の性能向上は、基本的には材料の革新を含む微細加工技術、半導体プロセス技術や実装技術の継続的な進展によって牽引されてきた。今後はトランジスタレベルおよびウエハーレベル、チップレベルでの三次元構造化が重要になり、それらを実現するためのシングルナノメートルレベルの微細加工技術、ウエハーレベルの三次元集積技術、チップレベルでの高密度三次元実装技術といった基盤技術の研究開発が重要になる。

この研究開発領域では、シングルナノメートルレベルのパターン形成技術としてEUVリソグラフィを含む光リソグラフィ、ナノインプリント、ブロックコポリマーの誘導自己組織化、ウエハーレベル/チップレベルの高精度な三次元構造形成技術として、ALD・ALE、高アスペクト比パターン形成、三次元チップ実装技術について記載する。

[研究開発の動向]

• 論文・特許動向

領域全体の論文数はやや減少している。米欧は2017年頃から減少し、中国は増加して欧米に追いついた。韓国はほぼ一定、台湾は減少傾向から増加に転じ、日本は減少が続いている。日米欧の論文数シェアが減少しているのに対し、中国やインドのシェアが増加しており近年の論文数の増加率も高い。論文の質を表すTop1%論文数・Top10%論文数で中国が増加し、近年では欧米に匹敵している。国際共同研究の特徴として、多くの国で共著率のトップは米国だが、米国よりも中国との共著率が高い国 (英国、オーストラリア) もある。中国の論文執筆者数が大きく増加し欧米と同レベルになっている。一方、日本は減少傾向が止まらない。領域全体の特許ファミリー件数は単調に増加している。日本と韓国のシェアが低下する一方、中国のシェアが大きく増加し米国を逆転した。ただし、米国はPatent Asset Indexのシェアにおいてはトップの座にある。

Patent Asset Indexトップ3のオーナーは台湾（TSMC：製造）、オランダ（ASM：装置）、米国（Lam Research：装置）であり、半導体製造プロセスに関わる特許を確実に取得している。（詳細は「研究開発の俯瞰報告書 論文・特許データからみる研究開発動向（2024年）」を参照）

• 光リソグラフィ

微細加工技術の中核を担う光リソグラフィ技術は、使用する光の短波長化、縮小投影技術、近接効果補正、液浸技術など光学系やマスクの工夫、レジスト材料の改良、基板のケミカルメカニカルポリッシング（Chemical Mechanical Polishing: CMP）など様々な技術を取り入れ、波長193 nmのArFエキシマレーザー光による液浸リソグラフィを用いた多重露光技術により、10 nm 台の回路パターンを持つLSIが量産されるようになった。

ArF液浸リソグラフィによる多重露光技術では、波長限界より微細なパターン形成を可能にする反面、製造コストの高さが課題となってきた。そこで、さらに波長が短いEUV光源を用いたリソグラフィの技術開発が進められ、2019年には波長13.5 nmのEUVリソグラフィの量産技術適用が開始された。TSMCとSamsungがスマートフォン用16 nm（7 nm世代）ロジックデバイスへ適用し、2020年と2021年にはそれぞれ5 nm世代と3 nm世代のロジックデバイスの量産に使われた。EUVリソグラフィ技術の研究開発項目としては、①EUVレジストパターンおよびパターン形成プロセス技術開発、②EUVマスクの開発、③EUV光源の開発があり、2 nm世代以降の量産展開に向けて研究開発が続けられている。

EUVのレジスト材料に関しては、高解像、高感度、低LWR、低アウトガスのEUV用レジスト材料が要求される。LWRの主要因はレジスト材料そのものにあると考えられ、化学増幅系レジストの場合には、酸発生材（photoacid generator: PAG）の不均一分布がLWRの主要因であることが明らかにされている。近年、軟X線の共鳴散乱法でPAG等のレジスト構成材の凝集状態を観測し空間的なばらつきを把握できるようになった。さらなる高感度化、高解像度化を可能にするレジスト材料として、金属酸化物系レジストの研究開発が進められている。これは金属錯体を骨格にした2～3 nm程度の粒子サイズを有する材料であり、EUV光に対して大きな吸収断面積を有するHf、Sn、Zr、Zn、Te等の金属が用いられている。金属含有レジストの実用化に向けた課題は保存安定性とプロセス安定性であり、特に大気中の水分に大きく影響されることが問題となっている。一方で、ALDを用いたレジスト膜の形成および溶液による現像に代わって、ドライエッチングによるパターン形成手法を用いるドライレジスト材料・プロセス技術が欧米から提案されている。これは、日本のレジストメーカーが市場を拡大してきた従来のレジスト材料・プロセスの牙城を崩そうとする意図が見られる。

マスク開発では、レチクル基板洗浄技術、多層膜成膜技術の開発に加えて、マスク欠陥検査・修正技術、ペリクル技術の開発が進められている。量産用露光装置では、光学系やマスク表面への炭素堆積を防止するために真空中に水素ガスが導入されているが、これにより高強度EUV露光環境下ではマスクの多層膜や吸収体、ペリクル、レジストが水素化され、微細パターン形成に大きな影響を及ぼす。このため、水素環境下での高強度EUV照射によるマスク材料の水素脆性の加速試験や、実際の露光環境に耐えるマスクの開発が進められている。

EUV光源については、高スループットを維持するため光源のさらなる高強度EUV光が安定的に生成可能な光源開発が進められた。この中で、LPP（Laser Produced Plasma）型のEUV光源ではASML Cymer社が性能面で有利な位置にいる。一方、マスク検査用のEUV光源ではDPP（Discharge Produced Plasma）型のEUV光源開発を進めてきたウシオ電機が有利な位置にいる。

• ナノインプリント

ナノインプリントは原版となるモールド（金型）を型押しして数十nm単位の3Dパターンを一括加工する技術であり、従来技術と比較して大幅な低コスト化が期待できる。米国と日本では最先端の半導体集積回路製造への応用が進められており、有効エリア30 mm角程度のモールドを用いたステップアンドリピート方式

のパターン形成技術の開発が行われている。重ね合わせ精度は基本的にモールド寸法が小さいほど有利であるが、半導体応用では非常に高い精度が要求されるため、これまでに加圧による倍率補正や、硬化光とは異なる波長の光をウエハーに照射しウエハーを所望の形状に微小変形させることで高次補正を行う機構も装置に導入されている。米国の大学ではプリンストン大、ミシガン大、テキサス大が歴史的に強い。企業ではキャノンナノテクノロジーズが日本のキャノンと共同で半導体用のナノインプリントステッパーの開発を続けている。日本では、大日本印刷がキャノンのナノインプリントステッパー用のモールドを開発し、キオクシアが四日市工場 NAND 型フラッシュメモリの製造プロセスへの導入を始めている。

半導体集積回路製造以外の応用では、ロール to ロールのナノインプリントの研究開発が世界的に行われている。例えば、欧州はナノインプリントによる光学デバイスの製造に力を入れている。この方法では、200–300 mm ウエハー寸法のモールドを利用しウエハー一括でパターンを形成する。ウエハー一括用のモールド作製では、EVG770NTなどのステップ&リピートによるウエハーサイズモールドの作製を行う装置が市販され、ウエハーサイズモールドの作製サービスも始まっている。

• DSA 技術

ブロックコポリマーを用いた DSA 技術に関しては、欠陥低減が最大の課題である。また、さらなる高解像度化に向けて、相互作用パラメータ (χ) の大きな高 χ 材料の開発も重要である。実用化に向けた技術課題として、像形成シミュレーション技術の高度化、形成された像の評価・検査技術の高度化などがあげられる。最近では Intel 社や IBM 社が EUV リソグラフィにより形成したガイドパターンを用いて DSA を適用することで、低 LWR のパターン形成を実証している。

• ALD・ALE 技術

ALD 技術は、2007 年に先端 CMOS デバイスへの高誘電率 (High-k) ゲート絶縁膜の導入を契機に活発化し、2009 年頃からは ArF 液浸リソグラフィの自己整合ダブルパターンニング (Self-Aligned Double Patterning: SADP) のスペーサー用としてプラズマ ALD による SiO₂ 成膜技術として用いられている。この SADP 技術は、2010 年代の後半より Flash や DRAM 等の微細パターンニングに用いられ、現在では SADP を 2 回繰り返すことで密度をさらに倍増することが可能な Self-Aligned Quadruple Patterning (SAQP) も実用化されている。研究段階では SADP を 3 回繰り返す Self-Aligned Octuplet Patterning (SAOP) も検討されているが、プロセスステップが大幅に増加して高コストなプロセスとなるため、SAQP 以降は EUV リソグラフィが本命視されている。DRAM 向けキャパシタ材料としても以前より High-k 膜が ALD で成膜されているが、さらに比誘電率を増加させる目的で多元系材料の ALD 成膜が必要になっており、今後もこの技術開発の方向性は継続すると予想される。また、これまで半導体デバイスで用いられていなかった新材料の ALD も学会では活発に議論されている。

Area-Selective ALD (AS-ALD) が継続的に注目を集めている。AS-ALD は現状では BEOL (Back End of Line: 配線工程) の Low-k 膜上の Al₂O₃ 保護膜の成膜に量産レベルで用いられており、Cu 上には堆積せず Low-k 絶縁膜上のみ Al₂O₃ を成膜させることで配線の信頼性を確保している。選択成長は CVD 等でも昔から検討がなされているが、AS-ALD も同様に成長の選択性に最大の課題があり、半導体デバイス製造には用いられていない。imec がコンソーシアムとして業界内での存在感を示しており、特に AS-ALD を中心とする ALD の分野で活発に对外発表している。

ALE 技術も、従来のドライエッチングよりも SiO₂ と SiN との選択比を高くした加工ができるため、2010 年代後半より活発化し、ロジックデバイスの SAC (Self-Aligned Contact) 工程から使用されはじめた。ALE は処理時間が長いという課題があるため、コストが重視されるメモリデバイスでは採用が見送られているが、最先端のロジックデバイスでは数 nm の制御が要求されるため、今後も熱的原子層エッチング (Thermal ALE) 技術といった新たな ALE 技術の開発やその適用が拡大すると考えられる。

・高アスペクト比パターン形成技術

ロジック回路とメモリ回路、アナログ回路、イメージセンサー回路といったように異種の回路をウエハーレベルで三次元集積化する技術はすでに製品にも使われており、そこではSi貫通電極を形成するためのTSV（Through-Silicon Via）加工が非常に重要な技術になっている。TSVについては従来の延長戦上で技術開発が進められており、新たな進展はみられない。一方、3D NANDフラッシュメモリやDRAMで用いられる絶縁膜の高アスペクト比加工は極めて難易度が高く、ドライエッチングの分野ではALEとならび注目を集めている。現状では、アスペクト比50以上の構造を形成する加工が要求されており、最先端の重要な研究開発課題となっている。

・三次元チップ実装技術

半導体チップの三次元集積の要素技術の研究開発は1990年代から行われ、2000年を過ぎたあたりからメモリやセンサー製品への利用が始まり、2000年代後半からロジックを含めた展開が活発化してきた。チップ外接型型の三次元集積技術にはパッケージ積層（PoP）やベアチップ積層（CoC）が含まれ、ベアチップ積層ではワイヤーボンディングやフリップチップを用いたものが存在している。当時はコントロールチップやSRAMなど特定用途から用いられ、ロジックチップを組み合わせでシステムインテグレーションとしての選択肢が広がった。その後、特定領域からベアチップ流通や組み合わせが拡大する方向と、半導体チップの微細化・ウエハー大口径化に伴う異種回路集積のプロセス管理が技術的・経済的にも困難になる方向、さらにはTSMCなどファウンドリへのチップ製造集中の方向などから、小型化・システム化された半導体パッケージとしてチップレットを利用する活動が活性化している。

（4）注目動向

【新展開・技術トピックス】

・光リソグラフィ

EUVリソグラフィでは、LWRおよびStochastic欠陥の低減が特に注目されている。1つのチップ上に10 nmレベルのパターンを数十億個以上形成すると、統計的ゆらぎに伴う欠陥（stochastic defect）が顕在化してくる。これまでEUV光の入射フォトンのゆらぎ（ショットノイズ）が原因とみられていたが、2019年のSPIE Advanced Lithography国際会議でレジスト材料そのものに原因があるとの見解が示され、レジスト構成材の空間的なばらつきを測定し低減を目指す研究が進められている。また、レジストのパターン形成では線幅が微小になるとレジストパターンが倒れやすくなるため、レジスト薄膜の構造解析が重要であり、下地等の密着性改善に向けた解析が進められている。

・ナノインプリント

半導体製造用のナノインプリントステッパに関しては、年々着実に性能が向上している。高次補正に加えてインクジェットによる樹脂配置の適正化によるパターン配置精度の向上、下層膜によるHe吸収を利用した樹脂の高速充填によるスループットの向上、インプリント時のパーティクル発生徹底的な抑止によるモールドの長寿命化などが図られている。また、Heに代わるガスとしてCO₂の適用も試みられている。

半導体製造用のステップアンドリピート用のモールド作製では、マルチビームの電子ビーム描画装置が利用できるようになり、マスターモールドの作製に適用されている。マスターモールドの欠陥修正技術や検査技術も開発されている。

ウエハー一括のナノインプリントでは、大量生産に向けた300 mm FOUP（Front-Opening Unified Pods: ウエハーの工程内搬送に用いる密閉型容器）を備え完全自動化されたUV-NIL装置が市販されている。この応用としてはAR（Augmented Reality：拡張現実）/MR（Mixed Reality：複合現実）用デバイスがあり、屈折率1.9の高屈折率ガラスウエハーと屈折率1.9の光硬化樹脂を用いてAR/MR用導波路を300

mm ガラスウエハー上にナノインプリントで作製している。また、サブ波長構造で光学機能を発現させる Flat Optics という新しい分野もある。光学素子の厚みが薄くなるだけでなく従来の光学素子では実現できなかった機能を付与することができるために注目され、ナノインプリントの新しい応用先としても魅力がある。

ウエハー一括用のモールド作製では、EVG770NTなどのステップ&リピートによるウエハーサイズモールドの作製を行う装置が市販され、ウエハーサイズモールドの作製サービスも始まっている。大面積モールドの作製では電子ビーム描画はコスト的に見合わないため利用されてこなかったが、低コストの超高スループット電子ビーム描画装置が開発され、電子ビームによるウエハー寸法のモールドへのナノパターン作製の道が開けた。

• ALD・ALE 技術

デバイスサイズの縮小に伴い、数 nm レベルの膜厚を持つ極薄膜の膜質をバルクの膜質と同様に制御する課題が生じている。今後の ALD の膜質制御では、これまで「界面」と考えられていたレベルの極薄膜 (< 5 nm) の膜質制御の重要性がますます高まる。これまでの半導体デバイスでは用いられていなかった新材料だけでなく、SiO₂ や SiN、High-k 材料といった使い慣れた材料にとっても新たな検討課題になっている。

ALE の最大の課題は処理時間の長さであり、高コストなプロセスであることからデバイスメーカーでの使用が敬遠されていた。しかし、近年では、高スループット化に向けた研究が報告されており、実用化に向けて技術が進展している。また、処理時間が長いと基板へのイオンの侵入が多くなりダメージの蓄積が懸念されるが、プロセスシーケンスや条件設定の工夫により、低ダメージ化の検討がなされている。超高選択比加工を目的に、表面処理によって吸着種を所望の材料上のみに吸着させる手法も、近年新しく提案されている。これは、表面機能化 (Surface functionalization) とよばれ、コロラド鉱山大 (Colorado School of Mines) のグループによって積極的に報告されている。超高選択比化を実現する目的で、表面処理や新しいガス系の研究も今後期待される分野である。Thermal ALE の検討も①高アスペクト比構造への適用、②超高選択比加工への適用、③難エッチング材加工 (Cu、Ni、Co 等) への適用を目指して活発化している。これまでの ALE は Ar イオンによる反応生成物の脱離が主であったのに対し、熱脱離させる点が特徴である。さらに、光を用いて反応を促進させる新しい ALE の方法も提案されるなど研究開発が活発化している。

• 高アスペクト比パターン形成技術

3D NAND フラッシュメモリや DRAM で用いられる絶縁膜の高アスペクト比加工が注目されている。従来のエッチング装置では、処理の途中でエッチングが停止したり、形状が変形したりする等の課題があったが、超高パワーの装置開発により、アスペクト比 50 程度の加工が可能になっている。しかし、さらなる高アスペクト比への要求も高く、新しいガス系やマスク材料の提案などが切望されている。また、微細なパターン内での粒子挙動をシミュレーションする技術も重要になっている。さらに、使用されるガス系が堆積性のガスであることから、チャンバー内壁に多くのポリマー堆積物が付着してプロセス変動要因となっていることから、チャンバー内のドライクリーニング技術の開発も強く求められている。

• 三次元チップ実装技術

チップレットを用いた 2.5D、3D 集積の実装技術領域が活発化している。技術的には以前から取り組まれていたベアチップ実装や 2.5D と呼ばれるパッケージ技術であるが、ベアチップ自体の接続インターフェースの規格化や、パッケージ基板におけるデザインルール差への対応などが行われて組み合わせの自由度が拡大され、また自社の開発範囲外での技術進展を促すようになっている。

[注目すべき国内外のプロジェクト]

米国では、EUV リソグラフィ技術の開発が、2016 年より 5 年間で 5 億ドル支出し、Global Foundries 社

とニューヨーク州立大Albany校（SUNY）で進められた。また、Intel社、Samsung社、TSMC社、Inpria社が出資し、ローレンスバークレー国立研究所内にEUREKA研究センターが形成されている。2022年にはCHIPS法（CHIPS and Science Act of 2022）により、半導体関係の幅広い分野（半導体の製造、組立、試験、パッケージング、研究開発など）に新たに5年間で527億ドルの投資が決定された。その中で、商務省（DOC）が発足を予定する全米半導体技術センター（NSTC）は、先端半導体技術の研究と試作、労働者訓練プログラム、スタートアップ支援などを行う官民コンソーシアムを担うものとして注目されている。NSTCは2025年までに、チップレットプラットフォームの創設または資金提供を行い、スタートアップや学術機関の研究者が、より迅速にイノベーションを起こし、開発コストを大幅に削減できるようにすることや、パッケージ技術開発を行うためのNational Advanced Packaging Manufacturing Program（NAPMP）の製造拠点の設立も計画している。DARPAはプロジェクト「次世代マイクロエレクトロニクス製造（NGMM）」において、高度な3Dパッケージングによって可能となる異種材料や異種部品を統合する3Dヘテロジニアスインテグレーションの研究開発とプロトタイプ製造を行う拠点（オープンアクセス施設）の設立を目指している。

欧州では、imecやLeti等のコンソーシアムでシングルナノメートルの微細加工プロセス技術開発を継続中であり、EUV露光や電子線露光技術（EB）の開発が精力的に進められている。imecには日本、韓国、米国から多くの半導体プロセス技術者が出向し、量産型露光装置NXE-3400Bを導入して応用研究が進められている。ナノインプリント関係では、微細構造を有する光学デバイスを作製するためのパイロットラインの構築を目指したPHABULOUSが注目される。ALD・ALEに関しては、imecがコンソーシアムとして業界内での存在感を示しており、AS-ALDの分野で大手装置メーカーとの研究開発を活発に行っている。それにとともに、オランダのアイントホーフェン工科大学も、ALDやALEの分野で先駆的な研究を行っている。

国内ではEIDEC（Evolving Nano-process Infrastructure Development Center）を中心とするプロジェクトが2015年に終了し、その後の進行中の国家プロジェクトはないが、兵庫県立大学にはEUVリソグラフィの基盤技術開発を目的とした企業との共同研究の形で実質的なコンソーシアムが形成され、光学系、レジスト、マスクなどEUVリソグラフィ技術の基礎から応用まで幅広い研究開発が進められている。ナノインプリント技術に関しては、2022年度に始まったNEDO「ポスト5G情報通信システム基盤強化研究開発事業」がある。この中の「先端半導体製造技術の開発」の前工程（Beyond 2 nm）で、ナノインプリントリソグラフィ技術が先端半導体製造プロセス技術開発に利用されており、ナノインプリントによる半導体製造への活用を目指した日本における初めてのプロジェクトとして注目される。半導体の経済安全保障に関わる政策も注目される。2021年6月の経産省の「半導体戦略」や2022年5月の日米の「半導体協力基本原則」合意に沿って、Beyond 2 nmの次世代半導体の確保に向けて、Rapidusによる量産製造拠点とLSTC（Leading edge Semiconductor Technology Center）による研究開発拠点の体制が整備され、2022年度より次世代半導体プロジェクトが進められている。ここではALD・ALE技術は重要であり、本プロジェクトを通じてこれらのプロセス技術の進展が期待される。三次元チップ実装技術に関しては、材料メーカー主体の活動であるJOINT2も2021年度から2.5D実装や3D実装などの次世代半導体の実装技術や評価技術確立のための活動を行っている。さらに、NEDO「ポスト5G情報通信システム基盤強化研究開発事業/先端半導体製造技術の開発」の後工程（実装3Dパッケージ）がTSMCジャパン3DIC研究開発センターを中心に実施されており、チップの三次元実装の研究開発の進展が期待される。

（5）科学技術的課題

IRDS（International Roadmap for Devices and Systems）半導体国際ロードマップ半導体2022年版によると、2022年、2025年、2028年に、それぞれ3 nm、2.1 nm、1.5 nm世代のロジックデバイスの量産にEUVリソグラフィの量産展開が計画されている。また、研究としてはDSAではEUVリソグラフィにより形成したガイドパターンを用いて、DSAのパターン形成を行う研究が進められている。これらの微細化を進

2.6

めていくための課題として、EUVリソグラフィをはじめ他のリソグラフィに共通してあげられるのがLWRの低減、レジストのパターン倒れの抑制がある。従来のスピコート法に代わる可能性を有するCVDやALDによる新しいレジスト成膜法の検討や、従来のウェット現像に代わってドライ現像プロセスも視野に入れた研究が必要である。また、EUV光源のさらなる高出力化に向けて、自由電子レーザー（FEL）光を用いた光源の開発も重要であり、輝度が非常に高いため、レジストのアブレーションや多層膜へのダメージ、偏光の制御、コヒーレンシーの制御などの課題に取り組む必要がある。

ナノインプリント技術については、半導体応用は実用化に近づき、ロールtoロールもコストを議論するレベルにある。一方で、ウエハー一括のインプリントはレーザー描画などを用いてミクロンレベルの3次元構造を形成しているが、超高スループットの電子ビーム描画装置により50～500 nm程度の寸法のパターンを自在に描画して低コストでウエハー一括用モールドを加工できるようにしていく必要がある。ナノインプリントはバブル欠陥を抑止するために真空中で行われる場合もある。また、大気圧中であってもHeガスの特殊性を利用してバブル欠陥を抑止できるが、Heは需給状況が大変逼迫し価格も高騰しているため、今後も安定的に低コストで十分な量を確保できるかに懸念がある。このため、He代替としてCO₂や凝縮性ガス（例えば、PFP（HFC-245fa））の利用、PFPよりもEarth friendlyなHFO系のガス（例えば、CTFP（HFO-1233zd）やTFP（HFO-1234ze））の利用も今後検討していく必要がある。

ALDに関しては、極薄膜化に対応する膜質の制御と解析技術の進展が重要になる。例えばSiN膜が5 nm以下に薄膜化されると、低密度化、界面特性劣化、ピンホール形成、アイランド成長など、厚膜とは異なる膜質になることが報告されている。また、DRAMで用いられる多元系のキャパシタ材料や、二次元物質などの新たなチャンネル材料のようにこれまで半導体で使用されていなかった新材料のニーズが年々高まっており、新材料のALD技術とその基礎となるメカニズム解明も極めて重要となる。ALDにおける注目領域であるAS-ALDの課題としては、①選択成長が極めて困難（選択性不良）、②等方的な成長（マッシュルーム成長）、③ALEやWet処理と組み合わせたクラスター装置の開発、がある。low-k膜上にAl₂O₃を10 nm以下の膜厚で堆積することはできているが、厚膜で選択成長を実現することはまだ大きな課題となっている。成長領域と非成長領域での製膜遅れ時間（incubation time）の差違を利用し、サイクル時間制御によって選択成長を行うが、表面状態に大きく左右されるため、in-situでの表面状態の把握などが今後重要な課題となる。ALDの等方的な成長に起因した寸法の拡大（マッシュルーム成長）については、等方成長はALDの基本原則なので根本的な解決策は無いが、プラズマALDを用いることや、エッチングとの組み合わせの検討や、そのプロセスを可能とするクラスター装置の開発が必要である。

ALEの課題としては、①新規吸着ガスの探索、②ALEサイクル毎の表面の再現性、③チャンバー内壁との相互作用によるレート変動（特に絶縁膜のALE）、④ALEに特化した装置開発・高速加工、⑤低ダメージ化、がある。これらの課題には相互に関連するものもあり、解決策の模索が必要である。また、Thermal ALEの課題としては、①等方性加工、②新材料（特に難エッチング材料）に対応したガスケミストリーの探索、③熱脱離物の分解抑制、④装置開発、などがある。材料に応じて、最適なガスケミストリーや表面処理が異なるので、材料毎のガスケミストリーのデータベース化が強く求められる。

高アスペクト比の加工に関しては、現在のガス系や装置構成ではさらなる高アスペクト比化に陰りが見えているのが現状である。装置としては、高印加電圧化が期待される。一方で微細ホール内の粒子挙動など、メカニズム的にまだ分かっていないことも多く、メカニズム解明を並行して進めることで、新規ガス系等の提案に繋がることが期待される。また、高選択比を実現する従来のアモルファスカーボン膜に代わる新規マスク材料の選択や、装置内の効率的なクリーニングプロセスの開発など、エッチング以外の周辺技術にもまだ多くの改善の余地がある。

(6) その他の課題

ロジック半導体製造で40 nm世代以降のプロセス技術を持たない我が国にとって、どのように最先端の微

細加工プロセス技術の研究開発を進めて行くのか、大変難しい状況にある。EUV露光装置は欧州、最先端の加工装置は欧米に依存しているが、日本は半導体材料、洗浄装置、成膜装置、計測技術・装置などには強みを持っているので、これらの技術・産業分野を基に、強いプロセス技術を有する海外と連携して、最先端の微細加工プロセス技術・半導体製造技術を再度獲得することが経済安全保障上も重要である。この微細加工・三次元集積領域の関係では、「マイクロプロセッサ・半導体技術」および「先端エンジニアリング・製造技術」が特定重要技術20分野に指定されている。

また、先端の半導体技術の知識を持つエンジニアや、最先端の研究開発に携わる研究者などの半導体人材の育成も非常に重要である。半導体産業で日本の存在感が減少する中で、若い人が半導体分野への関心が無くなり、優秀な人材の確保ができなくなっているのが現状であり、これを根本的に改善していく必要がある。

一方で、2021年から始まった経産省の半導体戦略および一連のプロジェクトやコンソーシアムに関する政策は非常に重要であり、日本の半導体技術開発、半導体人材の流れを大きく変える可能性がある。半導体の経済安全保障の問題が社会的にも注目され、それに対して日本へのTSMCの28 nm世代および6 nm世代の工場誘致、Beyond 2 nm世代の先端半導体製造（前工程）と三次元実装（後工程）技術開発に多額の投資がなされることで、我が国の半導体復興の期待も高まっている。この機会に、産業界とアカデミアが密に連携して技術開発と人材育成を強化していくことが重要である。そのような活動をサポートするための経産省、文科省の様々なファンディングとそれらの連携による、長期的な視点での産業戦略と研究開発戦略が望まれる。

(7) 国際比較

国・地域	フェーズ	現状	トレンド	各国の状況、評価の際に参考にした根拠など
日本	基礎研究	○	↘	・ EUVリソグラフィの基礎研究では兵庫県立大学で光学系、レジスト、マスク等の基盤技術開発の基礎研究が精力的に進められている。 ・ ナノインプリント技術に関して、大阪府立大学、東北大学、産業技術総合研究所などで各種基礎検討を続けている。極限ナノ造形・構造物性研究会ではシングルナノ領域のナノインプリントに取り組んでいる。 ・ ALD技術における日本の存在感は低下傾向である。国内の大学では東大等が検討していたが、近年では発表件数も低下している。ALE技術は、名古屋大（ALEプロセス）、大阪大（表面反応）が、国内の研究拠点となっており、精力的に研究を行っている。
	応用研究・開発	◎	→	・ EUV用光源開発では日本の光源メーカー2社がEUVマスク欠陥検査装置用にレーザーテック向けに開発が進められている。また、日本国内メーカーがベリクルの開発を進めている。さらに、レジストの塗布現像装置および洗浄装置は日本企業が大きな世界シェアを有している。 ・ ナノインプリント技術については、東芝メモリ、キヤノン、大日本印刷がNANDフラッシュメモリの生産に向けて精力的に研究開発を行っている。 ・ ALDでは、東京エレクトロン、日立国際が、High-k等を含む金属材料の熱ALD技術で世界的なシェアを持っている。ALEでは、装置メーカーとして、東京エレクトロンが異方性ALE（絶縁膜）の量産化を世界に先駆けて実現した。また、日立ハイテクも等方的なThermal ALE技術のデバイス適応を世界に先駆けて検討している。 ・ 材料メーカー主体の活動（JOINT2、フレキシブル3D実装協働研究所など）がみられる。ただし、牽引役の半導体メーカーが不在である。
米国	基礎研究	◎	→	・ EUVリソグラフィに関しては無機材料を中心としたレジスト材料の開発と、そのメカニズム解析が、材料メーカーだけでなく、大学や研究機関によって積極的に進められている。 ・ ナノインプリント技術は、プリンストン大、ミシガン大、テキサス大、マサチューセッツ大で精力的に研究されている。 ・ AS-ALDや、Thermal ALEではコロラド大やスタンフォード大など、大学が先駆的な発表を継続的に発表している。

米国	応用研究・開発	◎	→	・ EUVリソグラフィの実用化が着実に進んでいる。 ・ ナノインプリント技術についてはキャノンナノテクノロジーズが引き続き米国を拠点として精力的に研究開発を進めている。ロールtoロールの研究もある。 ・ Intel社の先端ロジックデバイスでは、ALEやThermal ALE技術がFin FETの製造で用いられている。Thermal ALEは日立ハイテクの技術である。 ・ intelを中心としたチップレット規格化が進められている。
欧州	基礎研究	◎	→	・ EUV リソグラフィについては、スイスのPSIにおける放射光を用いた干渉露光や、Carl Zeiss SMTでの高NA化開発等、微細化の最前線を牽引している。材料面でもMulti Triger型など提案している。 ・ ナノインプリント技術はWuppertal 大、PSI、Letiなどで研究しているが、NaPaNILの後は大きなプロジェクトは走っていない。 ・ アイントホーヘン工科大は、ALD・ALE共に、大学としては最も進んだ研究開発を行っており、大学研究の中心的な役割の一つを担っている。
	応用研究・開発	◎	↗	・ ベルギーのimecにおける微細加工技術、オランダのASMLの露光装置開発が、半導体の微細化技術の中心として君臨している。EUVリソグラフィ、マルチビーム型描画装置や検査装置なども積極的に研究開発を進めている。 ・ ナノインプリントについてはEVGがウエハ―一括ナノインプリントの実用化に力を入れている。 ・ imecがALD・ALEに関連する世界で唯一のコンソーシアムの開発拠点となっており、特にAS-ALD技術で、先駆的な検討を行っている。また、オランダのASM社は有数のALD関連の装置メーカーであり、特にプラズマALD技術において最先端の技術を有している。英国のOxford Instruments社は、研究用途のALD装置を多く製造し、ALDの研究で幅広く使用されている。 ・ 3D実装もimec、Fraunhofer IZMによる技術研究が継続されている。
中国	基礎研究	△	↗	・ 欧米や日本を追う状況に変わりはないが、大学からの研究発表がみられるようになり、近い将来、研究者や研究費の増加で基礎研究が活発化していく可能性がある。 ・ 2018年からナノインプリント技術の研究開発がブームを迎えており、2019年には論文発表件数で世界トップに躍り出た。香港大学、南方科技大学、天津大学、中国科学院、大連理工大学、南京大学、廈門大学などから多くの発表がなされている。 ・ ALD・ALE関係はALD Conferenceでの発表件数から見ても、まだ件数は少ない状況である。
	応用研究・開発	○	↗	・ 各種加工技術関連装置開発、プロセス技術開発、材料開発が積極的に進められており、発表文献数にも伸びがみられる。 ・ ALD・ALE関係での中国企業の発表は、ほとんどみられていない。しかし、微細加工技術に関する研究開発を積極的に進めている。 ・ RISC-V展開の状況もあり、中国製半導体の流通は増加。ファウンダリ保有の強みもある。
韓国	基礎研究	○	→	・ EUVリソグラフィ技術に関しては、Hanyan大学でEUV用ベリクル膜の研究が進められているが、基礎研究のレベルはそれほど高くない。EUV用位相シフトマスクの研究開発が進められている。 ・ ナノインプリント技術ではKIMMとKorea大が基礎研究を行っている。 ・ ALD最大の学会であるALD Conferenceにおいて、非常に多くの発表があり、各種研究機関、大学での研究開発が極めて活発に行われている。
	応用研究・開発	◎	→	・ Samsung社が微細加工技術の最先端技術をリードしている。 ・ SK Hynix社が東芝メモリとナノインプリントの共同研究を行っている。
台湾	基礎研究	○	→	・ リソグラフィ技術の先端的研究の一部は台湾放射光施設で進められているが、活発に進められている状況ではない。 ・ ALD Conferenceでの発表件数が比較的多い国であり、特にALD関連の発表が多い。
	応用研究・開発	◎	→	・ TSMC社は世界のファウンドリのトップ企業であり、半導体製造の量産技術で微細化のトレンドを牽引している。

(註1) フェーズ

基礎研究：大学・国研などでの基礎研究の範囲

応用研究・開発：技術開発（プロトタイプの開発含む）の範囲

(註2) 現状 ※日本の現状を基準にした評価ではなく、CRDS の調査・見解による評価

◎：特に顕著な活動・成果が見えている

○：顕著な活動・成果が見えている

△：顕著な活動・成果が見えていない

×：特筆すべき活動・成果が見えていない

(註3) トレンド ※ここ1～2年の研究開発水準の変化

↗：上昇傾向、→：現状維持、↘：下降傾向

参考・引用文献

- 1) Alberto Pirati, et al., “The future of EUV lithography: enabling Moore’s Law in the next decade,” *Proceedings of SPIE 10143, Extreme Ultraviolet Lithography 8* (2017) : 101430G., <https://doi.org/10.1117/12.2261079>.
- 2) Christopher K. Ober, et al, “EUV photolithography: resist progress and challenges,” *Proceedings of SPIE 10583, Extreme Ultraviolet Lithography 9* (2018) : 1058306., <https://doi.org/10.1117/12.2302759>.
- 3) Erik R. Hosler, Obert R. Wood and William A. Barletta, “Free-electron laser emission architecture impact on extreme ultraviolet lithography,” *Journal of Micro/Nanolithography, MEMS, and MOEMS* 16, no. 4 (2017) : 041009., <https://doi.org/10.1117/1.JMM.16.4.041009>.
- 4) Keisuke Tsuda, Tetsuo Harada and Takeo Watanabe, “Development of an EUV and OoB Reflectometer at NewSUBARU synchrotron light facility,” *Proceedings of SPIE 11148, Photomask Technology 2019* (2019) : 111481N., <https://doi.org/10.1117/12.2540815>.
- 5) Takeo Watanabe, Tetsuo Harada, and Shinji Yamakawa, “Fundamental Evaluation of Resist on EUV Lithography at NewSUBARU Synchrotron Light Facility,” *Journal of Photopolymer Science and Technology* 34, no. 1 (2021) : 49-53., <https://doi.org/10.2494/photopolymer.34.49>.
- 6) Hirotaka Tsuda, et al., “Process control technology for nanoimprint lithography,” *Proceedings of SPIE 10584, Novel Patterning Technologies 2018* (2018) : 105841D., <https://doi.org/10.1117/12.2297332>.
- 7) Marc A. Verschuuren, Korneel Ridderbeek and Rob Voorkamp, “Substrate conformal imprint lithography: functional resists, overlay performance, and volume production results,” *Proceedings of SPIE 10958, Novel Patterning Technologies for Semiconductors, MEMS/ NEMS, and MOEMS 2019* (2019) : 109580D. <https://doi.org/10.1117/12.2514757>.
- 8) 尹成圓他「超高速電子ビーム描画装置及び高精度ナノインプリント技術の開発」『精密工学会学術講演会講演論文集 2019年度精密工学会秋季大会』(2019) : 214-215., https://doi.org/10.11522/pscjspe.2019A.0_214.
- 9) 応用物理学会・ナノインプリント技術研究会『ナノインプリント技術ハンドブック』(東京：オーム社, 2019).
- 10) Harm C. M. Knoop, et al., “Status and prospects of plasma-assisted atomic layer deposition,” *Journal of Vacuum Science & Technology A* 37, no. 3 (2019) : 030902., <https://doi.org/10.1116/1.5088582>.

- 11) Kazunori Shinoda, et al., “Thermal Cyclic Atomic-Level Etching of Nitride Films: A Novel Way for Atomic-Scale Nanofabrication,” *ECS Transaction* 80, no. 3 (2017)., <https://doi.org/10.1149/08003.0003ecst>.
- 12) Akiko Hirata, et al., “Mechanism of SiN etching rate fluctuation in atomic layer etching,” *Journal of Vacuum Science & Technology A* 38, no. 6 (2020) : 0602601., <https://doi.org/10.1116/6.0000257>.
- 13) Xia Sang, Ernest Chen and Jane P. Chan, “Patterning nickel for extreme ultraviolet lithography mask application I. Atomic layer etch processing,” *Journal of Vacuum Science & Technology A* 38, no. 4 (2020) : 042603., <https://doi.org/10.1116/6.0000190>.
- 14) Ryan J. Gasvoda, et al., “Surface prefunctionalization of SiO₂ to modify the etch per cycle during plasma-assisted atomic layer etching,” *Journal of Vacuum Science & Technology A* 37, no. 5 (2019) : 051003., <https://doi.org/10.1116/1.5110907>.
- 15) 向井久和「高スループット微細加工を実現した電子ビーム加工装置の開発」『NanotechJapan Bulletin』13 巻 6 号 (2020) : 1-10.
- 16) 保坂教史「ナノインプリントリソグラフィの開発状況」『NGL 2022 次世代リソグラフィワークショップ予稿集』(東京: 応用物理学会次世代リソグラフィ技術研究会, 2022), 31.
- 17) 鈴木健太, 大川達也, 尹成圓「微小液滴を利用する光ナノインプリントにおける混合凝縮性ガス導入の影響」『NGL 2022 次世代リソグラフィワークショップ予稿集』(東京: 応用物理学会次世代リソグラフィ技術研究会, 2022), 21.
- 18) Antony Premkumar Peter, et al., “Engineering high quality and conformal ultrathin SiNx films by PEALD for downscaled and advanced CMOS nodes,” *Journal of Vacuum Science & Technology A* 39, no. 4 (2021) : 042401., <https://doi.org/10.1116/6.0000821>.
- 19) Brennan M. Coffey, Himamshu C. Nallan and John G. Ekerdt, “Vacuum ultraviolet enhanced atomic layer etching of ruthenium films,” *Journal of Vacuum Science & Technology A* 39, no. 1 (2021) : 012601., <https://doi.org/10.1116/6.0000742>.

2.6

俯瞰区分と研究開発領域
共通基盤科学技術