

科学技術未来戦略ワークショップ報告書

低次元マテリアルの デバイス応用に向けた 基盤技術の創出

2022年11月12日(土) 開催

エグゼクティブサマリー

本報告書は、国立研究開発法人 科学技術振興機構（JST）研究開発戦略センター（CRDS）が令和4年11月12日に開催した科学技術未来戦略ワークショップ（WS）「低次元マテリアルのデバイス応用に向けた基盤技術の創出」に関するものである。

社会のデジタル化を支える重要な基盤技術である半導体集積回路は、コンピュータにおける演算やAI処理の高速化・低消費電力化、通信における高速・大容量化・低遅延化、IoTにおけるセンシングの高感度化・低消費電力化などの要求から、今後も微細化・高集積化によるさらなる性能向上・低消費電力化が求められている。一方、微細加工技術はすでに10 nmレベルになっており、平面内での微細化の限界が迫っている。この克服に向けては、その基本要素であるトランジスタの構造をこれまでの二次元的な構造から三次元的な構造にして、実効的な専有面積を小さくしていく必要がある。これには、トランジスタのチャネルを積層していくことが必要と考えられ、最近ではSiチャネルやSiGeチャネルを用いたナノシートトランジスタの研究開発が活発化している。さらにその先の世代では、極薄のナノシート、二次元物質（遷移金属ダイカルコゲナイドなど）、一次元物質（カーボンナノチューブなど）といった低次元マテリアルによるチャネルを用いることが期待されており、世界的に研究開発が活発化している。先端的な半導体集積回路技術の開発から遅れてしまった我が国においても、チャネル材料や製造プロセスが大きく変わるこの世代は先端半導体における産業の復権にもつながる大きなチャンスと捉えることもでき、低次元マテリアルに関わる研究開発戦略の策定が重要になってくる。

CRDSでは有識者へのインタビュー、国内外学会への参加などの調査活動、クローズドの研究開発検討会を通して、今後取り組むべき重要な研究開発課題や、それを実施する研究開発の体制・仕組みなどについて検討し、低次元マテリアルのデバイス応用に向けた基盤技術に関する仮説（骨子案）を作成した。本ワークショップでは、このCRDSの仮説の提示と、低次元マテリアルの新機能性創出とデバイス応用、半導体集積回路における極薄チャネル形成の要求についての話題提供を基に、我が国が取り組むべき研究領域、研究開発体制、異分野連携・産学連携・国際連携、人材育成について総合討論で議論した。

CRDSの仮説として、①コンピューティング技術、通信技術、IoTセンシング技術の高性能化・低消費電力化の根幹となる先端的な材料・デバイスの研究開発は我が国にとって今後も不可欠なこと、②将来は膜厚5nmを切る極薄膜チャネルが要求されることから、これを半導体技術の大きな転換期として捉え、極薄膜を含めた低次元マテリアルの多様な構造の物性と制御方法の理解、デバイス化・集積プロセスのコアとなる基礎・基盤技術の創製を戦略的に進めるべきこと、③研究開発体制として、低次元マテリアルの材料・基礎科学分野とデバイス分野の連携の強化、成膜やデバイス試作の共用施設の整備と人材育成への活用、集積化技術に強みを持つ友好国の研究機関との国際連携、実用化に向けた産学連携の促進、これらを支援する国のファンディングが必要なこと、④日本の材料技術や結晶成長・成膜技術の強みを活かして高品質成膜技術やヘテロ界面制御技術を強化し、デバイス研究に向けた低次元マテリアル基板の供給を図ることや、我が国の装置産業に展開することが重要なことを示した。

話題提供では、「2次元異種材料のヘテロ接合形成と新機能創出」、「二次元原子薄膜ヘテロ接合材料のテラヘルツ波デバイス応用」、「低次元マテリアルのデバイスシミュレーション」、「極薄膜チャネルの移動度低下と最適チャネル材料」、「エレクトロニクス応用を目指した二次元物質と2.5次元物質の創製」、「ゲートスタックとしきい値制御技術」、「ALE/ALDが可能な二次元材料」、「三次元集積およびメモリデバイスへの極薄膜材料の可能性」が紹介された。

総合討論では、CRDSの骨子案や話題提供の発表と質疑、事前アンケート結果を踏まえて議論を行い、以下のような方向性が示された。

(1) 戦略的に強化すべきデバイス応用・産業領域

- 強化すべきデバイス応用：①データセンター、AIアクセラレータなどに向けたロジック半導体集積回路、②次世代通信（6G/7G）対応の高周波（ミリ波、THz波）デバイス、光デバイス、③多様なIoTシステム・サービスに向けたセンサ
- 強化すべき産業領域：①低次元マテリアルの成長装置、プロセス装置などの半導体製造装置産業、②分析・評価装置産業、③成膜用原料やデバイス作製用基板などの半導体材料製造業

(2) ボトルネック研究開発課題

- 基礎研究・基盤技術研究：①低次元マテリアルと異種材料とのヘテロ界面の原子レベルの評価・分析技術、②界面の物理的・化学的な理解、界面状態・特性のモデリング、③新たな物性の創出に向けた2次元物質の積層構造やファンデアワールス結合のツイスト角の制御、④低次元マテリアルの特性を活かすヘテロ界面の制御
- デバイス応用研究：①低次元マテリアルの単結晶領域を拡大する結晶成長・選択成長・転写技術、②デバイス作製用の高品質大口径基板作製技術、③低次元マテリアルを活用するデバイス構造の実現に向けた低抵抗コンタクト作製技術、ゲートスタック技術、集積プロセス技術、④既存の性能・機能を超える低次元マテリアルデバイス構造の実証

(3) 必要な研究支援策と効果的な研究開発体制（研究拠点、産学・海外連携など）

- 異分野のコミュニティ形成と連携、産学の連携、国際共同研究などを強化する基礎研究から応用研究までの様々なステージのファンディングと、文科省と経産省の密な連携
- 多様な低次元マテリアルが扱え、基板の作製・提供、各種デバイス構造の試作と評価などが可能なオープンな統合研究開発拠点の設立
- imecなどの海外研究拠点やGraphene Flagshipなどの海外プロジェクトとの連携強化

(4) 人材育成、情報の保護

- 統合研究開発拠点、産総研・TIA、ARIMとの連携による若手半導体人材の育成
- 国際共同研究を利用した海外研究拠点への研究員の派遣
- 研究開発拠点や大学などにおける留学生などの優秀な海外人材の受け入れ
- 海外人材による情報流出防止に向け、研究テーマの重要度による切り分けや、100%の給料支給などによる海外との金銭的な繋がりの除去

以上のワークショップでの議論を踏まえ、CRDSでは今後国として重点的に推進すべき研究領域、具体的な研究開発課題を検討し、研究開発の推進方法も含めて戦略プロポーザルを策定し、関係府省や関連する産業界・学界等へ提案する予定である。

目次

1	ワークショップの開催趣旨と骨子案の説明	
	曽根 純一、馬場 寿夫 (JST-CRDS)	1
2	低次元マテリアルの新機能性創出とデバイス応用	9
2.1	2次元異種材料のヘテロ接合形成と新機能創出 町田 友樹 (東京大学)	9
2.2	二次元原子薄膜ヘテロ接合材料のテラヘルツ波デバイス応用 尾辻 泰一 (東北大学)	15
2.3	低次元マテリアルのデバイスシミュレーション 森 伸也 (大阪大学)	22
3	半導体集積回路における極薄チャネル形成の要求	29
3.1	極薄膜チャネルの移動度低下と最適チャネル材料 高木 信一 (東京大学)	29
3.2	エレクトロニクス応用を目指した二次元物質と2.5次元物質の創製 吾郷 浩樹 (九州大学)	36
3.3	ゲートスタックとしきい値制御技術 若林 整 (東京工業大学)	42
3.4	ALE/ALDが可能な2次元材料 安藤 淳 (産業技術総合研究所)	48
3.5	三次元集積およびメモリデバイスへの極薄膜材料の可能性 ～酸化物半導体と遷移金属ダイカルコゲナイドを中心に 小林 正治 (東京大学)	54
4	総合討論 ファシリテーター：林 喜宏 (JST-CRDS)	62
	付録	70

1 | ワークショップの開催趣旨と骨子案の説明

曾根 純一、馬場 寿夫 (JST-CRDS)

今回は、タイトルにあるように低次元マテリアルのデバイス応用基盤の研究開発戦略について議論していきたい。昨日、経産省より最先端半導体技術の新しい技術研究組合の発足と、これに対応して最先端半導体の量産製造拠点を産業界が中心になって立ち上げる、というニュースが出た。これは、今後のDX時代到来に向けて、半導体が日本の浮沈の鍵を握っているという産業界及び政府の強い危機感の表れであると認識している。日本の半導体の復権・再興の視点からは、このような喫緊の技術開発と並んで、将来技術の研究開発も重要となってくる。他国を圧倒する将来技術がなければ、日本は単なる工場立地の場所になってしまう。もちろん、工場立地は日本にとって非常に嬉しいことであるが、持続的な発展を目指すためには日本が将来技術を構築することが必須である。アカデミアとして何ができるのか、将来を見て何をなすべきなのか、英知を集めて真剣に議論するステージに来ていると考え、このワークショップを企画した。

半導体のロードマップによれば、2nmノード以降に二次元の登場が期待されている。二次元材料は、グラフェンの登場を契機にボロンナイトライド (BN) をはじめ多くの材料が、その特異な機能ゆえに注目を集め、最近では次世代の半導体としてモリブデンサルファイド (MoS_2) などの遷移金属ダイカルコゲナイド (TMDC) の研究が盛んになっている。材料科学的には、単層での興味深い物性に加え、その多層化・ヘテロ積層化により多様な機能が生まれてくると期待されている。同時に、デバイス物理・デバイス技術としても興味深く、先端半導体の集積回路実現に向けては、成膜、ドーピング、ゲートスタック構造、コンタクト、集積化プロセスと多くの新しい困難な挑戦課題があると認識している。

このような先端技術の研究開発において、独自の技術を生み出し先行していくことに加え、それを可能にする有能な若手人材を育成していくことが何よりも重要と考えている。半導体産業の衰退とともに若手人材がこの分野から離れてしまったということも聞いているが、今回のテーマを契機に多くの若手人材が半導体に興味を持ってこの分野に進んでくると思う。また、我が国の半導体技術の再興に対して、多くの可能性が生まれてくると思う。この分野の先端を牽引している先生方との議論を通じて、日本として進むべき道筋が見えてくれば、本日のワークショップは成功と考えており、ぜひ活発な議論をお願いしたい。

以下、今回の調査とワークショップ開催の背景、我々が考えている仮説、重要な研究開発課題、研究開発の推進方法などについて簡単に説明する。図1-1に今回の調査を行う意義と調査・検討の範囲を示す。調査する意義の一つは半導体が経済安全保障上重要になってきたことである。また、半導体ロードマップに低次元マテリアルが記載されるようになり、世界的なコンセンサスが得られるようになってきたこともある。さらに、国内外の学会で低次元マテリアルに関するシンポジウムなどが頻繁に開かれるようになり、エマージングな研究領域になってきたことも注目すべきであり、このような3つの視点からCRDSで調査を進めている。調査の範囲としては、低次元マテリアルの代表たる二次元物質・材料と、半導体の集積回路技術の両方に跨っているが、我々としては図の真ん中にある先端トランジスタ技術を中心に、提言としてまとめたいと考えている。

調査する意義と調査・検討の範囲

- ◆意義： ①半導体は経済安全保障上重要、②半導体ロードマップに記載（国際的なコンセンサス）、③国内外の学会でエマージング領域
- ◆調査範囲： 半導体集積回路技術、二次元物質・材料に関して俯瞰的に調査（先端トランジスタ技術について、特有の技術課題、必要な研究体制を把握）

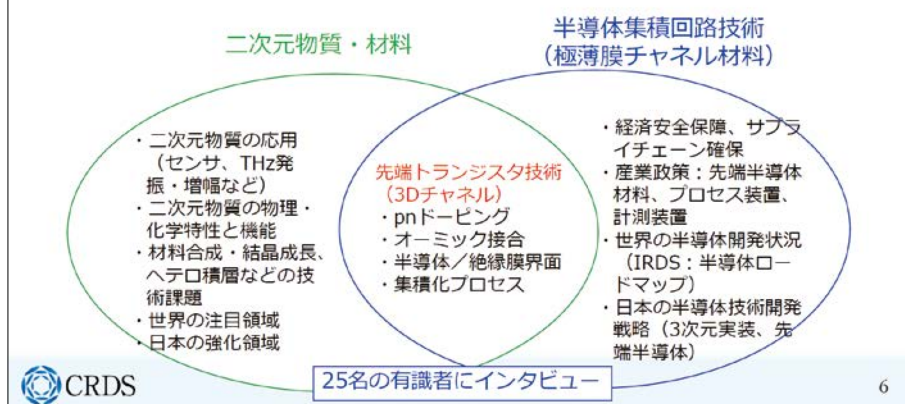


図1-1 調査する意義と調査・検討の範囲

経産省の2021年6月発表の「半導体戦略（概要）」にも示されているように、半導体あるいは集積回路はデジタル社会を支える基盤的な技術として重要である。コンピューティング、IoT、これらをつなぐ通信技術に活用される技術として社会的に半導体集積回路技術が期待されているが、今回の低次元マテリアルの提言としては、ロジック半導体を中心に取り上げること考えている。

日本の半導体産業の歴史を振り返ると、1970年代から90年代にかけては繁栄期で、日本が世界のトップにあったが、その後は徐々に衰退してしまった。その原因は、日米半導体摩擦、設計と製造の水平分業に失敗（ファウンドリーの成長）、必要な設備投資の抑制など様々あると思われるが、経産省の資料にも幾つかの原因がまとめられている。その結果、現状では半導体製造のシェアは15%程度となっているが、それでもある程度のシェアを持っている状況にある。先端的なロジックは厳しい状況であるが、メモリや画像センサでは非常に強い技術を持っている。このような状況の中で、新たな流れであるチップの三次元集積化やトランジスタ構造の三次元化にどのように対応していくか、戦略を考えていくことが重要になっている。

先端半導体研究開発における我が国の4つの問題点を挙げる。1つめは40nm世代以降の先端プロセスラインと集積技術を持っていないことにある。これにより、産業界でHigh-k/メタルゲートやFinFETのプロセス技術が欠如し、アカデミアの先端半導体の研究開発力が低下したのではないかと考えている。2つめは材料の基礎研究から応用デバイス開発への展開の遅れである。日本は材料では非常に強い技術を持っているが、新たな材料をデバイスやプロセスに適用・応用して実用化するスピードが遅いといったところもあると思われる。過去の例としては、High-k/メタルゲート、Cu/Low-k配線の技術開発で世界に後れを取った。3つめは先端半導体プロセス主要部分の製造装置の欠如である。日本の装置メーカーは洗浄装置やスパッタ装置などで強みを持っているが、例えば以前は強かった露光装置や最近注目されるようなゲートスタック周りの装置といったところに対しては弱いのではないかと懸念がある。4つめは半導体人材の不足や、アカデミアと産業界の連携不足、国際的存在感の低下である。これらは、学生に対して半導体の魅力を低下させ、優秀な人材の確保という意味ではかなりのダメージになっていると思われる。これらの問題の解決は容易ではないが、長期的な視点で改善していけるように戦略的な提言を作成したいと考えている。

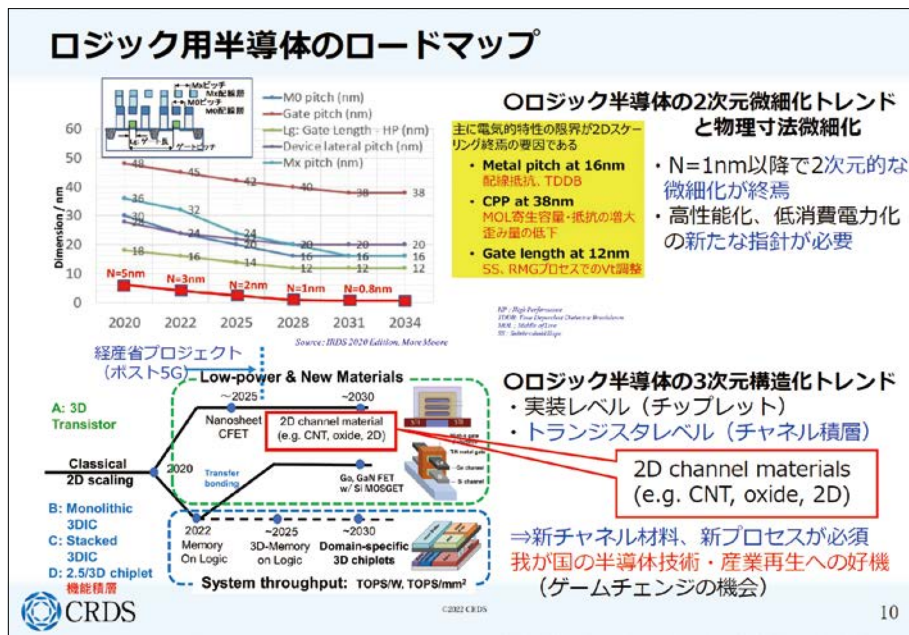
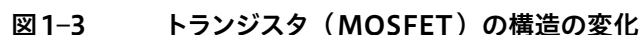


図1-2 ロジック用半導体のロードマップ

図1-2はIRDS（IEEE International Roadmap for Devices and Systems）のロジック用半導体のロードマップを示したものである。現在は二次元的な集積化が進められているが、1nm当たりの世代になると、ゲート長などの縮小はほとんど止まってしまうため、さらなる高性能化・低消費電力化に向けて、二次元的な微細化に替わる新たな指針が必要になっている。最近、実装レベルではチップレットを使った3次元化とともに、トランジスタレベルでも実効的な性能向上を図るために構造を3次元化する研究開発が進められている。その中で、今回のテーマである二次元材料を中心とした低次元材料が位置づけられるようになってきている。これに対して経産省のポスト5Gプロジェクトのビヨンド2nmとしてナノシートあたりまでの研究開発が進められようとしている。我々は、さらにその先まで考えており、そこでは新しいチャンネル材料、新しいプロセスが必要になってくるので、我が国が半導体技術・産業再生への好機（ゲームチェンジの機会）になると期待している。また、経産省の次世代の産業化を強く意識した産業政策と整合するような形で、長期的な研究開発の戦略を提言しなければいけないと考えている。

図1-3はトランジスタの構造の変化を示したものであり、二次元的な構造から、FinNET、ナノシート、ゲートオールアラウンド（GAA）構造を経て3次元的な構造になっていくことが示されている。このようにしていく理由は、ゲート長を短くしてスイッチング速度を高速にする、あるいは消費電力を下げたいということにあるが、そのためにはゲート長に対応してチャンネルの厚さも薄くしていく必要がある。大まかには、ゲート長の半分程度の厚さが必要と言われているので、微細化の世代が進むごとにチャンネルの薄膜化が必要になっている。



国内外の動向について簡単に説明する。低次元材料に関しては、国内外の様々な学会でシンポジウムなどが開催され、注目されていることは先に述べたとおりである。また、日本では2013年頃から新学術領域の「原子層科学」(2013～17年度)や、JSTのCREST「二次元機能性原子・分子薄膜の創製と利用に資する基盤技術の創出」(2014～21年度)のプロジェクトが行われ、2021年からは学術変革領域(A)「2.5次元物質科学：社会変革にむけた物質科学のパラダイムシフト」(2021～25年度)が開始され、基礎研究が進められている。一方、半導体デバイス応用研究については、IEDM(IEEE International Electron Devices Meeting)などで2020年頃からチャンネルに二次元材料を使ったデバイスが報告されるようになってきている。集積回路応用以外でも、光デバイスやテラヘルツ発振デバイス、センサ、スピントロニクスなどで低次元材料を使った発表が増えており、低次元材料のデバイス応用への関心が高まり、コミュニティが拡大している。



図1-4 以前の戦略プログラムと今回の提案との関係

図1-4上側は、CREST「二次元」につながった10年前にCRDSが作成した戦略プログラムについて示している。このときは、グラフェンに関してノーベル賞受賞があったことから、グラフェンを中心に様々な二次元物質を様々な応用の領域に使っていくといった提言になっていた。それから10年経過した現状を見ると、グラフェンも注目されているが、それと同時に遷移金属ダイカルコゲナイド(TMDC)がかなり注目されるようになってきており、特に先端トランジスタ応用への期待が大きくなっている。この10年で様々な基礎的な研究が進み、技術的な課題も明らかになってきたというのが現状である。これらの展開を踏まえ、低次元マテリアルのデバイス応用あるいは集積回路応用に向けた新しい提言をつくる必要があると考えている。

以下に我々が現在考えている4つの仮説を示す。これらに関して、総合討論等で議論してもらいたい。

- I. 今後の Society 5.0、デジタル社会では実世界と仮想世界をシームレスにつなぐ、コンピューティング技術、通信技術、IoTセンシング技術がハードウェアとして重要。これらの高性能化・低消費電力化の根幹となる先端的な新たな材料・デバイスの研究開発は我が国にとって今後也不可欠ではないか。
- II. 低次元マテリアルはそれらが持つ特異な構造・物性が注目され、この10年間で材料特性の理解、二次元物質の合成法、積層による新たな物性・機能性の発現などが進展。一方、トランジスタのチャネルもゲート長の縮小とともに薄膜化が進み、膜厚5nmを切る極薄膜チャネルも要求。これを半導体技術の大きな転換期として捉え、極薄膜を含めた低次元マテリアルの多様な構造の物性と制御方法の理解、デバイス化・集積プロセスのコアとなる基礎・基盤技術の創製を戦略的に進めるべきではないか。
- III. これらの研究開発を確実に進めるために、物性科学、理論科学、プロセス科学、データ科学などの低次元マテリアルの材料・基礎科学分野と、デバイス物理、シミュレーション、集積化技術、特性評価・解析技術などのデバイス分野の連携を強化し、成膜やデバイス試作の共用施設の整備と人材育成への活用、集積化技術に強みを持つ友好国の研究機関との国際連携、実用化に向けた産学連携などを促進する体制と、これを支援する国のファンディングが必要ではないか。
- IV. 特に、日本の材料技術や結晶成長・成膜技術の強みを活かして高品質成膜技術やヘテロ界面制御技術を強化し、デバイス研究開発加速に向けて早期の低次元マテリアル基板の供給を図ることや、我が国の装置産業に展開することが重要ではないか。

研究開発課題の主なものを図1-5および図1-6に示す。図1-5の右上に低次元マテリアルを用いたデバイス

(トランジスタ) 作製における基盤技術の主な研究開発課題を記載している。研究開発課題として、低次元材料と絶縁膜などのヘテロ界面の理解と制御、デバイスを作製するための大口径の高品質な基板の技術、必要な部分だけに低次元材料を成膜する選択成長技術がある。また、図1-6に示すように、基本的なp型とn型の半導体伝導制御、金属との間の低抵抗なオーミックコンタクト、ゲートスタックにおけるしきい値制御、低損傷の加工・プロセス技術、デバイス設計のための界面特性のモデル化とデバイスシミュレーション技術などがある。このようなデバイス応用に向けた研究開発課題に取り組んでいくことが重要と考えている。

研究開発課題 (1/2)

○低次元材料およびそのヘテロ界面の物性・機能の理解

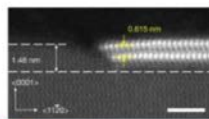
- ・低次元材料とバルク材料などとのヘテロ界面の物性・応力・電気特性などに関する分析・評価手法、理論、物理的・化学的なモデル構築
- ・安定して高品質なヘテロ界面形成、高移動度チャネル構造・新材料開拓

○デバイス作製用の高品質大口径基板

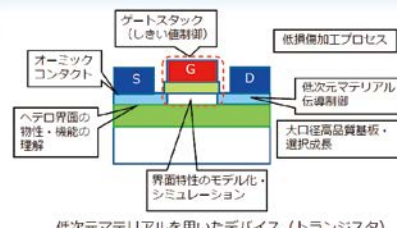
- ・Si基板への低次元材料の転写技術、表面超平坦化、結晶成長・成膜技術、

○選択成長

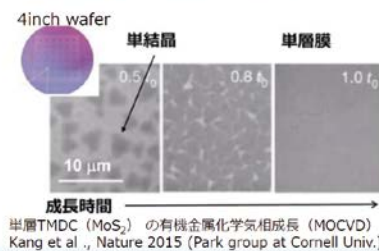
- ・限られた領域/側面への単結晶膜形成



二層MoS₂単結晶線のCVD成長 (熱処理した微傾斜サファイアのステップエッジからの成長)
出典: Liu et al. Nature 2022 (中国, Nanjing Univ.)



低次元材料を用いたデバイス (トランジスタ) 作製における基盤技術の主な研究開発課題



©2022 CRDS

18

図1-5 研究開発課題 (1/2)

研究開発課題 (2/2)

○半導体伝導制御

- ・安定したドーピング技術、分子修飾、インターカレーションなど

○低抵抗オーミックコンタクト形成

- ・低次元半導体と金属電極との界面制御技術 (高濃度ドーピング、半金属利用など)

○ゲートスタック

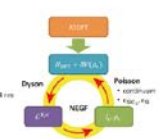
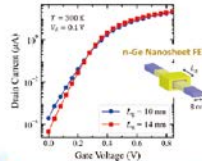
- ・高移動度チャネル、しきい値制御

○低損傷加工・プロセス

- ・原子層エッチング技術、低温保護膜形成技術

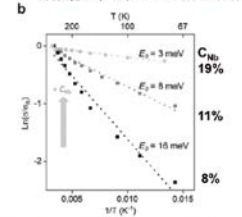
○モデル化・シミュレーションとデバイス設計

- ・界面特性のモデル化、デバイスシミュレーション

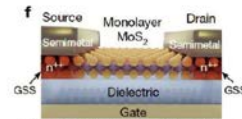


ナノシートトランジスタのシミュレーション
出典: N. Mori et al., EDTM 2020

活性化エネルギーとNb濃度の関係



Nb濃度によるMoS₂のキャリア制御 (p型MoS₂のアクセプタ率)
出典: Gao et al., Nano Lett. 2020



半金属Bi電極を利用した低抵抗コンタクト
出典: Shen et al., Nature 2021

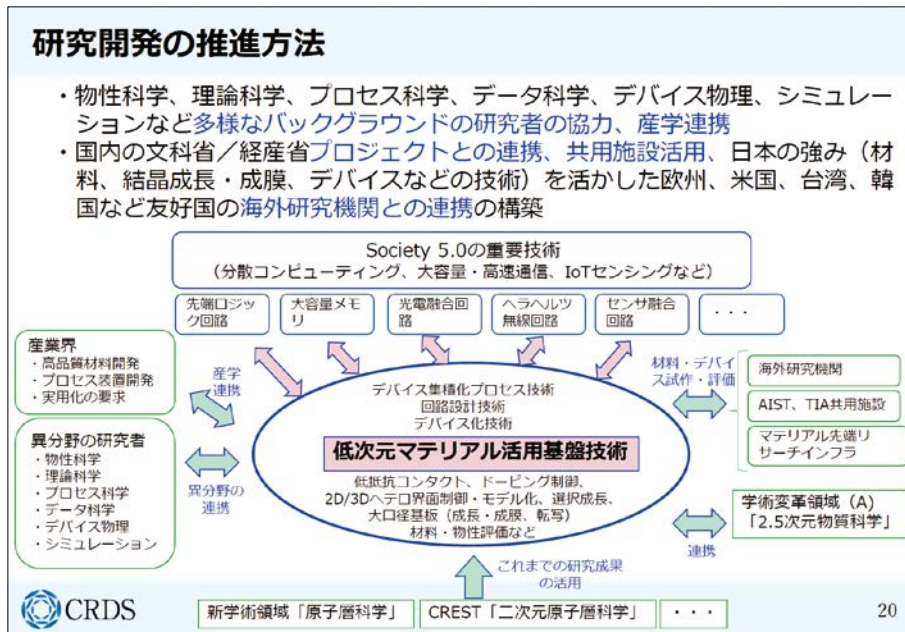


©2022 CRDS

19

図1-6 研究開発課題 (2/2)

図1-7に研究開発の推進方法を示す。基本的には図の中心にある「低次元マテリアルの活用基盤技術」を創出するための各種の取組を記載している。基盤技術としては、材料、物性評価、基板、ヘテロ界面制御、コンタクトなどから、デバイス化技術、回路設計、デバイス集積化プロセス技術までの多様なものがあり、これらの技術を創出していく必要がある。



このような基盤技術の創出を支えるためには、図の左下に示したように、物性科学からプロセス科学、理論、シミュレーションなど異分野の人たちの連携と、アカデミアと産業界との産学連携も非常に重要だと考えている。また、図の右下に示したように、「2.5次元」など基礎的な研究を進めている人たちの連携、マテリアル先端リサーチインフラや産総研・TIAの共用施設の整備と利用、imecなど海外の研究機関との連携などを進めていくことが必要と考えている。

プロジェクト間の連携案

◆経産省・NEDOの半導体戦略、ポスト5Gプロジェクト（ナノシート先端半導体開発）に整合する形で、その次の世代の**基礎研究・基盤技術研究開発を先行的に**行い、**応用研究に接続**していく。

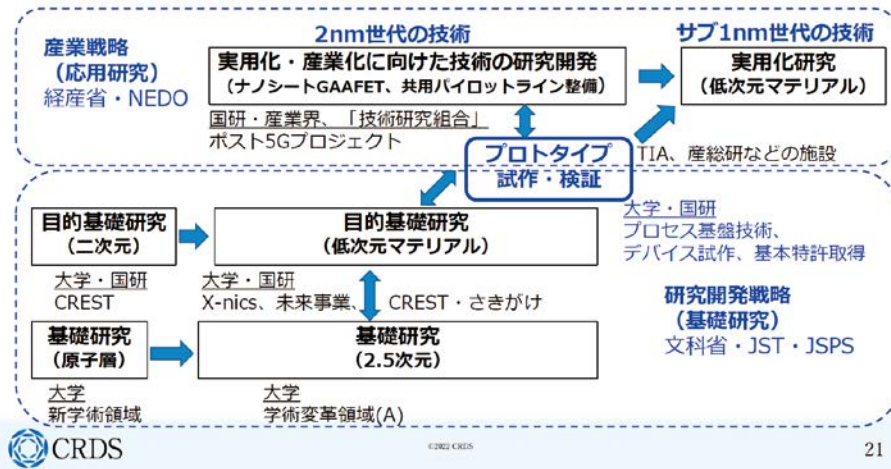


図1-8 プロジェクト間の連携案

また、図1-8に示すように、半導体の産業政策を進めている経産省と基礎的な研究開発を進める文科省との連携が非常に重要と考えている。産業戦略と研究開発戦略が整合する形でやっていく必要がある。経産省の産業戦略に基づいてビヨンド2nmの技術開発に関するプロジェクトが行われているが、さらにその先には1nm、サブ1nmという世代が来ると思うが、このような世代に対応できるように基礎研究としても研究開発戦略を策定して先行的に取り組むことが重要と考えている。低次元マテリアルに関する基礎研究としては、最近では文科省のX-nicsやJSTの未来事業の中でも一部のテーマで行われており、新たなCRESTやさきがけなどのプロジェクトをうまく設計し、全体として低次元マテリアルの研究開発力・技術力を高めていきたい。さらに、これらの基礎研究と実用化を目指す応用研究との間をつなぐ仕組みが重要である。それには、低次元マテリアルを用いるデバイスのプロトタイプを試作し検証する施設が必要と考えている。これを文科省が行うのか、経産省が行うのか難しいところもあるが、両省が協力してこのような体制をつくり、次世代の半導体技術につなげていくことが必要と考えている。

2 | 低次元マテリアルの新機能性創出とデバイス応用

2.1 2次元異種材料のヘテロ接合形成と新機能創出

町田 友樹（東京大学）

我々はファンデルワールス接合による複合原子層をターゲットに研究している。界面で格子整合が要らないのが大きな特徴であり、そのため、様々な材料をデジタル的に組み合わせることができる。さらに、既存体系にはないツイスト角度という制御の自由度があり、これによってバンド構造や物性が変わるという特徴があるため、サイエンスの面でもデバイス応用の面でも様々な可能性が広がっている。

主にキャリア輸送の観点から研究してきており、図2-1-1に示すように、最初のフェーズとしては、窒化ホウ素（h-BN）を下地やキャップとして使うことを検討した。グラフェンや2Dマテリアルをh-BNで挟むと本来の物性が発現させることを実験で示した。フェーズIIでは、界面そのものに機能を持たせることを検討した。例えばジョセフソン接合やトンネル磁気抵抗素子、縦型FETなど、様々な組合せで機能を持たせることを研究してきた。フェーズIIIとしては、もともと機能を有している構造（例えばフォトリソニック結晶やホイスラー合金電極）上に2Dマテリアルを乗せて新たな機能（例えばレーザー発振）の発現を目指すことを研究してきた。フェーズIVでは、ツイスト角度の制御によりモアレポテンシャルを導入して物性を変える実験を行った。

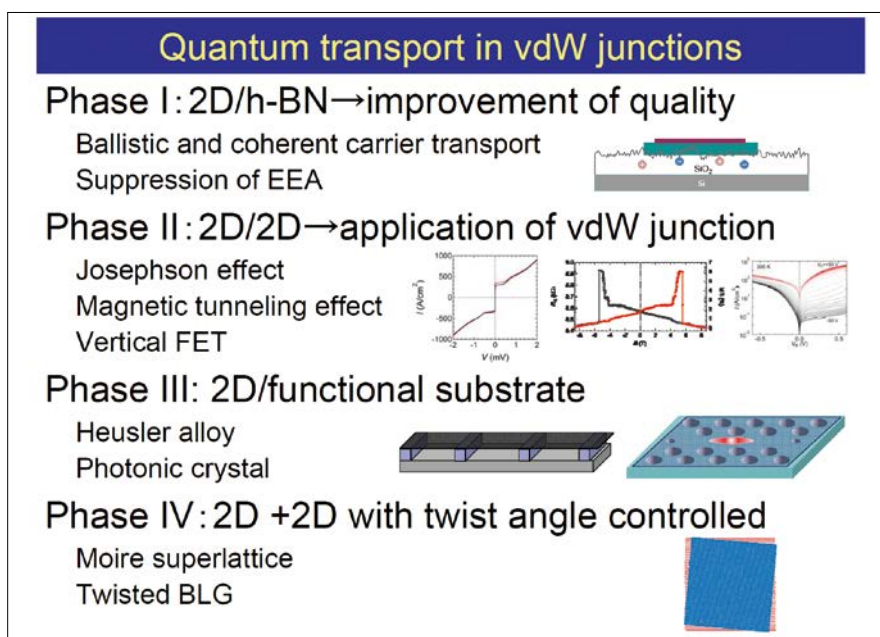


図2-1-1 ファンデルワールス接合の研究フェーズ

現在はフェーズVとして、ツイスト角度を制御して原子層を重ね合わせると、元の材料系からは予想できない物性が発現することに関心を持って研究を進めている。単層グラフェン同士の積層では、ツイスト角度が1.05°では超伝導が発現するのに対し、ツイスト角度30°では準結晶になる。グラフェン同士でも簡単な問題ではない。

1層WTe₂ × 1層WTe₂の積層で、ツイスト角度0°と180°を比較してみた例では、二次高調波（SHG）

の評価から、ツイスト角度 0° では反転対称性が保持されているが、 180° では破れていることが分かった。天然の WTe_2 は偶奇性があり、レーザーARPES（Angle-resolved photoemission spectroscopy）でみたバンド構造が1層と2層では異なることが知られているが、ツイスト角度 0° と 180° で人工的に積層した場合でも同様のことが観測され、ファンデルワールスアセンブリで対称性を人工的に制御できることが確認できた。この例は氷山の一角である。2D材料の基本格子構造は18種以上、二次元結晶は50種以上あり、ツイスト角度は連続であるため、その組合せは無限大である。この物性をきちんと理解することが、2D材料をデバイス応用に使うために重要である。そのためには、グラフェンや様々な遷移金属カルコゲナイド（TMD）に対して、層数とツイスト角度に対する物性相図を実験で構築しようとしている。

このために、ファンデルワールスアセンブリに関する基盤技術も検討している。図2-1-2に示すように、スコッチテープ法と呼ばれる劈開、2D材料原子層の探索・積層をすべてロボットがグローブボックス内で実施するシステムを構築した。

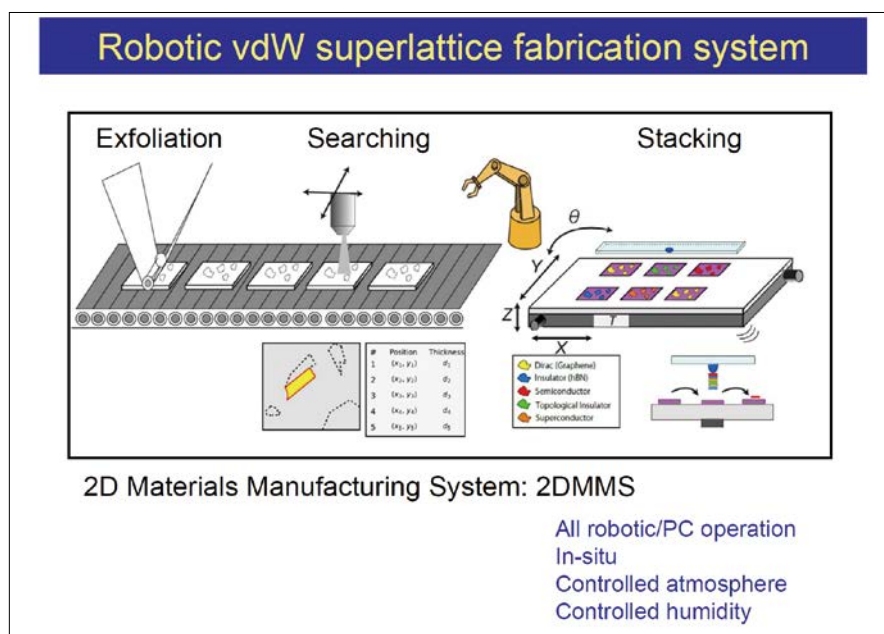


図2-1-2 ロボットによる2D材料積層システム

2D材料原子層の探索は、初期は色の解析で実施していたが、その後、機械学習、深層学習の活用へと進んでいる。まずトレーニングセットでニューラルネットワークを学習させておくことで、新しい画像から適切な部分を自動的に選ぶといったコンセプトである。われわれのシステムは、顕微鏡を自動的にフォーカスして、コンピュータが単層グラフェンや、2～3層グラフェンの可能性ある場所を0.2秒で戻してくる。最終的にはそれを研究者が見て決定する。

2D材料積層は、いわゆるスタンプ法と言われる方法を使っている。最初の1枚の原子層はポリマーで持ち上げ、その後はファンデルワールス力で順次持ち上げて積層構造をつくる非常に簡便な方法である。我々の装置はロボティックオペレーションで動くようになっており、例えば30層のファンデルワールス超格子を作った例がある。この技術は、図2-1-3に示すように、ファンデルワールス・ヘテロ構造を作る方法としては第4世代と言える。第1～3世代は欧米で立ち上がった技術であるが、ロボティックオペレーションは我々が初めて実現したものである。この後、欧米でもこれに近いプロジェクトが立ち上がっている。

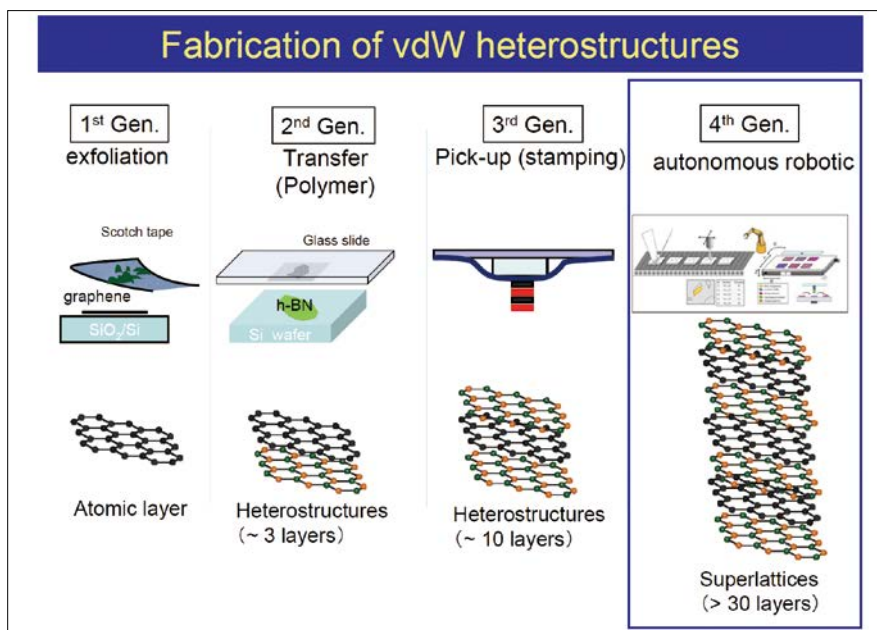


図2-1-3 ファンデルワールス・ヘテロ構造の作成方法

ここまでは積層について説明してきたが、それだけではなく、図2-1-4に示すマイクロドーム型のポリマーをマニピュレーターとして、原子層を後から動かしたり、回転させたり、めくったり、丸めたり、切ったりするような動作ができる手法の研究もしている。後から動かすことが可能なので、h-BN原子層の宙づり構造をリソグラフィーなしでつくることもできている。さらに、MEMSと組み合わせた手法で、ツイスト角度を連続的に変えることでバンド構造を制御することも目指している。

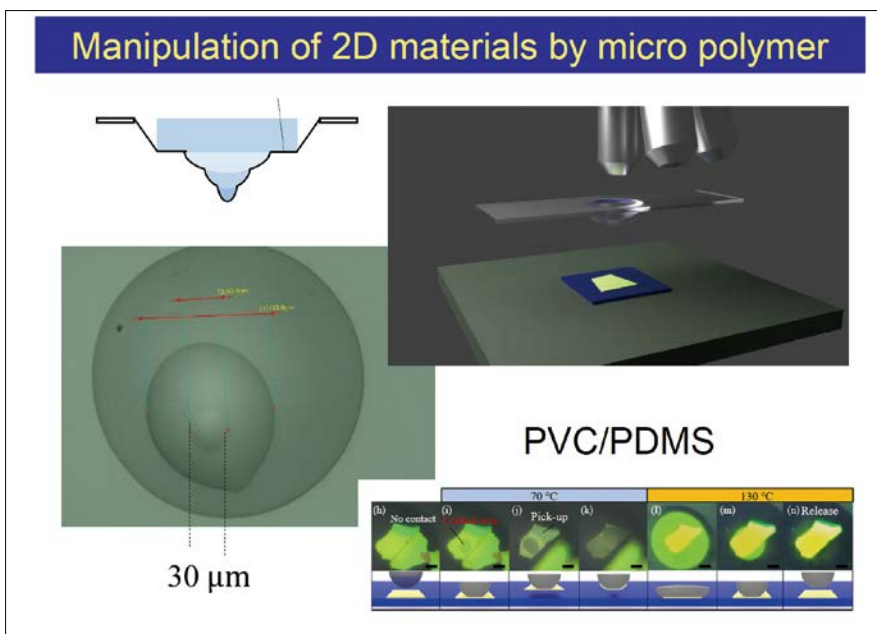


図2-1-4 マイクロドーム型マニピュレーター

応用を意識した検討も実施している。多層TMDは、本来はオプトエレクトロニクス応用には適さないものであるが、サブバンドをうまく使うコンセプトで研究している。多層TMDは量子井戸としてふるまい、サブバ

ンドを使ったオプトエレクトロニクスデバイス等が実現できると考えている。例えば WSe_2 / h-BN / WSe_2 では、図2-1-5に示すようにサブバンドからサブバンドへの共鳴トンネルが見えるはずであり、実際に4層 WSe_2 で素子をつくると、図2-1-6のように共鳴トンネル効果が観測された。これはソース側とドメイン側の WSe_2 間でサブバンドからサブバンドに共鳴トンネルする様子であり、Negative differential resistanceも見えており、モーメンタムを保存した共鳴トンネルになっている。この研究を進めていくと、最終的には量子カスケードレーザなども実現できるようになると期待している。既存材料系ではできないものを作れるようにして、応用としてはハイエンドを狙いたい。例えば量子カスケードレーザは、波長4～12 μm までの市販品は2,000万円を超えており、コストや作製効率にこだわる必要がないので好ましい。

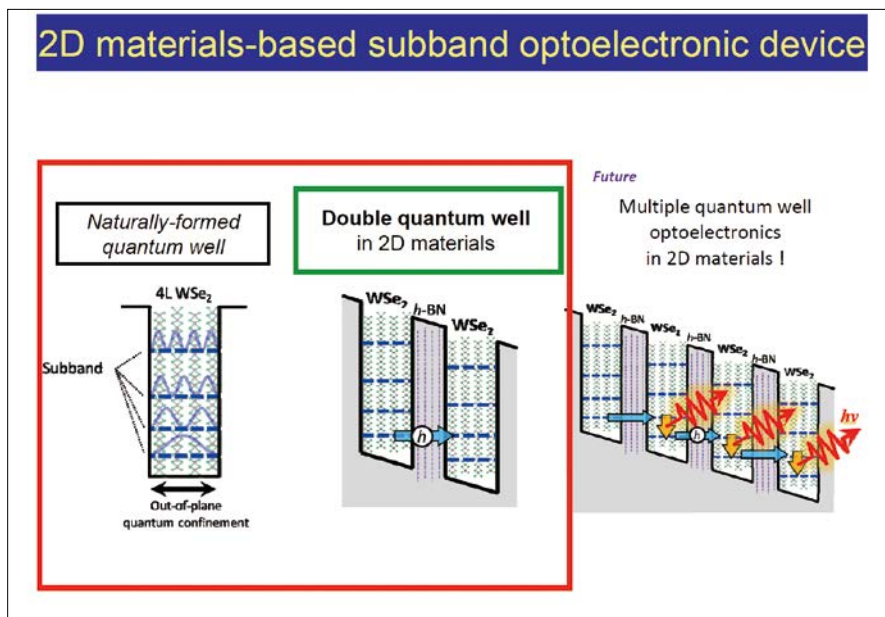


図2-1-5 2次元マテリアルのサブバンドを利用したオプトエレクトロニクス

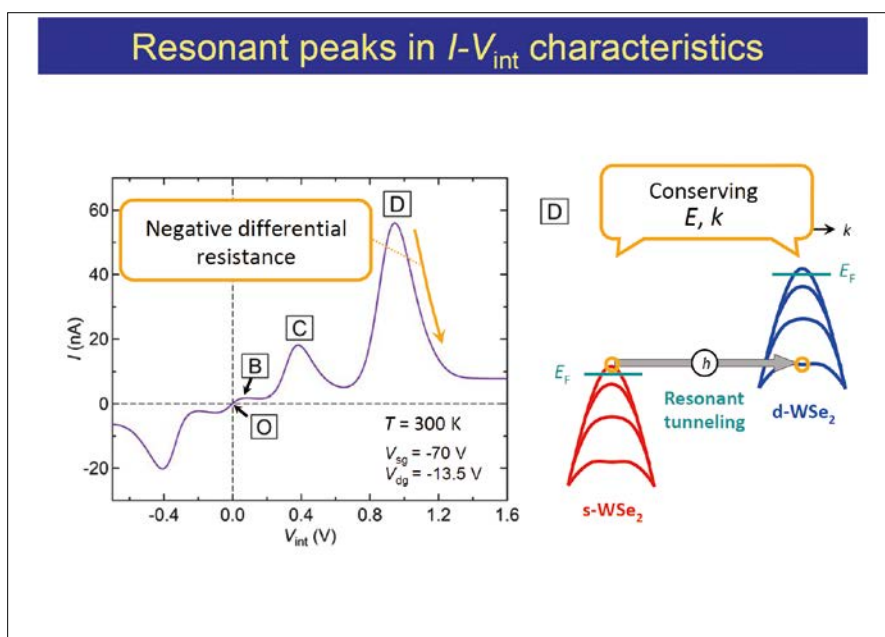


図2-1-6 サブバンドからサブバンドへの共鳴ピーク

私はこれまでにさまざまなJSTのプロジェクトで代表を務めた。III-V族半導体の研究でさががけ「ナノと物性」、グラフェン量子ドットでさががけ「革新的次世代デバイスを目指す材料とプロセス」、CREST「二次元機能性原子・分子薄膜の創製と利用に資する基盤技術の創出」をやった。現在は、CREST「原子・分子の自在配列・配向技術と分子システム機能」をやっている。

また、同時に未来社会想像事業の共通基盤領域でフィージビリティスタディを実施している。ここでは、2Dマテリアルは組合せが無限にあり網羅的探索では限界があるため、マテリアルインフォマティクスの活用を検討している。具体的には、熱伝導を最小にするために、ファンデルワールス超格子で最適な各層の種類・順序をどうするのがよいかを、ベイズ最適化を使ってできるだけ少ない試行回数で設計し、それを実験で確かめることを計画している。

プロセスインフォマティクスにも取り組んでいる。原子層をつくる際、スコッチテープ法を使っているが、これはパラメータが多く、またノウハウの固まりである。これを定量化し、職人芸を共有・伝承するということも含めて、条件最適化にはベイズ最適化を活用したいと考えている。つまり、図2-1-7に示すように、ファンデルワールス・ヘテロ構造の作製方法のフェーズVIIは、作製－物性評価－設計のループを、インフォマティクスを活用して自律的にハイスループットに進めることである。

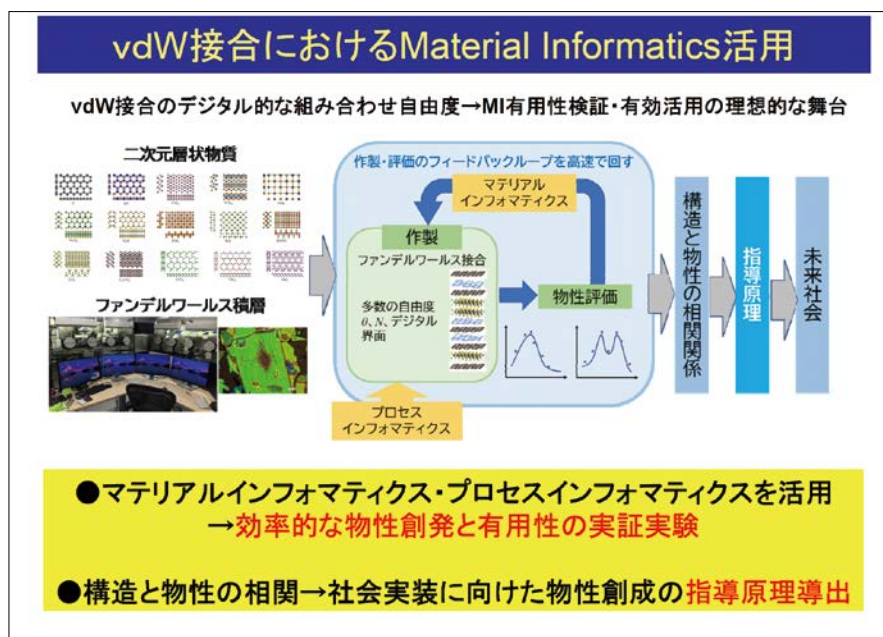


図2-1-7 インフォマティクスの活用

1970年に江崎玲於奈先生が半導体超格子の概念を提唱してから技術が発展し、現在の半導体、エレクトロニクスにつながっている。2Dマテリアルの研究はまだまだ始まったばかりではあるが、すでにファンデルワールス超格子までできるようになっており、可能性が広がり、急速に発展している。今後の研究の方向性としては、デバイス応用だけでなく、基盤技術の構築や基礎学理の蓄積はデバイス応用にとっても必要であるので、大切にすべきだと考える。

【質疑応答】

Q：ツイスト角度を変えて積層したものが、後から回転して角度が変わることはないのか。

A：グラフェン、h-BNは動きやすい。室温ではそう動くものではないが、温度を上げると、回って安定な角度になってしまう場合があるので、ピン止めは必要かもしれない。また、ミクロ的に見ると、部

分的にツイスト角度が異なるようなドメイン構造ができている可能性はある。

Q：ツイスト角度 1.05° で超電導が発現する際、何が起きているのか。

A：ツイスト角度はk空間でディラックコーンをシフトすることに対応し、それによりバンド構造が変わる。
 1.05° はちょうどフラットバンドができる角度で、電子相関が強くなり、その結果として超伝導が出ている。ただし、まだ完全には超伝導のメカニズムは分かっていない。

Q：剥離－積層という方法が高度化されてよいレベルに達している。量産に向けてのバリアには何があるか。

A：我々は基本スタンスとして、大面積化は狙っておらず、多様な組合せの高品質な積層構造をつくって、物性を発現させることに集中している。実際の量産に向けた検討は、別のグループにお願いしたい。ただし、ロボティックファブリケーションを活用するとそれなりにハイスループットで製造することができるので、1個1,000万円するようなハイエンド商品を5個/日程度は製造することはできるだろう。

Q：2次元マテリアルにとっては、ツイスト角度が一番新しい自由度である。薄膜成長では整合性を持った角度で成長してしまうので、剥離－積層法が重要である。剥離－積層するシートのうち、どの程度の範囲の均一性があれば、トランスポート特性のようなマクロな特性が得られると考えられるのか。

A：我々は数 μm 角のサンプルに電極をつけて評価しており、多少ばらつきはあるが安定している。電極が $1\mu\text{m}$ 程度の距離の場合だったら、その電極間を貫く大きさがあれば十分である。

2.2 二次元原子薄膜ヘテロ接合材料のテラヘルツ波デバイス応用

尾辻 泰一（東北大学）

グラフェンを中心とする二次元原子薄膜ヘテロ接合材料とそのテラヘルツ（THz）波デバイス応用に関する研究開発動向を紹介することともに、課題と将来展望について私見を述べる。Beyond 5G、6G、7Gの開く未来のビジョンが我々の産業や社会に与える影響やインパクトは計り知れないが、それを実現するためには図2-2-1に示すようなTHzギャップを超えなければならない。そのためには、フォノンデコヒーレンス領域のフォトニックデバイスの創生が必要である。

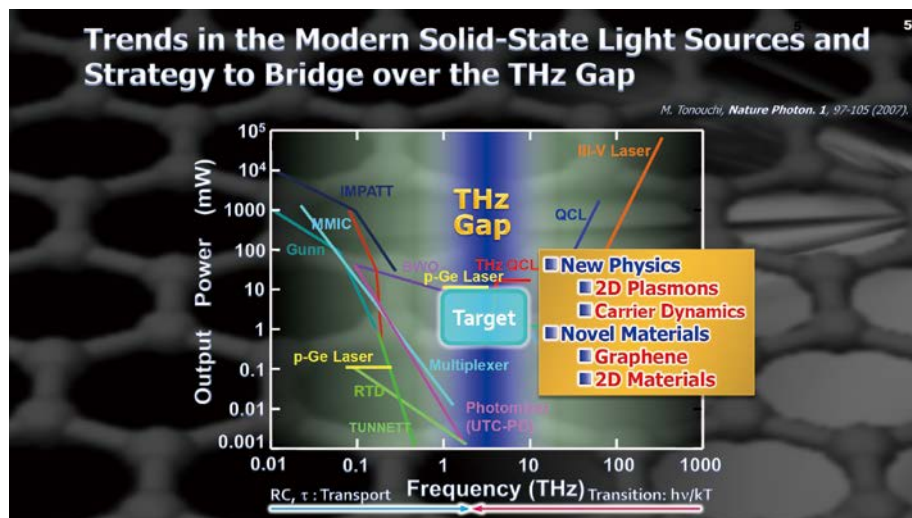


図2-2-1 固体光源のトレンドとTHzギャップを超えるための戦略

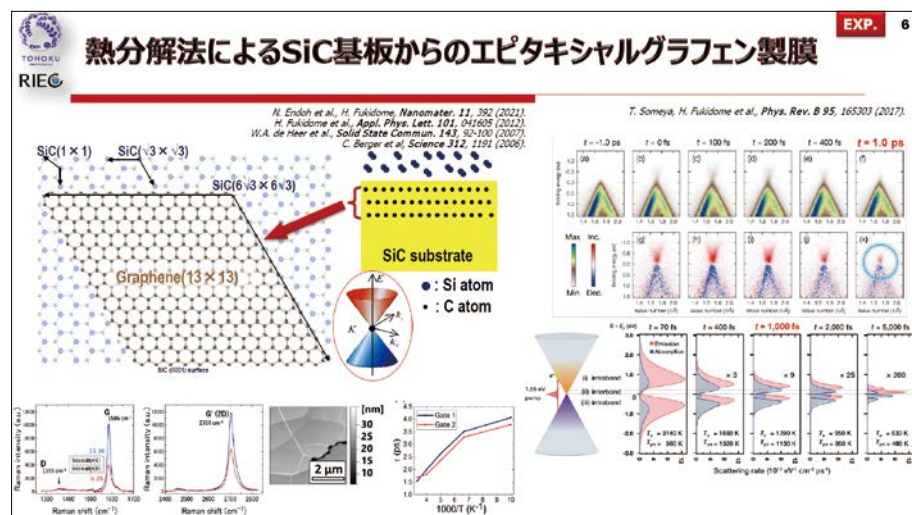


図2-2-2 熱分解法によるSiC基板からのエピタキシャルグラフェン製膜

THzギャップを超えるためには、本ワークショップの中心的課題である二次元材料の物性や、それら異種材料を複合することにより発現する機能を活用しなければならない。量産型のプロセスが重要であり、剥離

転写の量産化対応は難しいと思われるので、我々は熱分解によるSiC基板からのエピタキシャルグラフェン製膜の技術を磨いてきた。ラマン分光スペクトルにDバンドピークが現れないグラフェン膜を製膜できるようになっており、グラフェンの結晶性が飛躍的に向上していることが示唆される。このグラフェンは、図2-2-2に示すように、赤外光を照射して光ポンピングした後、伝導帯のエレクトロン（赤ドット）と価電子帯のホール（青ドット）が1ピコ秒以上たった後も反転分布形成が続いており、優れたキャリア輸送特性を示す。今後は、剥離転写のようなボトムアップ型ではなく、トップダウン型の半導体集積加工プロセスで二次元材料のヘテロ接合をつくることが重要になると考えている。以下では、幾つかの機能デバイスを紹介する。

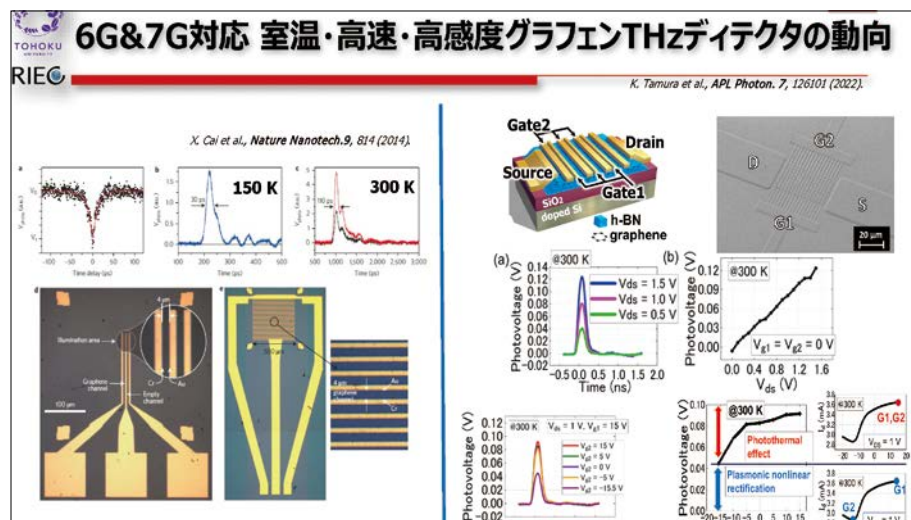


図2-2-3 6G&7G対応した室温・高速・高感度グラフェンTHz検出器の開発動向

まず、THz波の高感度・高速検出器（ディテクタ）について紹介する。F.H.L. Koppens（ICFO-Institut de Ciencies Fotoniques, Spain）らがNature Nanotechnology 9, 780（2014）にレビューしているように、様々なTHz波の検出メカニズムがある。現在、感度および速度性能の2つに対応できるのが、プラズモニックな検出と光熱電型（photo-thermoelectric）の検出である。Xinghan Cai（Maryland大学）ら（図2-2-3左；Nature Nanotechnology 9, 814（2014））は300Kにおいて100psのポンププローブの応答時間であるのに対して、我々のグループでは、室温で同等の高速性能を高感度を実現するところまで来ている（図2-2-3右；APL Photonics 7, 126101（2022））。プラズモニックな検出と光熱電型の検出とをバイアスで制御することで、速度性能を失わずに感度を上げることが検出器の世界でもできるようになってきた。

一方、コヒーレント光源の技術も重要である。我々は2018年に初めてグラフェンのTHzレーザトランジスタにおいて単一モード発振に成功したが、極めて微弱で閾値温度が100 Kであった (Nanophotonics 7, 741 (2018))。二次元電子系の集団素励起による荷電振動量子のことをプラズモンと言うが、微弱で低温下でのレーザ発振限界を超えるためには、室温で動作する高強度のプラズモニックな発振が必要である。これを、我々は不安定性と呼ぶが、グラフェンのプラズモンは減衰が非常に弱く、非線形性が非常に強いいため、室温下でも自励発振に至ることが可能である。直流の電気エネルギーをTHzの高周波エネルギーに効率よく変換することができ、今のところグラフェン1層でTHz帯において室温で9%の利得を確認している (Physical Review X 10, 031004 (2020))。

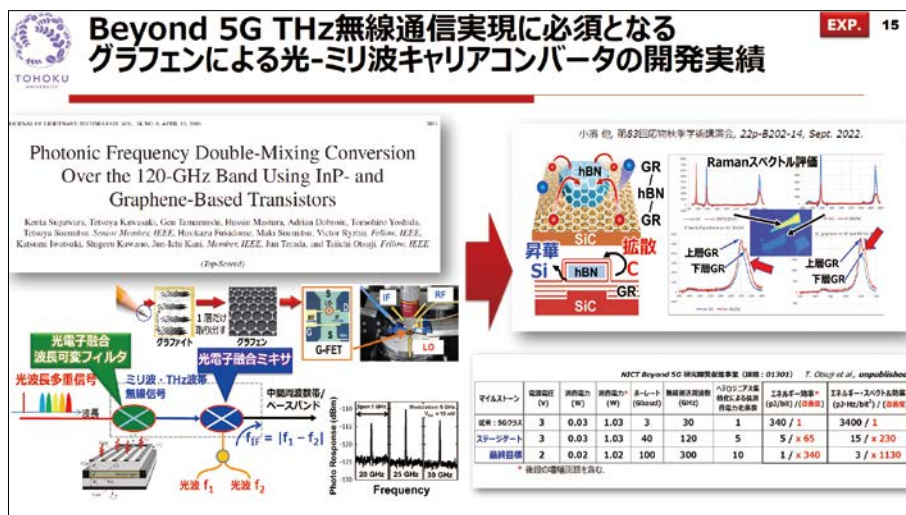


図2-2-4 Beyond 5G THz無線通信実現に必須となるグラフェンによる光 - ミリ波キャリアコンバータの開発状況

Beyond 5G通信の応用を考えたときには、検出器や光源以外に、光通信と無線通信の光・THz周波数変換機能が重要になる。我々は、2015年頃からシングルチップのグラフェントランジスタで光信号帯のデータを無線帯やTHz帯、さらには中間周波数、ベースバンドまでワンチップで落とせることを実証してきた（図2-2-4）。現在はNICTの「Beyond 5G 研究開発促進事業」で研究開発を行っており、hBNとグラフェンのヘテロ積層で3～4桁の変換利得の向上を目指してチャレンジしている。現状の5Gクラスの1ビット当たりのエネルギー消費効率と比べて、この事業が3年半後に終了するまでには2桁以上のエネルギー効率の改善を目標にして研究開発を進めている。

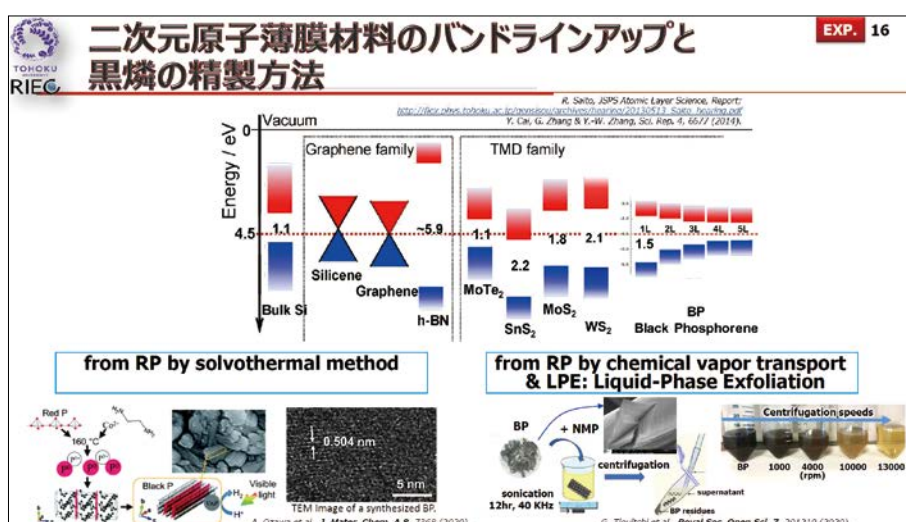


図 2-2-5 二次元原子薄膜材料のバンドギャップアライメントと黒燐の製膜方法

二次元材料のヘテロ積層に話を移す。図2-2-5には代表的な遷移金属ダイカルコゲナイド（TMD）、黒磷（BP）、hBN、グラフェンのバンドギャップアライメントを描いている。様々なバンドギャップアライメントがあり、グラフェンのディラック点近傍に他の多くの二次元材料のバンドギャップが位置していることで、様々な応

用が考えられる。これまでに、グラフェンとhBNのナノキャパシタで、フォトンアシストあるいはプラズモンアシストにより高効率な発光と検出ができることを理論と実験の両面から探求してきた（2D Materials 3, 045009 (2016)）。グラフェンナノキャパシタ（グラフェン二重層）をさらにカスケード積層することで、今までの量子カスケードレーザとは全く違う動作原理で、室温動作するグラフェン二重層の新原理THz量子カスケードレーザの提案をしている（Optics Express 24, 29603 (2016)）。

半導体2層ヘテロ構造のキャリア間でクーロン相互作用を介して運動量の遷移が起こるクーロンドラッグ効果（IBMのP. M. SolomonらによりPhys. Rev. Lett. 63, 2508 (1989) で報告された現象）が、グラフェンナノキャパシタにおいてもManchester大学のR. V. Gorbachevらにより見出され、Nature Physics 8, 896 (2012) で報告されている。また、D. A. Bandurin（MIT）らがScience 351, 1055 (2016) で報告した論文によると、驚くべきことに、グラフェンのキャリアの粘性が非常に高く、はちみつ以上にどろどろであると形容されている。それにより、キャリアの動きが緩慢になって千鳥足状態（酩酊状態）に変化することで電流電圧特性に大きな非線形性をもたらし、電流電圧特性の中にガンダイオードやエサキダイオードのような負性微分導電率が出現すると指摘された。一方、我々は単層のグラフェンチャネルの中でも、弾道輸送のキャリアと熱平衡であるキャリアの2つの流れが相互作用すると、強いクーロン相互作用が働いて新しいクーロンドラッグ不安定性が起こることを理論的に発見した（図2-2-6；Physical Review Applied 16, 064054 (2021)）。

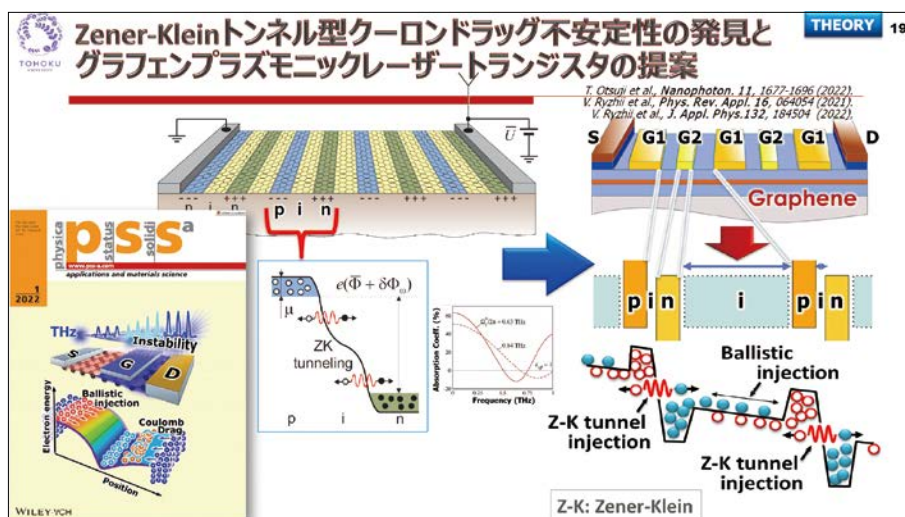


図2-2-6 Zener - Kleinトンネル型クーロンドラッグ不安定性の発見とグラフェンプラズモニックレーザートランジスタの提案

そのような不安定性を取り入れると、室温での高強度コヒーレント光源の実現も可能である。例えば、黒燐（BP）とグラフェンのバンドはほぼ揃っているが、BPは有効質量が重い材料であるのに対して、グラフェンは質量ゼロの材料である。これらを層状に重ねてチャネルを形成すると、グラフェン中のキャリアはほとんどバリステックに近い形で弾道的に速くチャネル中を走行する。ところが、ある程度ドレインバイアスをかけてチャネルのポテンシャルに傾斜を与えると、BPの伝導帯下端のエネルギーレベルが水平方向に見えてくるようになり、そちらにホッピングするようになる。これはガンダイオードがΓ-Lバレー間の位相空間で遷移するのと全く同じように、実空間で遷移する。そうすると急ブレーキがかかるので、負性微分導電率が得られることになる（Journal of Applied Physics 124, 114501 (2018)）。このような興味深い現象が遷移金属ダイカルコゲナイド（TMD）、グラフェン、hBNなどをヘテロ積層することによって生まれてくる。

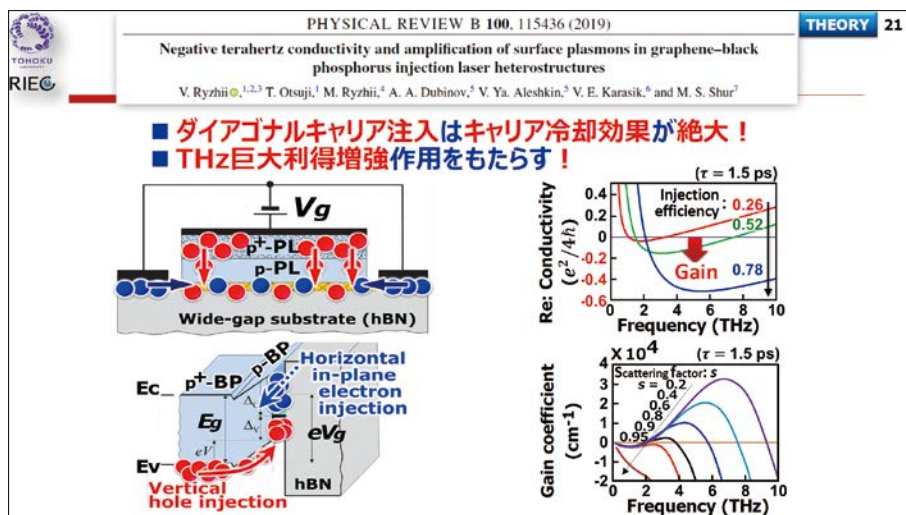


図2-2-7 キャリア冷却効果が大きいダイアゴナルキャリア注入によりもたらされるTHz巨大利得増強作用

グラフェンのレーザトランジスタを作る際には、電子（電子）とホール（正孔）の同時注入が必要だが、チャンネルの面でキャリアの同時注入を行うとクーロン相互作用のために、電子やホールがホットになり利得が上がらなくなる。そこで、図2-2-7に示すように、BPを上重ねてホールを注入するパスと電子を注入するパスを直交させる「ダイアゴナルインジェクション」を採用すると、キャリアの冷却作用が強く働いてホットキャリアの発生を抑えることができる。その結果、THz巨大利得増強作用をもたらすことができる（Physical Review B 100, 115436 (2019)）。

二次元材料のヘテロ接合系では、このような様々な恩恵が得られるので、ぜひ国家的な大きな予算を投じて、若手の研究者やシニアな研究者の総合力を活かして突き進んでいくようなプログラムを立ててほしい。

紹介した内容をまとめると図2-2-8になる。グラフェンを中心とする二次元原子薄膜ヘテロ接合材料とそのTHz波デバイス応用に関する研究開発動向を紹介することともに、課題と将来展望について私見を述べた。二次元材料系の中には、図2-2-8にモノグラフ的に示すような様々な物性がある。電子・プラズモン・スピン・フォノン・マグノン・エキシトンと、ある周波数帯の光子を相互作用させることによって、これまででなし得なかったような赤外や紫外も含めた光の領域とミリ波・電波の領域の高効率な信号変換ができるようになり、THzギャップも大きく克服できるのではないかと。半金属、絶縁体、半導体といった異なる二次元原子薄膜をヘテロに接合・積層化した材料系では、従来技術が越えられなかった壁をブレイクスルーする大きなポテンシャルを秘めている。その製膜・接合・界面制御・デバイスプロセス技術の深化が産業応用の鍵を握っており、今後の発展が期待される。

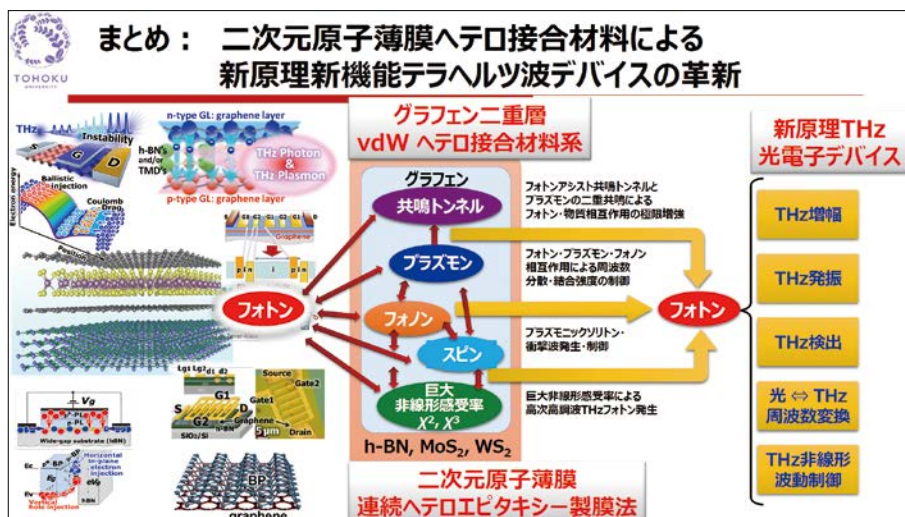


図2-2-8 まとめ：二次元原子薄膜ヘテロ接合材料による新原理機能THz波デバイスの革新

【質疑応答】

- Q：プラズモンを生成するには、かなりのキャリア密度が必要だと思うが、どのくらい必要か。
- A：キャリア密度は、それほど必要ではなく、 $10^{12}/\text{cm}^2$ 程度で十分である。ただし、 $10^{11}/\text{cm}^2$ になるとプラズモンがなかなか生成できない。
- Q：基本的には、グラフェンは半導体として使うのではなくて半金属として使うのか。
- A：伝導帯と価電子帯の間のキャリア遷移が多く起こる状態で使う。したがって、半金属というよりは、フェルミレベルがピンニングされずにドーピングによってシフトする状態で使うので、イメージ的には半導体という色合いの方が強い。
- Q：先ほどガンダイオードの類型として検出器について言及していたが、これは発振器であると理解してよろしいか。
- A：検出器と発振器の両方の使い方がある。エサキダイオード等は、直流電流電圧特性における負性抵抗領域に電圧バイアスすることで発振器として動作し、バイアス点を負性抵抗領域に入る直前に設定することでその非線形性によって整流効果が働き検出器として動作する。この点は、検出器と発振器の両方を使い分けている共鳴トンネルダイオード（Resonant Tunneling Diode：RTD）と全く同じ状況にある。
- Q：ヘテロ接合の界面でどのような電子的な物理現象が起こるかについてよく分かったが、実際に材料が重なっている界面における最適な界面構造は、ある程度予測・計算しているのか。
- A：界面構造の予想・計算はしていない。これは基本的に全てファンデルワールス力によるものであり、ボンドのないヘテロ積層である。したがって、例えばhBNとグラフェンであっても格子定数が微妙に違うので、ひずみや応力が働いて本来の物性が若干摂動されてしまう。ところが、通常のケミカルなボンドがあるものとは全く違うファンデルワールス力によるヘテロ界面なので、層間には原子間引力しか働いていない。
- Q：そうすると、ある意味では上下の原子配列とは無関係で、重なっていればよいということか。
- A：ある意味その通りで、異なる物質が重なっていればよい。
- Q：力学的な剥離に関しても界面の構造はあまり依存しないということか。
- A：外的な要因によっては、例えば圧力や応力が働くと、弱いファンデルワールス力だけで接合されたヘテロ界面の特性は変わってしまう。やはりhBNでサンドイッチするようなパッシベーション処理（不動態化処理）技術を含めて考えないと安定した動作は得られない。
- Q：そこが重要なポイントになってくるということか。
- A：ヘテロエピタキシャル成長による積層技術が覇権を制すると思う。また、例えば、グラフェンを層状に

重ねるときにも、モアレ模様を変える（面内の回転方位を変える）と常伝導・超伝導相転移も起こるので、その意味ではファンデルワールス積層の制御技術には非常にセンシティブな部分もある。

Q：グラフェンをSi基板上にSiCから作っていることから、ヘテロエピタキシャルグラフェン成長技術はかなりよいと思うが、他の物質、例えば、遷移金属ダイカルコゲナイドの製膜基板を作るときに何か参考になるような知見はあるか。

A：基本的には、やはり化学気相成長法（CVD）で異種の二次元材料を連続的に製膜できれば、ヘテロエピタキシャル成長のメリットが高いと思う。我々が2007年に参画したCREST「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」（研究総括：渡辺久恒、平成19年10月～平成26年3月）では、Si基板上にSiCをヘテロエピタキシャル成長させた後、熱分解で（Siを離脱させ、残るC原子の再配列によって）グラフェン化させるヘテロエピタキシャルグラフェン成長技術を他に先駆けて創出した。グラフェンの次に遷移金属ダイカルコゲナイドを使うためには、このような先駆的な技術を入れていかないと難しい。そこがおそらく学術変革領域研究「2.5次元物質：社会変革に向けた物質科学のパラダイムシフト」が目指しているところだと思う。

Q：今回の発表で、界面方向の様々な積層の品質が重要だというのはよく分かったが、今後の開発を考えたときに、デバイスの大きさはどのように影響するのか。プラズモン振動ではあまり関係ない気もするが、実空間遷移を使うのであれば距離が関係してくると思う。

A：SiC表面がグラフェン化したときのAFM像によれば、今では、10 μ mオーダーの領域をシングルドメイン化できる。したがって、スケーリングしたCMOSのトランジスタサイズを一応覆う程度にはできると考えている。

Q：これらの現象の発現サイズは、どのくらいか。実空間トランスファーの最適値はどれくらいか。

A：プラズモンの場合は電磁波の波長に比べて2桁短い波長オーダーで共振が起こる。1 THzの電磁波の場合は、波長が3 μ mとなるので、プラズモンの1波長は2桁短い30 nmのオーダーになる。テラヘルツ帯でのプラズモンの発現サイズとしてはこのオーダーになると考えればよい。実空間トランスファーの場合は、電子の波動関数の重なりがないとホッピングが効かないので、ボーア半径程度と考えられる。室温では、10 nm程度の間でグラフェンチャネルからBPの間に遷移できるようなバンドアライメントとポテンシャルスロープを与えることが必要になると思う。

Q：新しい物理現象を利用したテラヘルツ発振は非常に興味深い。化合物半導体を使ったRTDは発振周波数が結構上がっているが、それと比べて何がメリットになりそうか。

A：RTDの量子力学的な共鳴トンネル現象自体は、準位間のエネルギー差の不確定性幅ぐらいでその遷移時間を定めることができるが、実際に発振器として使うときには、外に取り出すためのアンテナと信号配線のRC時定数が基本的に支配的であり、理論的な見通しでもIII-V族半導体系を使った場合には3 THzに達するかどうかである。よって、RC時定数とトンネルによる非線形の負性微分で行う方式では、そのネックをどうしても超えることができない。我々のプラズモニックデバイスは基本的に直流では動かないが、プラズモンゆえに電気変位の時間微分で変位電流が流れるので、それを使っていることが本質的なメリットになる。逆に、低い周波数側は非常に難しく、最近我々が発見したクーロンドラグ不安定性を導入することで、やっと1 THzの壁を低い側へ乗り越えることができるようになったといえる。一方、高い側には結晶のフォノンリミットがあり、レストシュトラレーンバンドで切られてしまう。それは、結晶のフォノン振動が始まると、電波としてのコヒーレンスは失われてしまうからである。グラフェンが非常に良いのは、炭素原子の原子番号が6と軽く、隣の炭素原子との間で作る σ 結合が非常に強力なために、光学フォノンが約198 meVという極めて大きなエネルギー（すなわち高い周波数）を有していることにある。このような高い周波数にフォノン振動モードがある材料は他になく、その周波数帯までは使える。プラズモン振動をグラフェン系で使うデバイスは、10 THz以上の周波数帯にわたって使えるところがRTDとの違いである。

2.3 低次元マテリアルのデバイスシミュレーション

森 伸也（大阪大学）

ここでは、低次元マテリアルのデバイス開発にデバイスシミュレーションがいかに役に立つか、またどういう課題があるかについて紹介する。はじめにデバイスシミュレータについて簡単に説明する。これはデバイスの構造や不純物分布、バイアス条件などを入力として、デバイス内部の電子状態を計算するプログラムである。その特徴として、電流電圧特性などの外部から測れる物理量、いわゆるグローバルな物理量と呼ばれる物理量以外に、一般的には測定が困難なデバイス内部の物理量も出力することができる点があげられる。デバイス解析等に重宝され、集積回路の設計には欠かせないツールとなっている。実際の設計においては、デバイスシミュレーションだけで使うこともあるが、プロセスシミュレーション、サーキットシミュレーション（回路シミュレーション）などと統合したテクノロジーCAD（TCAD）と呼ばれるツールの一部として使われることもある。近年では、プロセスシミュレーションのところに第一原理計算が入ってきて、微視的な計算を基にデバイスの特性を計算するといったことも行われている。

デバイスシミュレータには様々な方式があり、代表的なものとしてはドリフト拡散、モンテカルロ、量子輸送と呼ばれるものがある。現在の産業界で使われているのはドリフト拡散方程式に基づくものであり、ショックレーがトランジスタの発明直後ぐらいに一次元の解析として行ったところに歴史がある（W. Shockley, Proc. IRE 1365 (1952) .）。非常に古い方式であるが、現状でも専らこれが使われている。ドリフト拡散とモンテカルロは古典的なボルツマン輸送方程式に基礎を置いているために、低次元マテリアルのようにチャンネル膜厚が原子層レベルと非常に薄い場合や、チャンネル長がドブロイ波長より短い場合には、それらのデバイスに対して直接適用することは非常に難しい。そのため、量子輸送の中でも特に非平衡グリーン関数法（NEGF）と呼ばれる手法が注目され、2000年頃から世界各所で開発が進められている。私も2000年頃から開発を開始したが、どのような経緯で開発してきたか簡単に紹介する。2004年から2006年頃はSTARCから資金を得て、有効質量近似に基づくシミュレータの開発を行った。2009年からはCREST「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」（研究総括：渡辺久恒、2007～2014年度）で、電子状態をより精密に記述できる強束縛近似モデルに基づき、原子論を扱えるプログラムを開発した。その後は、文科省のポスト京のプロジェクトや富岳のプロジェクトにおいて、東京大学（現在は名古屋大学）の押山先生らが開発された実空間密度汎関数法（RSDFT）のプログラムに基づくデバイスシミュレータの開発を行っている。なお、このRSDFTプログラムはゴードン・ベル賞を取っており、非常に大規模な計算が可能な第一原理計算ソフトである。

次に我々のところの開発状況がどうなっているか簡単に紹介する。図2-3-1は初期の頃の結果であり、若林先生がNECの時に開発されたゲート長が5nm程度のバルクMOSFETのシミュレーション結果である。左上が走査電子顕微鏡（SEM）の写真であり、その下の図はそれをモデル化したものであり、右側はシミュレーションで得られた電流電圧特性を実験結果とともに示している。このデバイスはバルクMOSFETで、紙面に垂直な方向は一様と仮定し、面内の2次元だけで考えることができるので、2次元の非平衡グリーン関数法で計算している。右側の伝達特性において、実線が実験で青丸がシミュレーション結果を示しているが、ほぼ実験結果と合わせることができている。

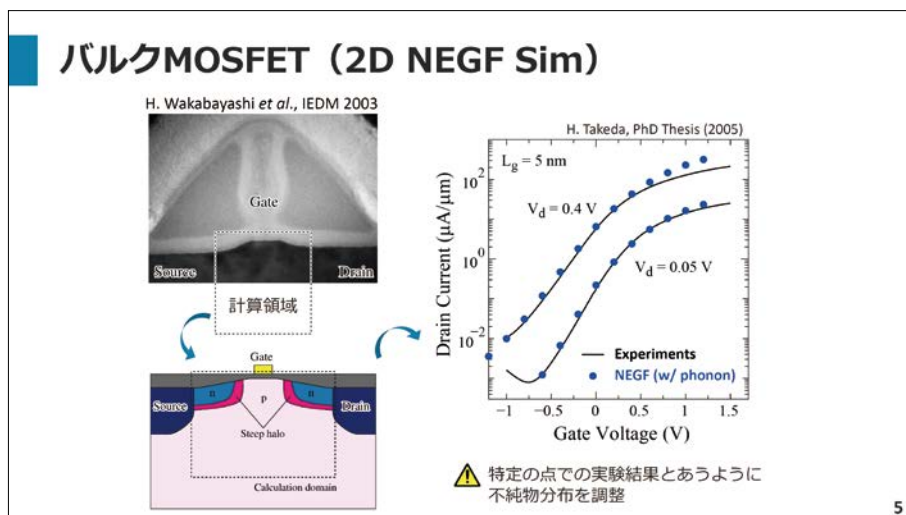


図2-3-1 ゲート長5 nmのバルクMOSFETのシミュレーション結果

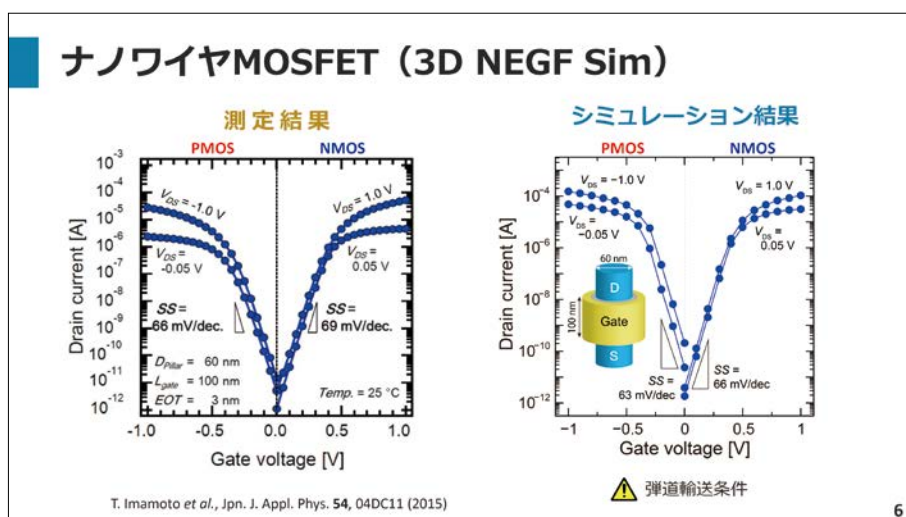


図2-3-2 ナノワイヤMOSFETのシミュレーション結果

図2-3-2はもう少し最近のもので、東北大学の遠藤先生らが開発している縦型のシリコンナノワイヤMOSFETのシミュレーション結果であり、左側が測定結果、右側がシミュレーション結果である。こちらは先ほどのバルクMOSFETと違って三次元構造をしているため、三次元空間でシミュレーションする必要がある。また、ゲート長が100nmと非常に長いデバイスのため、大規模な計算が必要で、膨大な計算量となるため、京コンピュータを用いてシミュレーションした。電流がオフの近辺はNMOS、PMOSともよく合っているが、ゲート電圧が高いオン電流のところは計算結果の方が大きくなっている様子が分かる。このシミュレーションでは散乱過程を入れていないので、大きくなるのは妥当であると思われる。現在は富岳コンピュータを使ってフォノン散乱を入れたシミュレーションを行っている。

以上、紹介したのはシリコンの微細デバイスであるが、シミュレータは原子論に基づいているために、原子を並べてデバイス構造を記述すれば電流電圧特性が計算できるので、原理的にはどんなデバイスにも対応可能である。図2-3-3はCREST「二次元機能性原子・分子薄膜の創製と利用に資する基盤技術の創出〔二次元〕」で宮田先生のチームに参加していた時に計算した結果であり、 MoS_2 と WS_2 の面内ヘテロ接合のトンネルFETをシミュレーションした結果である。

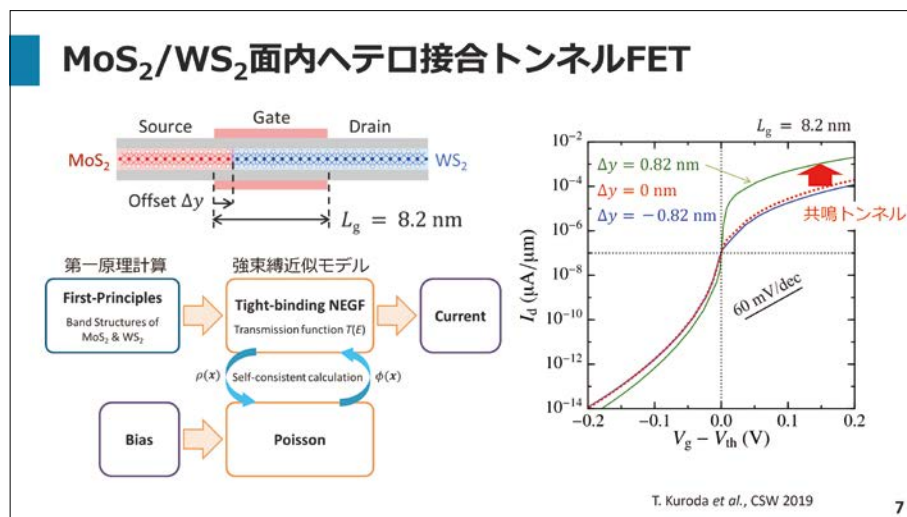


図2-3-3 MoS₂/WS₂面内ヘテロ接合トンネルFETのシミュレーション結果

デバイスの構造としては図の左上にあるように、MoS₂とWS₂が面内でヘテロ接合しているダブルゲート型のトンネルFETである。左下の図のように、はじめに第一原理計算でバンド計算をし、それを強束縛近似モデルに焼き直し、非平衡グリーン関数法を使って電流電圧特性を計算した。この面内ヘテロ接合の場合は、ゲート端から測ったヘテロ界面の位置（左上の図の「Offset Δy 」と書いた量）に自由度があるため、これをうまく調整すると右の伝達特性に見られるように、共鳴トンネル効果によってオン電流を増加させることが期待される。

以上述べたようなデバイスシミュレータを開発してきたが、デバイスシミュレーションがどうして必要なのか、もしくは使う利点は何かと言われたら、デバイスの性能予測、デバイス開発期間の短縮、デバイス動作の理解という点が挙げられる。2次元マテリアルのような新しい材料や、プロセスを大幅に変えるという世代交代などにおいては、事前の性能予測、既存技術とのベンチマーク、多くの選択肢のスクリーニングを行うことが重要である。そのためには経験的なパラメータを必要としないシミュレーション環境の構築が望まれ、第一原理計算に基づく手法などがよい選択肢になると考えられる。一方、プロセス開発後のデバイス構造の最適化や、デバイスがうまく動かないときの不良解析といったデバイス開発期間の短縮を目的にするときには、よく調整されたモデルパラメータ利用の高速なシミュレーション環境が必要になる。こちらには、現状はドリフト拡散やモンテカルロなどがよい選択肢になると思われる。このような理由から、現在はこの2本立てで研究が行われている。

経験的なパラメータを必要としないシミュレーション環境の構築は非常に重要だということで、世界各地で開発が進められている。図2-3-4の左側にある「Osaka」「KAIST」と書いてある我々のグループや韓国のグループのものは割と早くから開発してきているが、その他に右側にあるフランスのCNRSやETH、imecなどからも報告がある。我々は2012年に等価モデルという数値計算手法を開発した。こちらは原子論に基づくシミュレーションを高速に行える計算手法であり、ここに示したグループではCNRS以外は全て等価モデルを採用したシミュレータの開発を行っている。



図 2-3-4 第一原理 NEGF デバイスシミュレータ

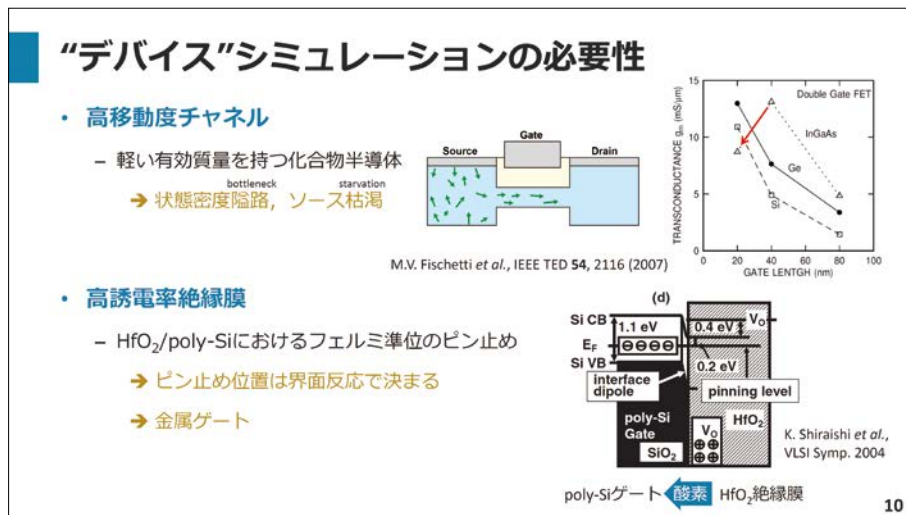


図 2-3-5 “デバイス”シミュレーションの必要性

移動度などは第一原理計算だけで計算できるのに、計算量が多いデバイスシミュレーションをなぜするのかとよく言われるが、非常に長い歴史があるシリコンの例を使って簡単に説明する。図 2-3-5 の「高移動度チャネル」に関しては、バルク型のシリコン MOSFET の性能向上が困難になってきた時代に、移動度の高い材料をチャネルに導入しようと考えられた。右上にはインジウムガリウム砒素 (InGaAs) 化合物半導体、ゲルマニウム (Ge)、シリコン (Si) のデバイスにおける相互コンダクタンスのゲート長依存性を示す。赤い矢印で示されているように、移動度の高い InGaAs はゲート長が 20nm 程度になると、デバイス性能が出ないことがアメリカの Fischetti のグループのシミュレーション結果として示されている。これは、有効質量が軽いがゆえに小さい状態密度がボトルネックになり、ソース端からの注入が滞るというソース枯渇と呼ばれる現象によるものであり、移動度が高いにもかかわらずトランジスタとしての性能は出ないことを示している。このように、デバイスの性能評価を行う際には、そのデバイスを構成している単体の物質の物性値だけでは正しく評価できないので、やはりデバイスシミュレーションが必要になる。もう一つの高誘電率絶縁膜のほうはもう少しプロセス寄りの話になる。High-k 絶縁体を導入するときに、名古屋大学の白石先生らのグループが、 HfO_2 の絶縁膜からポリシリコン (poly-Si) ゲートに酸素が移動することによってフェルミ準位のピンニングが起こることを第一原理計算で示し、金属ゲートに

する方がよいということになった。このように、個々の材料のシミュレーションだけではデバイスの性能を予測することは困難であり、界面や表面の効果も考える必要がある。

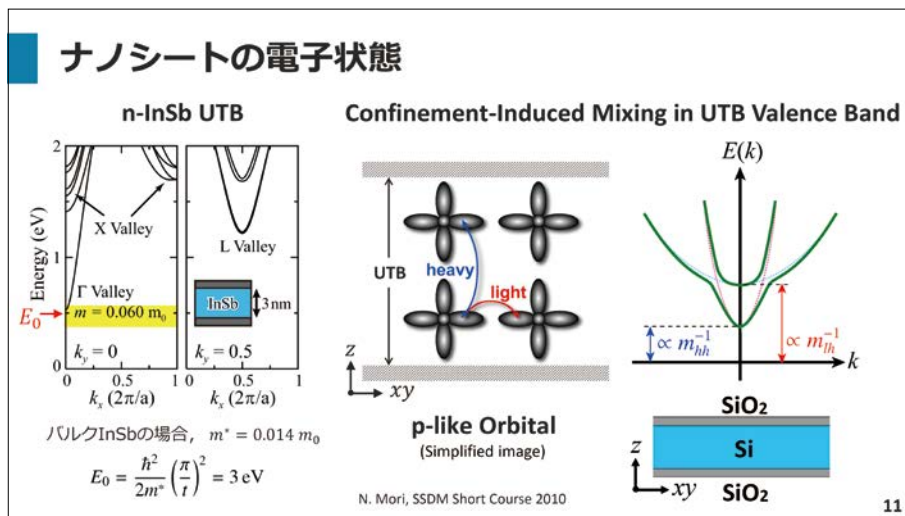


図 2-3-6 ナノシートの電子状態

近年、ナノシートがよく研究されているが、性能予測をするときにナノシートの電子状態にも注意しなければいけない点がある。図 2-3-6 は 2010 年の SSDM のショートコースで使ったスライドであるが、左側の図はインジウムアンチモン (InSb) のナノシート (当時は Ultra-Thin-Body (UTB) と呼んでいた) のシミュレーション結果である。状態密度等も計算したが、ここではバンド構造だけ示している。バルクの InSb では、伝導帯の有効質量は $0.014m_0$ であり非常に軽い材料と言われているが、例えば 3nm のナノシートにすると、有効質量は $0.06m_0$ と全く違う値になる。このように、ナノシートの電子状態はバルクと全然違うことを考慮する必要がある。右側はシリコンの価電子帯である。通常の半導体では価電子帯は p 軌道でできているので複雑であり、詳細は省略するが、単純に軽い正孔と重い正孔の 2 種類のキャリアがあるとして解析すると全く違う答えが出るということだけ述べておく。

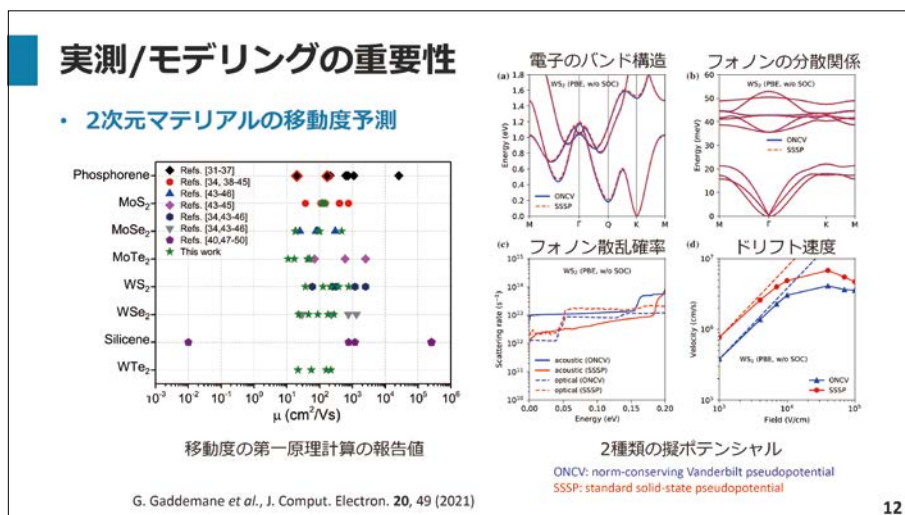


図 2-3-7 実測 / モデリングの重要性

第一原理計算はすばらしい成果をあげているが、デバイスシミュレーションに応用するためには、現状では様々な課題もある。図2-3-7の左側には「2次元マテリアルの移動度予測」として最近のFischettiのグループの報告例を示しており、報告されている様々な2次元マテリアルの第一原理計算による移動度の計算値がログスケールでプロットされている。例えば、上から2つ目の MoS_2 を見ると、移動度は $50 \text{ cm}^2/\text{Vs}$ から $1,000 \text{ cm}^2/\text{Vs}$ 程度と非常に広い範囲にわたっており、現状の第一原理計算だけでは十分な精度が得られない状況であることがわかる。第一原理計算には様々な方式があり、右側の図は2種類の擬ポテンシャル（ONCV：norm conserving Vanderbilt pseudopotential、SSSP：standard solid state pseudopotential）を用いて WS_2 の場合について計算した結果である。上側のバンド構造やフォノンの分散関係は違いがほとんど分らないが、下側の散乱確率やドリフト速度は2種類で全く違う結果となっている。

低次元マテリアルのデバイス応用に向けては、デバイス/システム性能に基づくスクリーニングやベンチマークは非常に重要だと考えており、これらに利用できる量子論に基づくデバイスシミュレーション技術の創出が望まれる。

【質疑応答】

Q：デバイスシミュレータというのは移動度などある程度分かった数値を入れていくものだと思うが、逆に、移動度が低い2次元材料の原因は何なのか、界面のおかしなところはどこなのか、といったことを知る目的でもこのようなシミュレータは使えるのか。

A：デバイスシミュレータには大きく分けて2つある。移動度等を入れてシミュレーションする方式と、第一原理計算に基づくものがある。第一原理計算に基づくものは、原理的には界面の欠陥や欠損といったものも組み入れて計算することは可能である。ただし、移動度のような物理量はおそらくmeVスケール以下の分解能が要るが、現状の第一原理の計算手法ではまだそこまで正確に予想するのは難しい。そのため、第一原理計算に少しフィードバックをかけるデータ同化のようなことも必要だと思う。第一原理計算の手法を改善するという意味でも、以前に高木先生がやられていたように、移動度を精密に測るといった実験結果はやはり必要である。

Q：第一原理計算はやはり難しさもあってなかなか進まないが、進めていくことはすごく重要だと思っている。コンパクトモデル化あるいはスパイスパラメータとしてパラメータを吐き出すといったことはやればできるという状況なのか。

A：物理に基づかない多項式を使うようなものでは既にいくつか報告例があるので、おそらくできるだろうが、応用が利かないのではないかと。二次元材料には様々なパラメータがあり、材料物性も変えられるので、以前にMOSに対して三浦先生がやられていたような物理モデルに基づく方式に行くべきではないかと思う。そうすると、単層では全く違ってくるので、最初からやり直さないといけない。

Q：実際にやるのは第一原理計算になっていて、吐き出すのがスパイスパラメータと思っているが、それでよいのか。

A：それでよいと思う。最後にも示したが、スパイスパラメータとして出力することは回路シミュレータとの接続をする上で非常に重要な課題である。実際、そうしないと設計には使ってもらえない。

Q：デバイスシミュレータはデバイス構造の最適化には非常に有効だが、もう一歩踏み込んで、学習機能が要るのではないかと思う。過去の様々なデバイス構造をデータとして持っておき、ある機能がほしい時にこの構造はどうかといった提案ができるとよい。日本発のデバイスインフォマティクスのようなところまで持っていくことができると、大きな武器になるのではないかと思うがどうだろうか。

A：それに近いものは、ドリフト拡散シミュレータを使った計算では報告例が既にあるが、ドリフト拡散の場合には経験的なパラメータを多く入れるために新しい材料に対しては全く太刀打ちできない。このため、第一原理計算からそのようなことをするのは非常に重要だと思う。

Q：第一原理計算のところで二次元物質のトランスファーカーブ（伝達特性）があったが、そのときにゲー

ト酸化膜の界面等はどのように計算されているのか。ファンデルワールスの界面になっているときに第一原理計算はどのようにやっているのか。

A : この計算に関しては、界面のところは連続体モデルの誘電体が覆っているだけとしており、原子論的な効果は考えていない。ただし、シリコンのナノワイヤデバイスでは、原子が界面で少しずれてその向こう側に SiO_2 がついているのを原子論でそのまま表現して計算したことがあり、そうすると特性のばらつきが非常に大きくなるといった報告をしている。ファンデルワールスのところはおそらく難しいと思うが、ファンデルワールス力を第一原理で表現することをやっている先生はたくさんいる。有名なコードで VASP というコードがあるが、そこには日本人の研究者の貢献もある。

Q : MoS_2 / WS_2 面内ヘテロ接合トンネル FET の図に関して質問がある。二次元系の特徴は、面内と面外の 2 つのヘテロ接合が選択できることにあるが、ケンブリッジのロバートソン先生は、面内では原子のボンディングは同じ TMDC だときれいに接続はするが、例えばバレンスバンドがずれていたら、その界面準位ができて面内のデバイスは動かないので面外でやるべきだと主張されている。ここでは、面内のデバイスがきれいに動いているが、どう考えればよいのか。

A : ここにはエネルギーステップは残っているが、そこにキャリアをトラップすることにはなっていない。段差があることによって共鳴トンネルが起こるが、そこにローカライズステート（局在準位）ができるので、そこを介してうまく流れる。ソースからドレインに電流が流れればよいので、間にローカライズステートがあっても、ちょうどトランスポートウェインドウに入ってくれば大丈夫である。

3 | 半導体集積回路における極薄チャネル形成の要求

3.1 極薄膜チャネルの移動度低下と最適チャネル材料

高木 信一（東京大学）

二次元マテリアルの重要なアプリケーションとして次世代の高集積CMOSのチャネルを一つのターゲットにすることを見据えて、大面積の次世代ロジック等に使える薄いチャネル材料の研究について紹介するとともに、二次元材料等の具体的な利用を考えていく上で、CMOSの観点からどのように見えているか紹介したい。

先端ロジックCMOSのトランジスタ構造は、フィン型電界効果トランジスタ（Fin Field-Effect Transistor：FinFET）からナノシートのGate All Around（GAA）構造に代わり、さらにそれが三次元化すると予測されており、今は丁度ナノシートの世代に移り変わるところである（図3-1-1）。ナノシートの基本的な作製方法は、FinFET作製技術の延長線にある。FinFETのチャネル部分にSiとSiGeの積層エピタキシャル構造をつくって、Fin構造を作った後にSiGeを選択的にエッチングして抜くことで、板状のチャネルを作ってナノシートを作製している。基本的にはFinの厚さが非常に薄くなるので、その点に様々な課題が生じている。このナノシートも、将来世代に向かっての様々なロードマップが考えられている。当面の3 nm世代あるいは2 nm世代ではこのナノシートが使われ、さらにN型とP型の素子分離の領域を縮めたりすることで技術が進展し、最終的にはCFETと言われているNMOSとPMOSを上下に積層した構造に至ると言われている。こうなると、新しいチャネル材料をSi基板上に貼り合わせる技術が必要になってくる。逆に言えば、様々な新しい材料を貼り合わせによって積層することになるので、そこで材料のバリエーションが広がることも期待できると考えている。

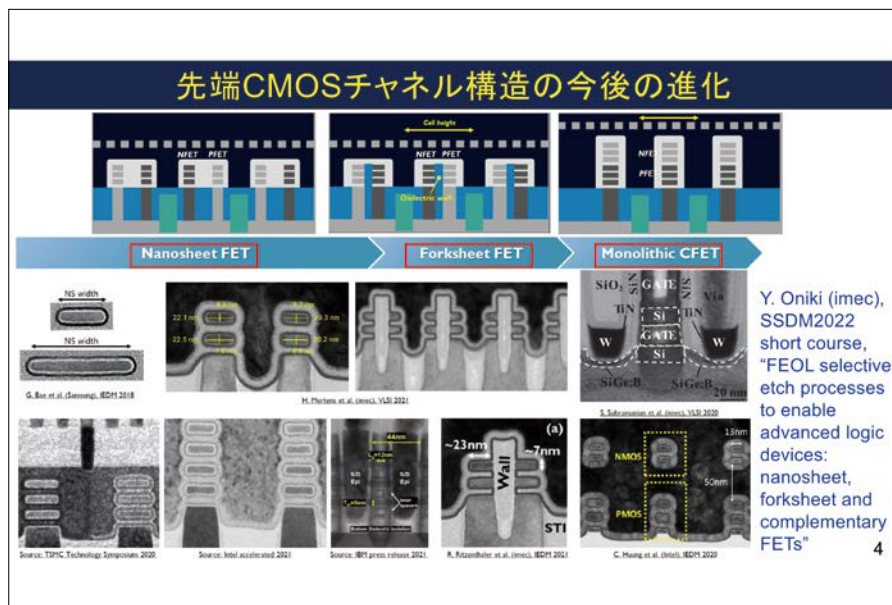


図3-1-1 先端 CMOS チャネル構造の今後の進化

Typical dimension predicted in IRDS2028

- LGAA (Lateral gate-all around)
 - nano-sheet structure
- Scaling of nano-sheet thickness is determined by mobility degradation in extremely-thin channels
- 2D materials have not been included yet in the choice of parameters in the roadmap

New key numbers in LGAA

The diagram shows a cross-section of a nano-sheet transistor. It features two horizontal grey bars representing the gates, separated by a vertical gap labeled 'NS pitch'. Between the gates are three horizontal yellow bars representing the nano-sheets. The width of one nano-sheet is labeled 'NS width (D_{NS})'. Below the nano-sheets, there are blue regions representing source/drain contacts. A label 'RX Width – $W_{eff} = 1.3x$ ' points to the total width of the device channel.

3 Nanosheets

Labels in diagram:
NS width (D_{NS})
NS pitch
RX Width – $W_{eff} = 1.3x$

Source: N. Loubet et al.,

YEAR OF PRODUCTION						
	2021	2022	2025	2026	2031	2034
Logic industry "Road Runner" Labeling (nm)	G5IM30	G4BM34	G4M30	G4ZM18	G4QM16T2	G3SM16T4
IDP-Fourity node labeling	"1"	"1"	"1"	"1"	"1"	"1"
Logic device structure options	FinFET	FinFET	FinFET	FinFET	FinFET	FinFET
Platform device for logic	FinFET	FinFET	FinFET	FinFET	FinFET	FinFET

LOGIC DEVICE APPROXIMATE RULES						
Min pitch (nm)	56	32	34	20	19	16
MT pitch (nm)	34	32	33	21	20	19
SD pitch (nm)	19	24	23	18	16	16
Gate pitch (nm)	51	48	48	32	32	28
Gate length (nm) - HP (nm)	19	16	14	15	12	12
(G, SDH, LDR) length - MD (nm)	20	18	14	12	12	12
Channel length (nm) - Resistor	0.30	0.20	0.30	0.20	0.20	0.20
Spacer width (nm)	7	6	6	4	4	4
Contact CD (nm) - TopFET, LGAA	19	20	21	23	20	18
Contact CD (nm) - LGAA						
Device architecture w/o ground rules						
TopFET pitch (nm)	28.0	24.0				
FinFET Fin width (nm)	6.0	5.0				
FinFET Fin height (nm)	50	64				
Fingerprint drive efficiency - TopFET	3.75	5.84				
Lateral GAA area ratio pitch (nm)	22.9	20.9	20.9	20.9	20.9	20.9
Lateral GAA vertical pitch (nm)	18.0	16.0	14.0	14.0	14.0	14.0
Lateral GAA channel thickness (nm)	2.0	2.0	2.0	2.0	2.0	2.0
Number of vertically aligned nanosheets	3	3	3	3	3	3
LGAA width (nm) - HP	30	28	20	20	20	20
LGAA width (nm) - MD	19	11	6	6	6	6
LGAA width (nm) - SRAM	7	6				
LGAA gate height (nm)	63	48	47	47	47	47
Fingerprint drive efficiency - lateral GAA - HP	4.93	4.77	6.88	6.82		
Device effective width (nm) - HP	106.8	133.0	222.0	198.0	200.0	160.0
Device effective width (nm) - MD	106.0	133.0	122.0	100.0	98.0	80.0
Device lateral pitch (nm)	28	24	22	20	20	20
Device height (nm)	50.0	64.0	52.0	48.0	52.0	57.0

図 3-1-2 IRDS2021 で予測された典型的なディメンジョンに関するロードマップ

非常に薄いチャネル（Extremely thin-body：ETB）において、図3-1-3に示すような急激な移動度の低下がなぜ起こるかという点に関しては、薄膜化したときの膜厚の揺らぎによって発生した量子閉じ込め揺らぎによる散乱が原因と理解されている。つまり、チャネル表裏の表面ラフネスに起因する散乱によるものである。表面ラフネスによる移動度劣化は、Si MOSFETにとっては非常に古い問題であるが、薄膜化されたことで問題が顕在化した。非常に簡単なモデルを使うと膜厚の6乗に比例して移動度が低下することが予測され、これは実験的にも確認できていることから、移動度低下の非常に大きな要因になっていることが実証されている。

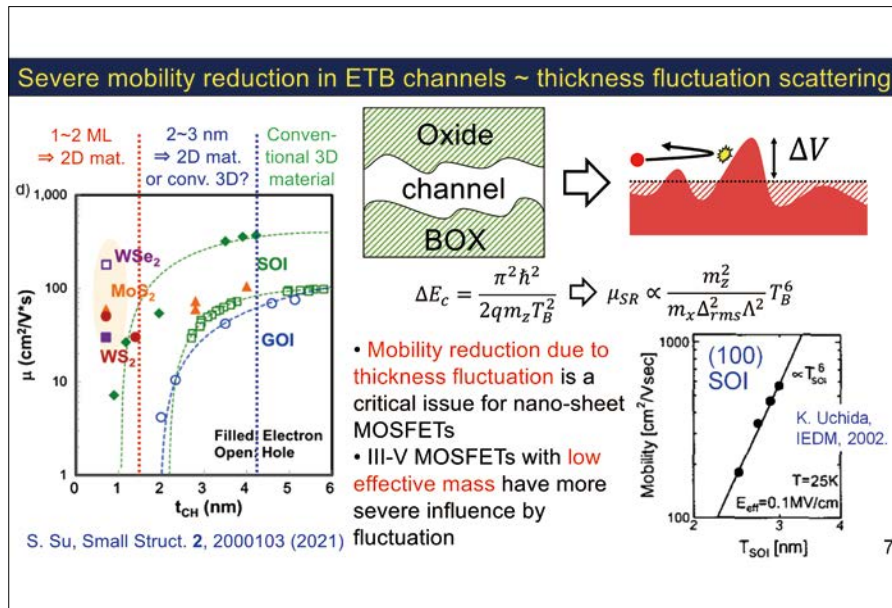


図3-1-3 ETBチャネルにおける移動度の低下 ~ 膜厚の揺らぎによる散乱~

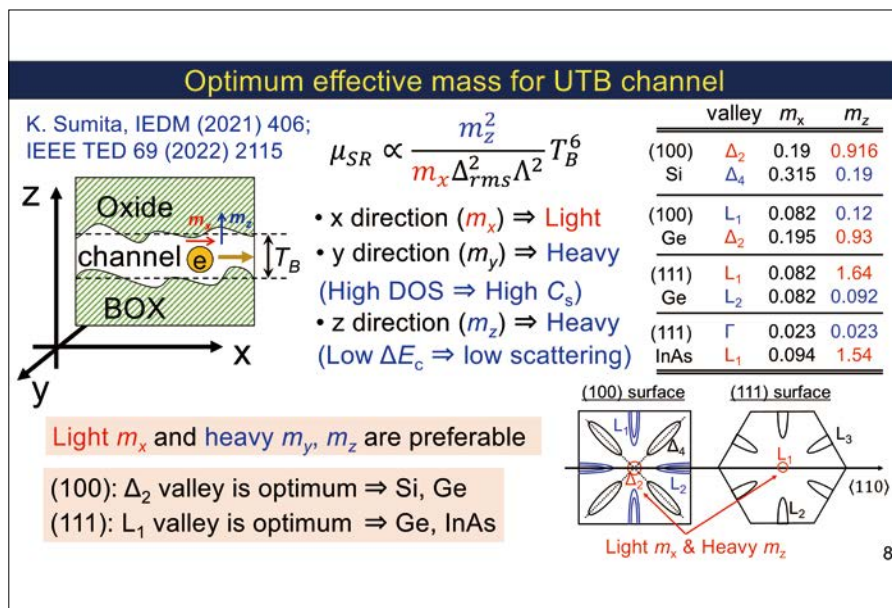


図3-1-4 UTB (Ultra-Thin-Body) チャネルに対する最適有効質量

この問題に対して、上記の点を念頭に置いて、バンドのエンジニアリングを用いることで、既存の材料側からのアプローチを考えることができる。細かなことは省いてざっくり言えば、図3-1-4の式に示すように、このチャネル閉じ込め方向のポテンシャル揺らぎを極力抑えるには、垂直方向の有効質量が重いほうがよいことになる。そうすると、閉じ込めエネルギー下がるので、膜厚の揺らぎによる影響は減る。簡単に考えると、有効質量が軽い方が、移動度が高くなるように思えるが、膜厚方向に関してはむしろ有効質量が重い方が移動度は上がるのである。実はSiもそれほど悪く選択ではなく、(100)面はそのような条件になっている。さらに(100) Siの特性を超えるような材料として、平行方向の有効質量は軽かつ垂直方向の有効質量は重いような材料は、面方位のエンジニアリングにより実現できそうである。図3-1-4の右側の表に示すように、例えばGe (100)面の Δ_2 バレー、III-V族半導体やGe (111)面の L_1 バレーといったものが、電子のチャネルとして、よさそう

である。

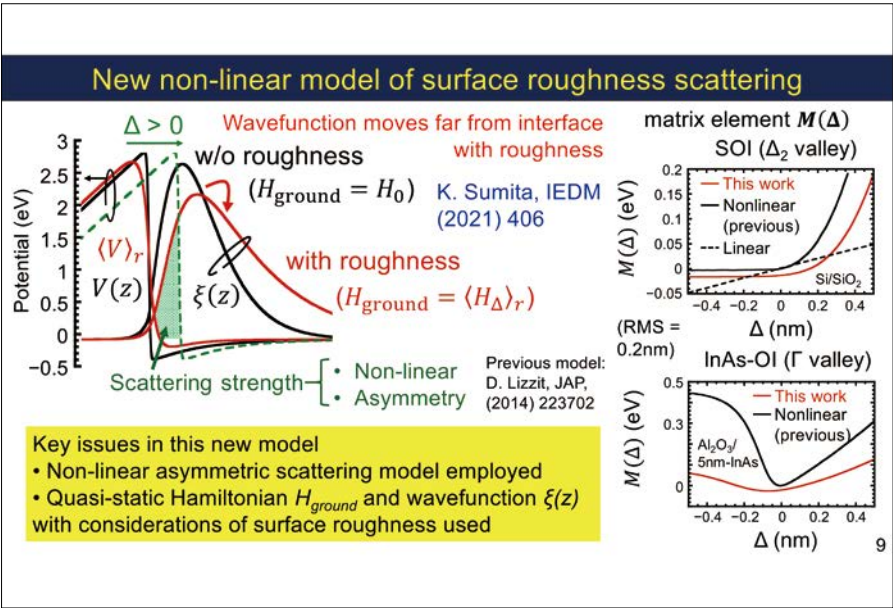


図 3-1-5 表面ラフネス散乱の新しい非線形モデル

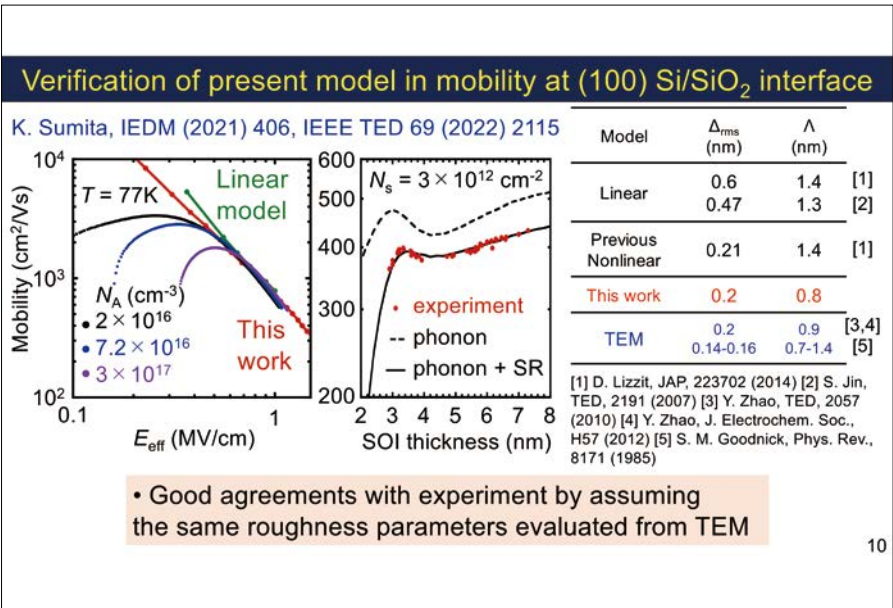


図 3-1-6 Si/SiO₂界面での移動度の実験値との比較による本モデルの検証

従来の表面ラフネス散乱のモデルは定量性に乏しかったが、新しい厳密なモデルを導入することで、妥当なラフネス量の下で、(100) Si MOSFETの電子移動度の膜厚依存性や電荷依存性を非常によく再現できるようになる(図 3-1-5 および 図 3-1-6)。大事な点としては、このような少し厳密なモデルを導入すると、二乗平均面粗さ(RMS)として0.2 nm程度の凹凸があると、Si nMOSFETの現状の移動度を再現できることになる。これは、Siでは1原子層オーダーの表面ラフネスを実現した結果として、現在の移動度が得られているということであり、これ以上ラフネスの平坦化による移動度向上の伸び代がないことを示している。それに

3 半導体集積回路における極薄チャネル形成の要求

比べると、他の材料はまだ移動度向上の余地があり、検討する価値がある。ただし、今回の評価では、計算が複雑になるため、膜厚方向の閉じ込めによりバンドが変調される効果は考慮していないので、得られた結果はあくまでも、判断の上でのガイドラインということで見てもらいたい。例えば、図3-1-4の表で示した半導体と面方位で移動度を計算してみる場合、Geの(111)面を使うと、有効質量が界面垂直方向に非常に重いため、極めて高い移動度が実現できそうだとということが分かった。

前に述べたように、チャンネル膜厚が4 nmから1 nmの間は、どのような材料系を選んでよいかわからない。二次元材料の多層膜を使うということもあるのかもしれないが、図3-1-7に示すように3 nmと2 nmのチャンネル膜厚の下での移動度のベンチマークをしてみると、Siでも3 nmぐらいではまだ高い移動度が実現できそうである。ただし、実際の量産化まで含めて表面ラフネスの制御ができるかが重要な課題となる。これに比べて、例えばIII-V族半導体の(111)面を使うことや、Geの(111)面を使うことで、大きい移動度が期待できる。しかし、チャンネル膜厚が2 nmになると、Siの移動度は大きく低下して二次元材料と同じような値になってくる。それでも、(111) Geの移動度は二次元材料に比べて1桁大きく、(111) InAsも界面ラフネスを下げれば使える可能性があることから、2 nm程度の薄膜領域では、ここで示したような既存の材料側からのアプローチも残されている。一方、二次元材料側では、移動度を維持しながら厚膜（多層膜）にして、信頼性に関わる欠陥の影響を下げるといったアプローチもあるのかもしれない。

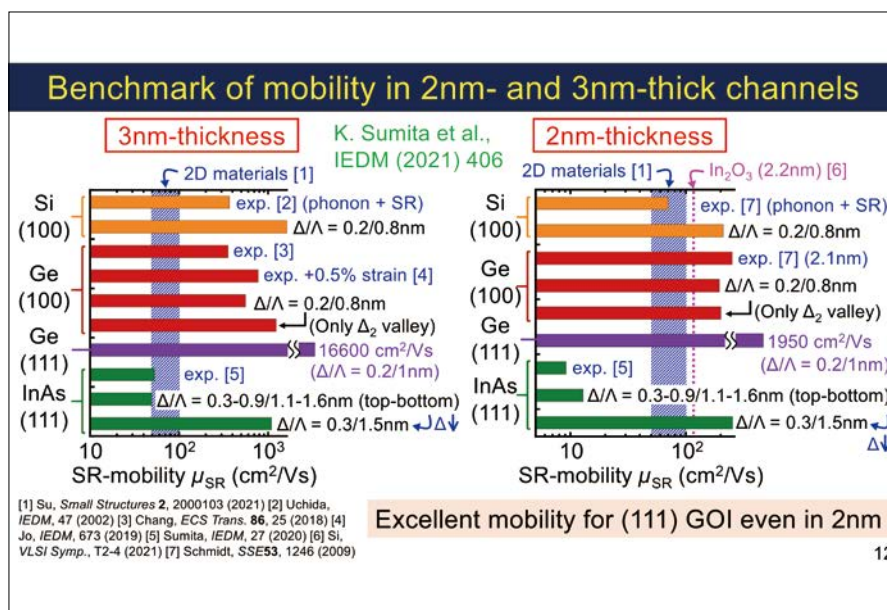


図3-1-7 2 nmおよび3 nmチャンネルにおける移動度のベンチマーク

別の材料系として、CMOS応用の分野で急激に注目されているのは酸化物系材料である。特にNMOSに関しては、酸化物半導体は非常に期待できる。例えば、この分野で先駆的な研究を進めているProf. Peide Ye (Purdue大学)の研究グループから、原子層堆積 (Atomic Layer Deposition : ALD) In₂O₃において、薄膜でも高い移動度が実現できる結果が報告されている。In₂O₃はALDによる膜厚の制御性が非常によく、配線工程 (Back End of Line : BEOL) に適用可能で、量産性に優れ、チャンネルの3次元化にも対応でき、薄膜で高いチャンネル移動度が実現できることから、有望な材料として近年急激に注目を浴びている。例えば、2 nm、1.5nmの膜厚で、113 cm²V⁻¹s⁻¹程度のチャンネル移動度が得られている。さらに薄くなると移動度は落ちてしまうが、原子層に近い厚さのチャンネルを持つMOSFETも動作しているというデータもある。また、コンタクト抵抗がかなり低く抑えられるというメリットがあることが、Purdue大学のProf. Peide Yeグループの

Mengwei SiらによりNature Electronics 5, 164–170 (2022) に報告されている。したがって、薄膜チャネルということを見ると二次元材料以外にも、既存の材料の様々な最適化や酸化物半導体の利用も考えられる。さらに、CMOSプロセスへの適用、特に300 mmウェハ化を考えたときに、膜厚や欠陥の制御がしやすい材料をチャネル材料に選ぶ、という観点は重要と考えられる。

大面積化を念頭においた装置技術等もやはり重要である。基礎的な研究開発としては、コンタクト抵抗の問題や、酸化物半導体ではp MOSFETをどう実現するかといった問題がある。また、先端集積回路応用という観点からは、現在の経産省等の取組とうまくマージしていくことが大事である。また、次世代半導体研究における新しい研究開発組織の立ち上げといった素晴らしいニュースも出てきており、学生にとって就職先として非常に伸び代のある分野ということをアピールしていくことが大事だと思う。

【質疑応答】

Q：酸化物半導体についての話があったが、2 nmとか1.5 nmで移動度が落ちない理由は、原子層堆積 (Atomic Layer Deposition : ALD) を使っているので、界面ラフネスが非常に小さいことを反映していると理解してよいか。

A：Purdue大学の研究グループのデータなので、私が適切なコメントができるか分からないが、高いといっても $113 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 程度なので、アモルファス半導体の性質として、移動度そのものはそれほど大きくはないが、膜厚揺らぎに強く薄膜で移動度が落ちにくい性質があるのかもしれない。また、ALDにより、原子層レベルで非常に平坦な膜ができて、その上に同じ酸化物のゲート絶縁膜が成膜できるという相性のよさもあるのではないかなと思う。

Q：GOI (Ge On Insulator) の話で、Geのバルクより (111) 面の二次元の移動度が高くなっているのは、キャリアの動きがz方向は完全に制限されて、xy平面だけで動くという意味か。

A：そうではない。示した移動度はあくまでも表面ラフネスの移動度だけを抽出したものであり、実際にはこれにフォノン散乱の移動度が重畳してくるので、バルクの移動度を超えることはない。ただし、Siと比べてGeのフォノン散乱の移動度はかなり高く (GeやIII-V族化合物半導体全体に言える)、むしろこれ以外の外因的な散乱機構で、MOSFETのチャネル移動度がほとんど決まってしまうため、今回は、フォノン散乱の移動度を考慮せずに比較している。

Q：二乗平均面粗さ (RMS) は全て0.2ということになっているが、実際にはGeの (111) 面と (100) 面のそれぞれ1層の厚さは違うので、少し違和感があった。

A：Geの (111) 面と (100) 面の原子層厚の違いは確かにあると思うが、ここでは、ラフネスの大きさをRMSで捉えており、実際に原子層のステップが出来た場合の微妙な違いを議論することは目的としておらず、あくまでもチャネルの性質の比較をするために、RMSの値を揃えている。一方で、実験的には、Geの (111) 面の方がより平坦になりやすい傾向を持っている。III-V族半導体の実験結果でも同様の傾向は出ているので、むしろ平坦性を重視して、適切な面方位を選ぶという別のエンジニアリングはあると思う。

Q：酸化物に関して、例えばゲート長が10 nm程度の実験のデータはあるのか。

A：Prof. Peide Yeグループから、およそ8 nmのゲート長のMOSFETの動作が報告されている。

Q：移動度以外のところで、何かデメリットは見えてきていないのか。

A：むしろメリットに関して複数のグループが報告している。酸化物チャネルの場合、飽和速度が非常に大きい (厳密に飽和速度が評価できているわけではないと思われるが) ので、移動度に比べて大きな飽和ドレイン電流が得られるという結果が報告されている。

Q：薄くなると量子閉じ込めの効果でバンドギャップが大きくなるが、そのバンドギャップの空間的な揺らぎというのはどのように捉えられているのか。

A：移動度で評価できるかどうかという議論にもなってくるが、巨視的なラフネスと微視的なラフネスで分

けて考える必要があると思う。実際に評価によく使われている相関長と言われているラフネスの周期のようなものは、あくまでも透過電子顕微鏡（Transmission Electron Microscope：TEM）の画像の解析から求められる数値であるが、この値は1 nm程度と非常に短く、このような短周期の凹凸が与える影響を、移動度を通じて見ている。一方、現実的には巨視的に見た時に見える、場所によって異なる膜厚もラフネスと捉えることができるが、これは素子間の電気特性のばらつきとして観測されることになる。中間的なものだと、チャンネルの中で膜厚がゆらぐということもあり、この場合はトランスポート特性が複雑になると考えられる。今回取り上げたラフネスは、あくまでも、ラフネス散乱という物理現象に現れる微視的に見た膜厚のゆらぎであり、素子間のばらつきとして見える巨視的な膜厚ゆらぎや、チャンネル内の膜厚ゆらぎなどについては、別途考えなければならないと考えている。

Q： In_2O_3 のコンタクト抵抗が低いということだが、金属でコンタクトを取ると二次元材料と同じようなショットキー型になるかと思うが、バンドギャップが3 eV程度とかなり大きい中で、どのような制御をしているのか。

A：酸化物の良さでもあり悪さでもあるが、よく知られているように、酸素欠損に起因するドナーが数多く発生している。したがって、このような酸素欠損に起因するドナーの低減を行わないと、ドナー濃度が非常に高い n^+ 型の半導体になってしまうので、むしろ低抵抗コンタクトの形成は、比較的簡単である。多くの場合、チャンネル部分の欠陥制御を上手くやってキャリア濃度を程々に抑えることで、ジャンクションレスのトランジスタを実現している。以上の点から、 n 型のコンタクト形成に対しては元々優位性があると言える。

3.2 エレクトロニクス応用を目指した二次元物質と2.5次元物質の創製

吾郷 浩樹（九州大学）

学術変革領域研究（A）「2.5次元物質科学：社会変革を目指した物質科学のパラダイムシフト」は2021年9月に開始され、2022年10月には第3回領域会議が実施された。研究費は通常の学術変革領域と同様に10億円強であるが、日本の優れた研究者40名近くが集結している意義が非常に大きい。領域内研究者の積極的な共同研究によって、材料科学分野に新しい潮流を生み出すことを目指している。従来のバルクの三次元物質の研究に加え、近年、二次元物質の研究が盛んになっており、それらの材料に関する論文数が飛躍的に増えている。また、欧州や中国、韓国、英国では大きなプロジェクトが走っている。こういった状況において、「2.5次元物質科学」領域では、三次元と二次元の間、例えば積層や層間の空間の利用といった新たなサイエンスの開拓を目的としている。特に、「0.5次元」が二次元物質にもたらす大きな自由度や可能性を表している。

代表的な二次元物質であるグラフェン2枚を向きを揃えて積層させると、ゲート電圧によってバンドギャップを開くことができる。約1°ツイストさせるとモアレが生じ、超伝導などユニークでエキゾチックな物性が発現する。また、異なる二次元物質を積層させると層間にまたがるエキシトンからの発光など新たな物理現象が見られる。表3-2-1に示すように、従来の薄膜成長や有機合成は、共有結合やイオン結合などの固い結合に基づいている。しかし、2.5次元物質科学では、ファンデルワールス力という通常の結合の100分の1程度の弱い力を人工的に制御して、組成や角度をコントロールしながら物質創製を行うという全く異なるコンセプトに基づいている。

表3-2-1 「2.5次元物質科学」の学術としての意義

物質の合成法	結合の種類	特徴
薄膜成長・有機合成	共有結合・イオン結合等	結合生成や格子定数等に制限
自己組織化・分子結晶	ファンデルワールス力	熱力学的に最安定な構造が生成
二次元物質の積層	ファンデルワールス力	組み合わせと角度を人工的に制御可能

「2.5次元物質科学領域」には、物理、科学、材料、工学、分析と幅広い分野から優れた研究者がコアメンバーとして参画している。さらに、2年間の公募研究が2回行われる。20名のコアメンバーに加えて、2022年6月には21名が公募班として加わり、現在は41名で領域研究を行っている。公募研究では、スピントロニクス、テラヘルツ、酸化物、デバイス物理およびデータサイエンス等、コアメンバーでフォローできない分野の研究者が加わって、より総合的な研究が展開できるようになった。

二次元物質はエレクトロニクス応用の大きな可能性を有している。それを実現していく際の問題点について述べる。大きく3つ問題があると考えている。1つ目は膜そのものの品質である。例えば、結晶粒界や点欠陥、リンクル（皺）などの問題がある。2つ目は環境である。基板表面の凹凸、上部に吸着するガスおよびレジスト等の問題がある。3つ目は転写である。通常のグラフェンのウェット転写では銅基板上にグラフェンを生成後、銅をエッチング液で溶かしグラフェンをすくい取って水で洗浄するという方法を用いており、汚染や破れ等が発生しやすい。これらを解決するアプローチとして、結晶性が高く、高品質の二次元膜のウェハスケールの合成が必要である。環境に関しては六方晶窒化ホウ素（h-BN）という絶縁膜が有効である。転写に関し

3
半導体集積回路における
極薄チャネル形成の要求

ではウェットエッチング法などとは異なる、より簡便、かつ欠陥の少ない転写法が必要である。

グラフェンのCVD合成に関しては、図3-2-1の上に示すように、通常は多結晶の銅ホイル上で合成される。銅ホイルは表面に凹凸があり、柔らかくて転写が難しい。さらに、その上に生成するグラフェンは多結晶で、六員環の方位がばらばらである。移動度もそれほど高くはなく、 $1,000 \text{ cm}^2/\text{Vs}$ かそれ以下である。一方、銅の(111)単結晶基板は1枚20万円以上と高価であり産業応用には使えない。そこで、我々は、JSTさがけ「ナノ製造技術の探索と展開」(2006～2011年度)の支援の下、図3-2-1の下に示すように、サファイアを使った新しいエピタキシャルCVD法を開発した。サファイア上に銅の(111)単結晶をつくり、その上にグラフェンを成長させることによって、方位、膜厚および六員環の向きが制御されたグラフェンの合成に成功した。市販のグラフェンとは異なり、本手法で合成したグラフェンは移動度が平均で $3,000 \text{ cm}^2/\text{Vs}$ と高く、国内外に多数提供している。現在、研究室には4インチで作れるファーンズ(炉)も所有して大面積のグラフェンも合成している。4インチのグラフェンをつくる方法を簡単に説明する。まず、サファイア基板上にスパッタリングで1ミクロン程度の銅を堆積させる。それを水素とアルゴン中で加熱しながら $1,000^\circ\text{C}$ から $1,075^\circ\text{C}$ 程度まで加熱する。銅の融点が $1,083^\circ\text{C}$ なので、ほぼ銅の融点に近いかなり高い温度である。そして、メタンを100 ppm程度とかなり薄い濃度で流し、単層グラフェンを表面に生成させる。基板ホルダーを工夫すると多数のグラフェン膜を一括で合成することもできる。2021年4月にはベンチャーが立ち上がり、高品質グラフェンの販売を行っている。

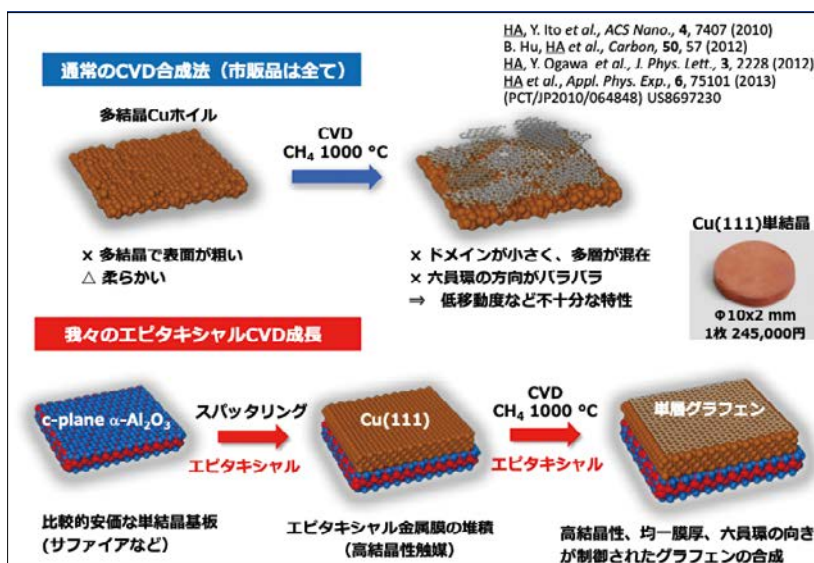


図3-2-1 グラフェンのエピタキシャルCVD成長

二層グラフェンは、単層グラフェンにない特徴を有し、こちらも非常に興味深い対象である。図3-2-2の上のようにAB積層によってバンドギャップを開いて半導体として応用させることや、ツイスト角度による超伝導の発現などがある。我々はこれらの二層グラフェンをCVD法で合成することを試みてきた。図3-2-3の左下のように、先ほどの銅触媒に替えて銅とニッケルの合金を使うと、グラフェンの厚さをコントロールすることができる。CVD合成した二層グラフェンを用いて、トランジスタを作製し、オンとオフをきちんとコントロールできるデバイスを得ることに成功している。また、グラフェンの層間に分子を入れると非常にユニークな構造や現象が見られる。図3-2-2の右下のように、塩化アルミニウム(AlCl_3)を層間に導入すると、 α 、 β 、 γ というバルク結晶とは全く違う構造が現われる。二次元物質で挟まれた特異的な二次元ナノ空間によって新しい規則構造がつけられるという非常に面白い結果である。

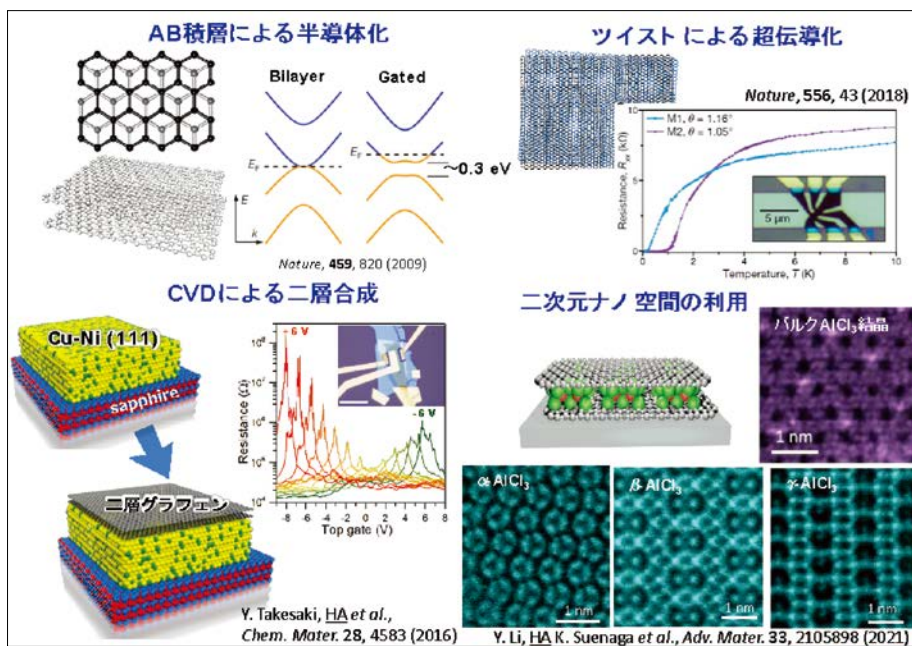


図3-2-2 二層グラフェンのCVD成長への展開

次に遷移金属ダイカルコゲナイド（TMDC）について述べる。TMDCは半導体チャネルとして一番有望な材料である。TMDCの一種である二硫化タングステン（ WS_2 ）は、多くの場合、図3-2-3のように、金属酸化物と硫黄を反応させて WS_2 と酸化硫黄（ SO_2 ）にする方法で合成する。グラフェンとは違って金属触媒は不要であり、基板にはサファイアが多く使われている。ただし、TMDCのCVD合成では多層の成長が起りやすく、均一な成長や大面積での合成は容易ではない。図3-2-3の下に示すように、アルゴンだけ流すとランダムな向きの WS_2 ができる。我々は、アルゴンガスに水素を混ぜるとサファイア上でエピタキシャル成長し、きれいに配向した WS_2 のグレインが生成することを見出している。

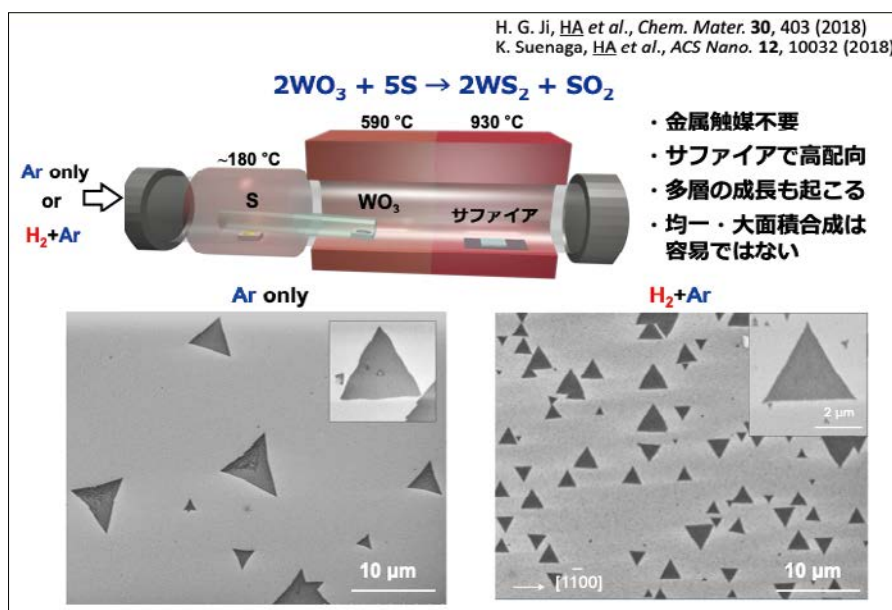


図3-2-3 WS_2 のCVD成長

WS₂の結晶粒界を電子顕微鏡で調べたところ、図3-2-4のように、アルゴンだけ流した場合では19°回転して接触したグレインがあり、よく見ると五員環と七員環がつながったような欠陥が多数観察される。一方、水素を使ってきちんと配向した時は、非常に小さな欠陥しか存在しなかった。このように配向成長させることは、二次元物質の品質向上に重要である。

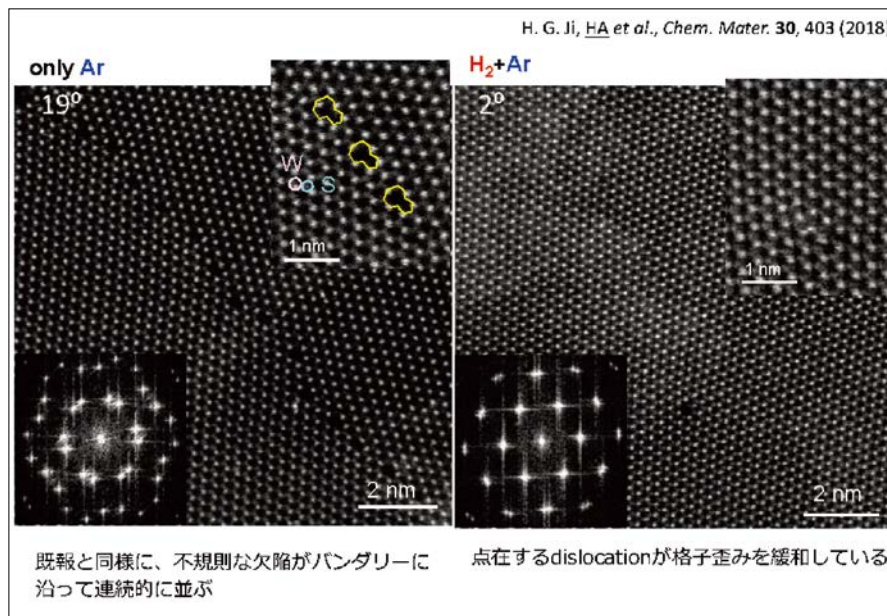
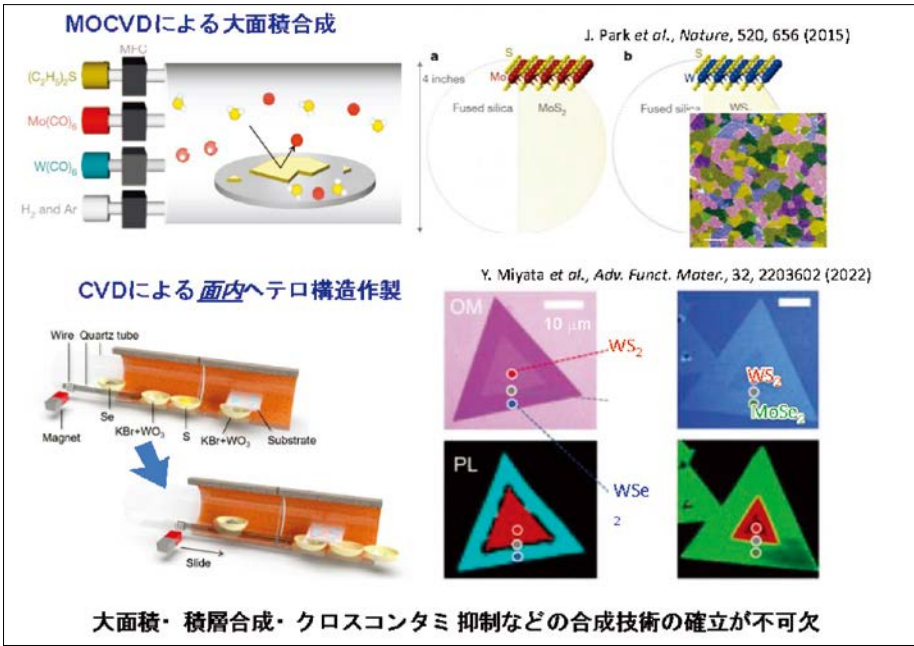


図3-2-4 WS₂の配向成長と結晶粒界

最近MOCVD (Metal Organic Chemical Vapor Deposition) という方法がよく使われるようになってきた。図3-2-5の上のように、有機金属と硫黄などを反応させてウェハレベルで作ることができる。ただし、MOCVDで合成したTMDCは一般にグレインが小さい傾向がある。また、図3-2-5の下のように、東京都立大の宮田らは原料を変えることによって面内ヘテロ構造を作っている。このような方法においても大面積での積層は難しく、現状ではこのような場合は転写が必要である。



次に、環境の問題に関して述べる。図3-2-6のように、グラフェントランジスタの下や上にh-BNを使うと移動度が大幅に向上することが分かっており、高性能の二次元物質のデバイス化にh-BNは不可欠な材料となっている。ただし、現状のほとんどの論文では1 mm程度の単結晶h-BNを剥離して使っているため、グラフェンなど大きなCVD膜ができたとしても、結局は小さなh-BNによってサイズが抑制されている。しかし、現在論文投稿中であるが、我々の研究室では鉄とニッケルの合金触媒を使ってCVDで比較的均一なh-BNを多層化できるようになってきた。h-BN、グラフェン、h-BNの順番でセンチメートルレベルの大きさのCVD膜を積層し、トランジスタとしての特性を評価したところ、このサンドイッチ構造にしたもので移動度が50,000 cm²/Vsを超えるものがあり、サンドイッチしないものに比べてかなりの移動度の向上が見られた。このように、徐々にではあるがh-BN膜の品質が上がってきている。

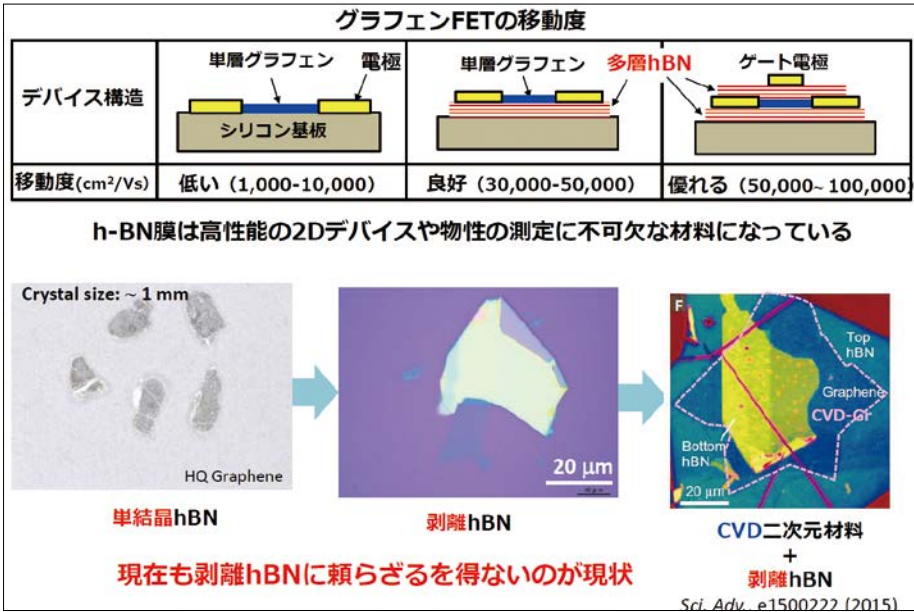


図3-2-6 六方晶窒化ホウ素の重要性と課題

3 半導体集積回路における
極薄チャネル形成の要求

最後に、転写について述べる。転写は、PMMA (Polymethylmethacrylate) をグラフェン上に塗布した後、銅を溶かしてシリコン基板に移し、最後にアセトンでPMMAを除去するという方法である。金属を溶かすコスト、エッチング時間、PMMAやエッチング液による汚染、といった多くの課題がある。現在、NEDOのサポートの下、民間企業との共同研究で、グラフェンなどの二次元物質の革新的な転写法の開発を行っている。特許等の関係で詳しくは述べられないが、残渣や破れが少なく、簡便な転写法を確立しつつある。

以上述べたことをまとめる。高品質合成に加えて、転写も非常に重要である。また、これらを実現するために、オープンイノベーションを通じた産学官連携が必要である。さらに、次世代を支える研究者育成のための博士課程進学率向上に向けた取組が望まれる。

【質疑応答】

Q：新しい転写法でコンタミネーションの問題は無いのか。

A：PMMAを用いる場合と比べてかなりきれいである。

Q：グラフェンは1層が多く、WS₂は多層化しやすいとのことだが、それらの違いはどこにある。

A：グラフェンは銅触媒を使うと銅の中に炭素が溶け込まず、銅の表面だけで反応するので、単層グラフェンが優先的に得られる。WS₂やMoS₂の合成では触媒を用いないので、酸化タングステンと硫黄さえあれば高温で反応して、反応時間を延ばせばどんどん上に積層する。

Q：グラフェンを二層にするときのキーになるのはなにか。

A：銅にニッケルを20%ぐらい混ぜると二層になる。具体的には、銅の作用でグラフェン一層が銅-ニッケル合金の表面に形成され、冷却時にニッケルに溶け込んだ炭素の溶解度が下がると炭素が析出して二層目を形成する。合金中に溶解する炭素原子の量に応じて三層以上も生成する。

Q：CVDで大口径化は難しいということだが、例えばFETのチャネルの部分だけ選択成長できないか。

A：グラフェンの成長においては銅触媒が必要なので、銅触媒を後で除去する必要があるため難しく、現時点では転写法の利用などが必要ではないかと考えている。

Q：水素ガス添加の有無でWS₂グレイン配向が異なるメカニズムはなにか。

A：サファイアの表面状態（酸化状態）が変化して配向成長に望ましい状態になっていると考えられる。

Q：TMDCの望ましい膜を得るため、MOCVDの膜成長のメカニズムを調べ、プリカーサーの開発やることも重要ではないか。

A：その通りだと思う。私の研究室では現在はMOCVDはやっていないが、(C₂H₅)₂Sなど炭素がはいっているので、炭素のコンタミネーションの可能性の検討や大グレイン化の研究が必要になる。

3.3 ゲートスタックとしきい値制御技術

若林 整（東京工業大学）

デバイスを作る上で、しきい値電圧を制御することの重要性について紹介する。はじめに、MOSFETの形成においてしきい値 V_{th} について、以前発表した論文（IEEE T-ED, Vol. 48, Issue. 10, October 2001）の内容を説明する。一般的に V_{th} は以下の式で与えられる。また、図3-3-1に V_{th} とドーピング濃度の関係を示すが、式（1）に従いルートの関数になり、プラス・マイナスがあるので対照的な特性になる。

$$V_{th} = \phi_m - \phi_s - \frac{Q_{it} + Q_f + Q_{ox}}{C_i} + 2\psi_B + \frac{\sqrt{2q\epsilon_s N_a (2\psi_B)}}{C_i} \tag{1}$$

where

- ϕ_m work function of the metal;
- ϕ_s work function of the semiconductor;
- Q_{it} interface-trapped charge;
- Q_f fixed oxide charge;
- Q_{ox} oxide trapped charge;
- C_i gate-insulator capacitance;
- ψ_B potential difference between the Fermi level (E_F) and the intrinsic Fermi level (E_i);
- ϵ_s semiconductor permittivity;
- N_a acceptor impurity density.

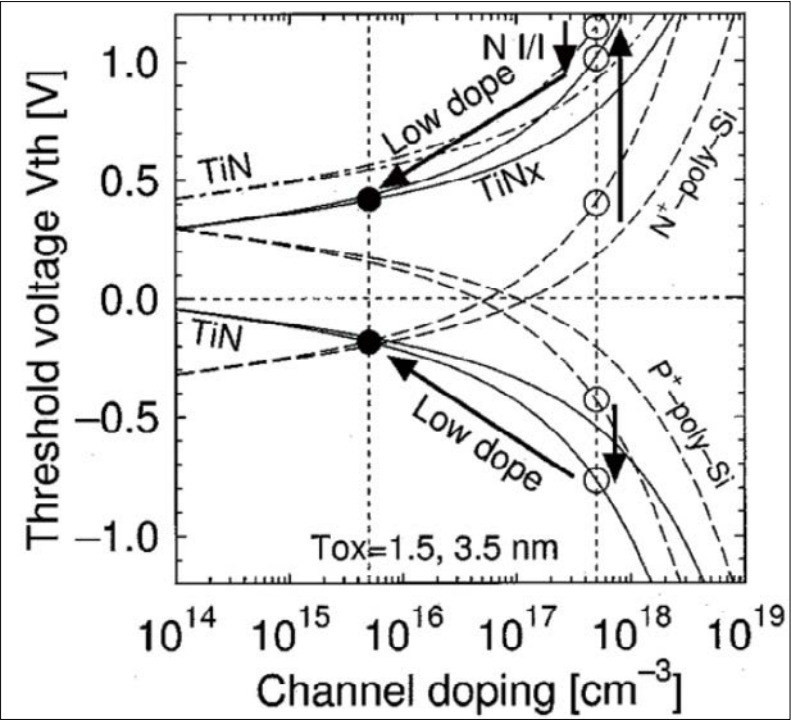


図3-3-1 しきい値電圧のチャネル濃度依存性

3 半導体集積回路における
極薄チャネル形成の要求

以前は、例えばN⁺ポリシリコンゲートでチャネル濃度10¹⁸/cm³あたりを用いていたが、最近のFinFETではチャネル濃度が低くなっており、ポリシリコンゲートのままだと当然逆転する。しかし実際にはTiNなどのミッドギャップメタルを用いることで、これを回避している。なお、TiNの窒素量を窒素注入等で変える(TiNx)と、V_{th}が0.1V程度制御できる。発表当時は注目されなかったが、現在はメタルゲートによるしきい値制御の中心的な技術になっており、スパッタ、ALD (Atomic Layer Deposition)、ALE (Atomic Layer Etching) でナイトライドの量を変えてV_{th}制御するような状況になっている。

今後はFinFETに続きナノシート、CFET (Complementary FET)、さらに遷移金属ダイカルコゲナイド (TMDC) などの2次元材料を使ったFETに進むことが予測されているが、まずナノシートトランジスタのプロセスフローを紹介する。

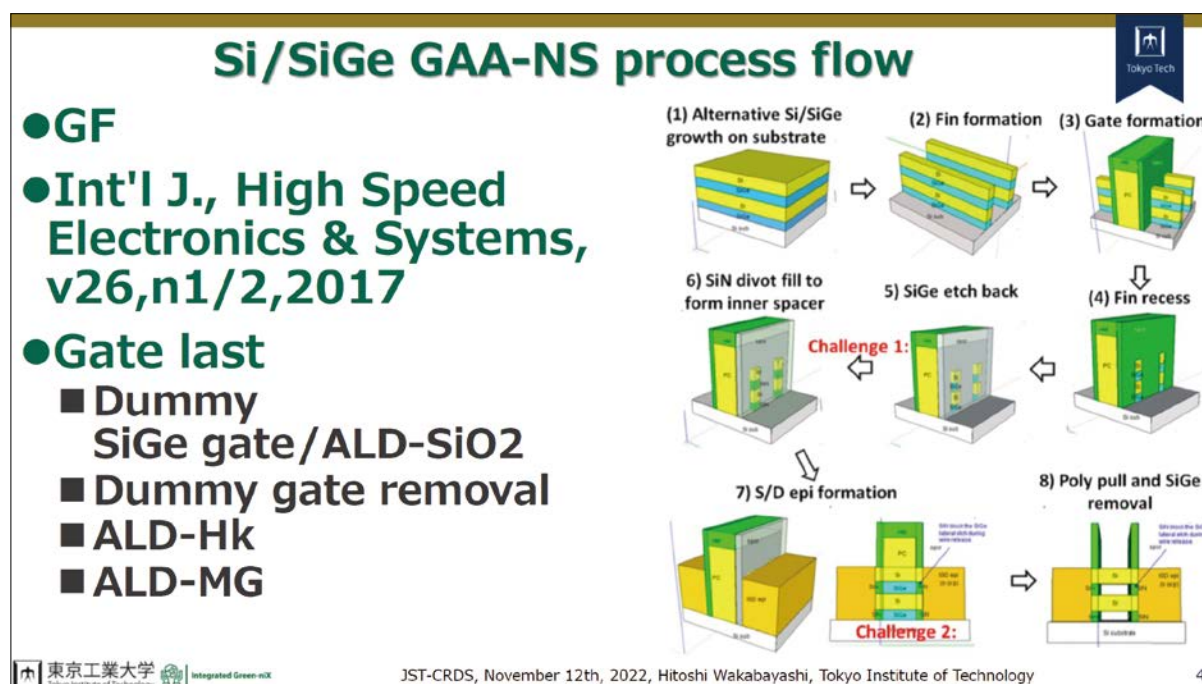


図3-3-2 ナノシートトランジスタのプロセスフロー

図3-3-2にプロセスフロー例を示す。(1) シリコン基板にシリコン (Si)、シリコンゲルマニウム (SiGe) を積層し、(2) Finを形成、(3) ゲートをパターニングした後に、(4) ゲートからはみ出たFinを落とす。その後、(5) ゲルマニウムを少し目減りさせ、(6) シリコンナイトライド (SiN) をデポ、エッチバックして目減りさせたシリコンゲルマニウムの中に埋め込みインナー Spacer とする。(7) シリコン基板からソース/ドレインをエピ成長させ、(8) ゲート電極よりシリコンゲルマニウムを抜く。ここではシリコンゲルマニウム層がダミー層となっている。その後High-k膜、メタルゲートを成長させてナノシートトランジスタ構造を得る。かなり複雑なプロセスフローだが、imecやIntelも同様なプロセスを2次元材料に展開することを想定している。

次にしきい値制御の話に移るが、はっきり言って説明が待たれるというのが現状である。

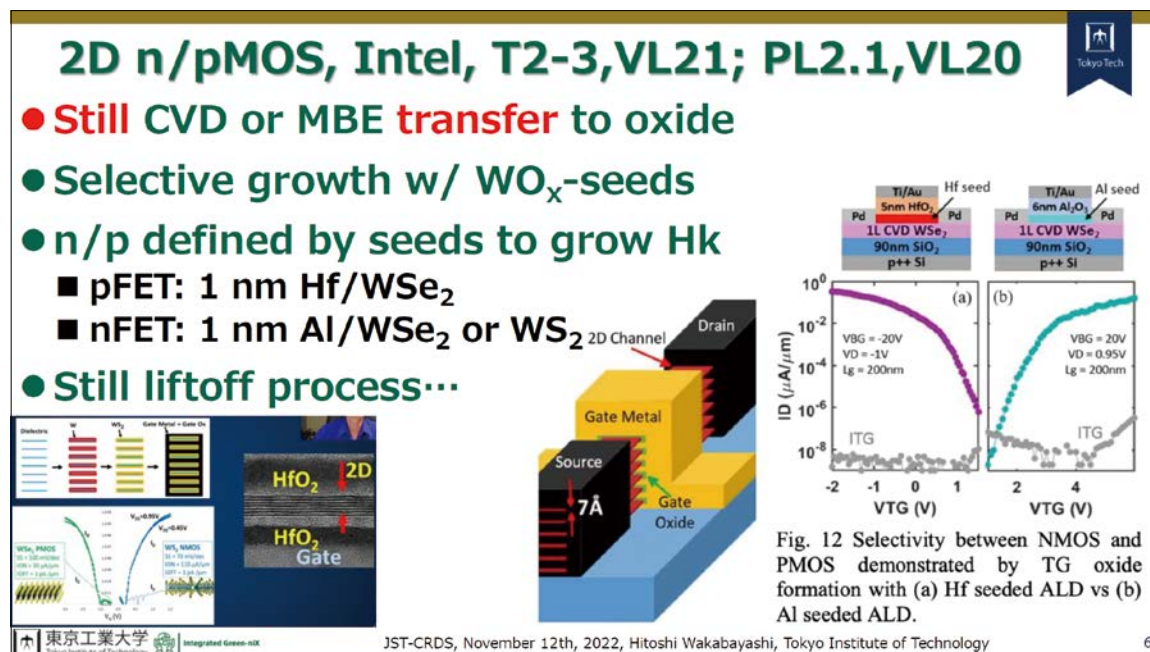


図3-3-3 1層CVD WSe_2 トランジスタの構造と特性

2次元材料にはゲート絶縁膜をそのまま成長させることができないので、電子ビーム蒸着等によりシードつけ、それを核としてALDでHigh-k膜を成長させる。図3-3-3はIntelからの1層CVD WSe_2 トランジスタに関する報告例だが、右側の図の(a)のようにシードとしてHfを用いハフニアを形成するとP-ch特性を示す。一方、Alシードでアルミナを形成すると(b)のようにN-ch特性を呈するようになるといった状況である。IBMからもCNTで同様な報告があるが、アルミナをつけるとP-chでハフニアがN-chとなるということだが、不可解なことにN、Pが逆になっている。

我々はしきい値制御の基本に戻るべく、真性半導体の膜をつくりたいと考えている。キャリア濃度を下げるには、図3-3-4左図にあるように、スパッタで作製した MoS_2 膜に対して窒素アニールよりフォーミングガスアニールが有効であり、トップデータでは $10^{14}/\text{cm}^3$ を実現している。ただし、バンドギャップが広いことを反映して期待される真性キャリア濃度の $10^8/\text{cm}^3$ 程度までは下がりきっていないが、デバイス特性としては $10^{15}/\text{cm}^3 \sim 10^{16}/\text{cm}^3$ 程度でも十分と考えている。また、図3-3-4右図のように、硫化水素アニールでも $10^{16}/\text{cm}^3$ まで下げることができ、デバイス作製上重要な真性半導体に近い膜を得ることができたと考えている。

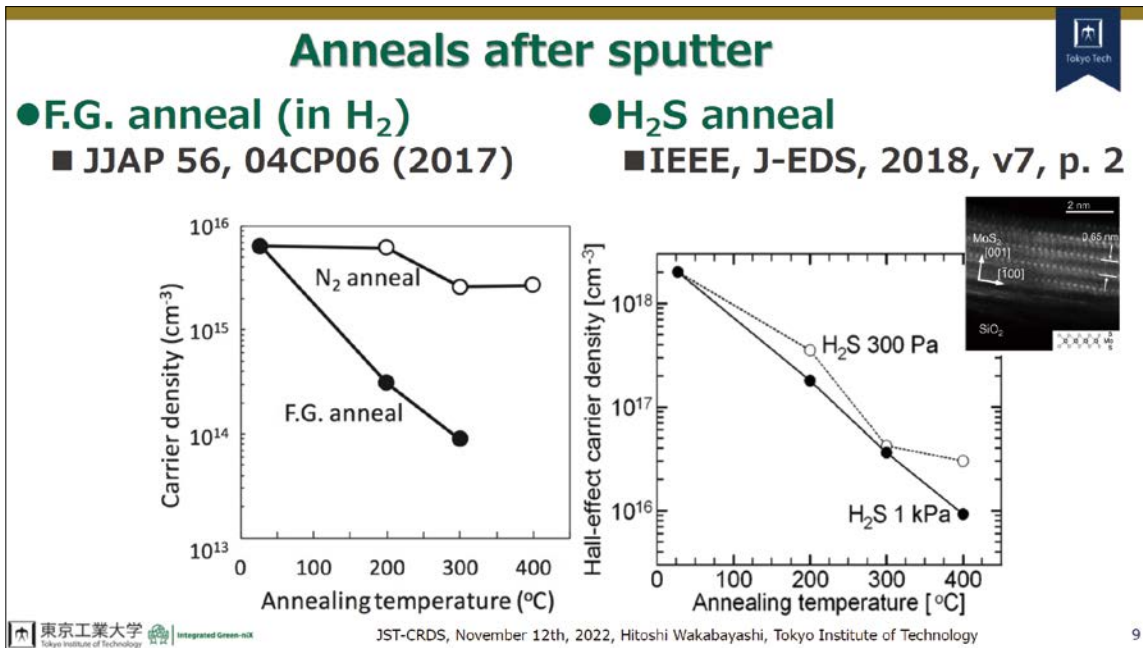


図3-3-4 キャリア濃度のアニール温度依存性

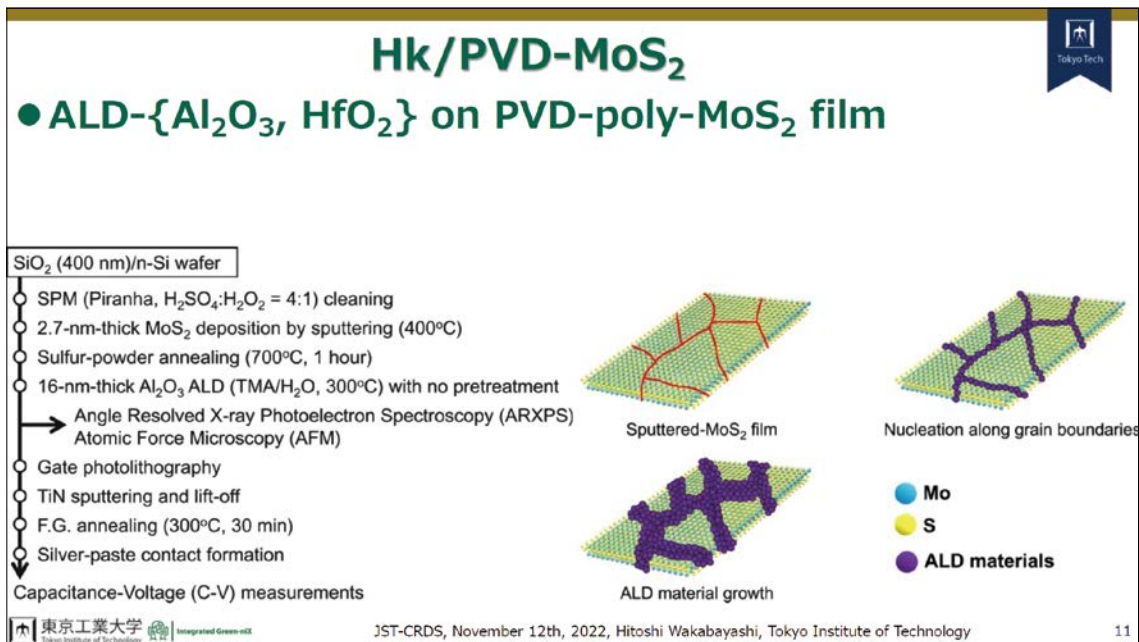


図3-3-5 ALD成長メカニズム

ALDによるHigh-k絶縁膜の成長について説明する。我々のMoS₂は多結晶（ポリクリスタル）であり、図3-3-5に示すように絶縁膜は粒界から成膜している。我々はノーマリーオフ動作を目指しており、これまでの考えの通りにV_{th}が動くかどうか見極めたく、図3-3-6の左図のようにキャリア濃度としきい値との関係について計算した。この結果から、ノーマリーオフにするためには、キャリア濃度を下げ、様々な界面準位、固定電荷等も下げ、さらにゲート材料の仕事関数（WF：Work Function）を制御しなければならないことがわかる。図3-3-6の右図に試作したPVD-MoS₂ nFETのCV測定結果を示すが、ノーマリーオフに近い特性が得られた。ちなみに、周波数分散が大きいのは寄生抵抗が非常に大きいのためと考えている。

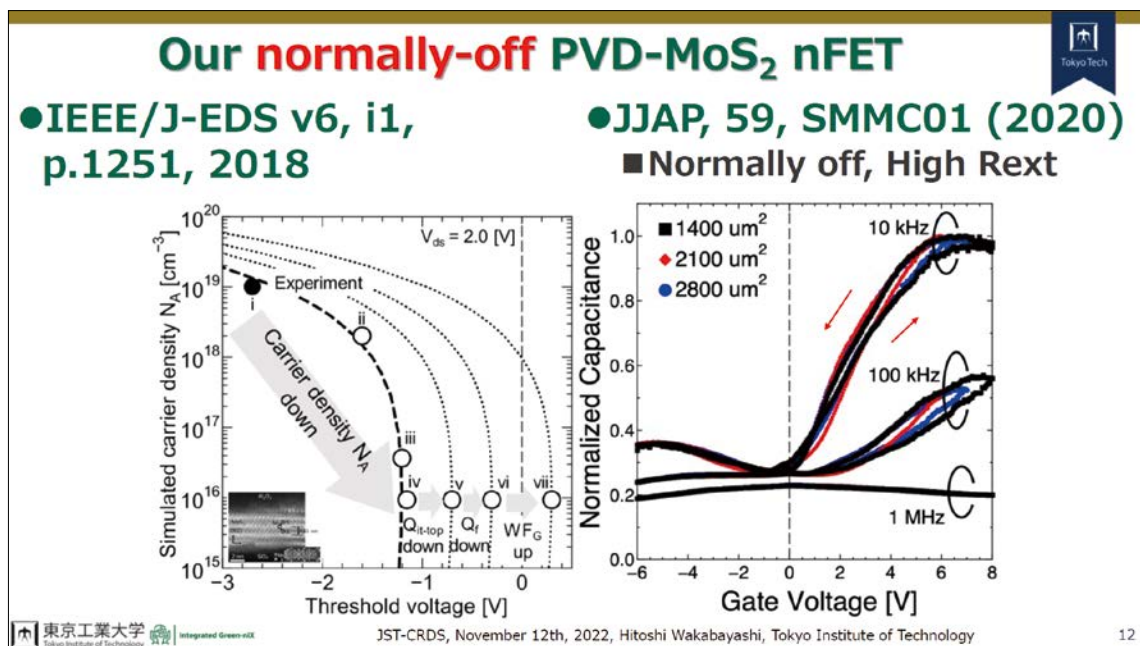


図3-3-6 ノーマリーオフPVD-MoS₂ nFETの V_{th} とキャリア濃度依存性とCV特性

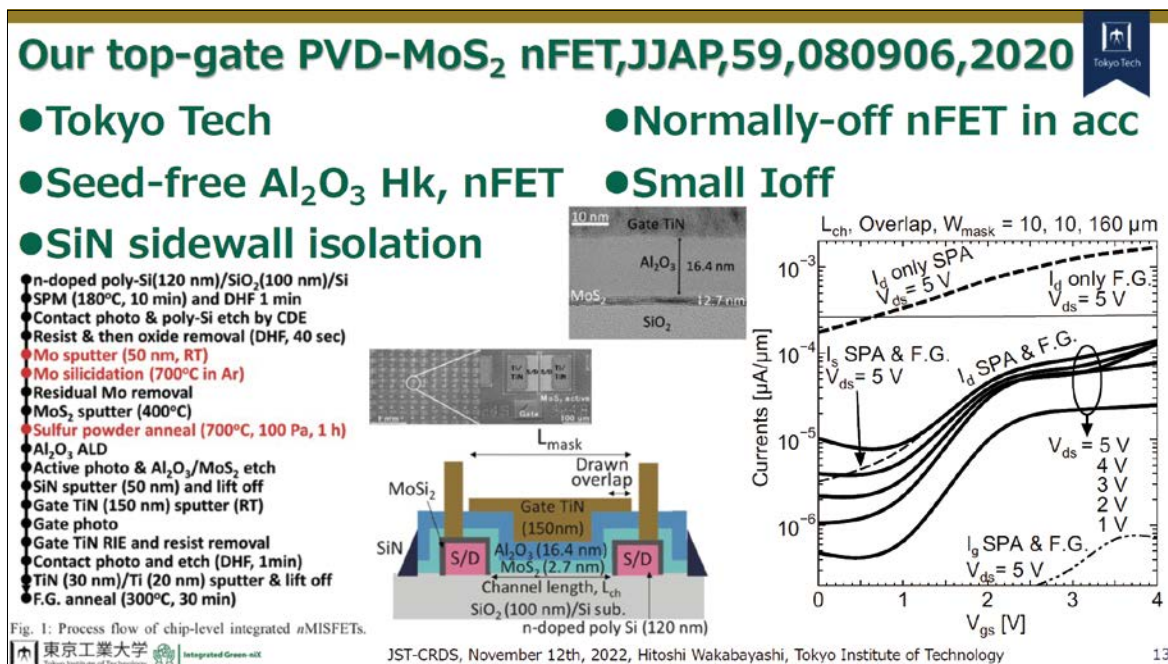


図3-3-7 トップゲートPVD-MoS₂ nFETのデバイス構造とトランジスタのサブスレシヨルド特性

このCV特性が得られた膜でデバイスを製作した。その断面構造とSEM写真を図3-3-7の中央に示す。ソース・ドレインを先に形成し、コンタクトはMoSi₂を用いた。スパッタで成長させた2次元膜MoS₂の膜厚は2.7nmである。High-k膜としてALDでアルミナ（Al₂O₃）を成膜し、TiNゲート電極を付けてトランジスタ構造を作製し、その特性を確認した。サブスレシヨルド特性を図3-3-7の右図に示すが、 $V_{gs} = 0$ Vでオフになっている特性が確認できた。 I_{on} が低いのは寄生抵抗が高いためである。一方、 I_{off} の値は他の報告と比較しても非常に低い値が実現できており、この点は強調しておきたい。

2次元層状物質は剥がれが問題だが、図3-3-7の中央の構造図に示したように、周辺をSi₃N₄膜で覆うこ

とでこの問題を回避している。

しきい値制御となると不純物ドーピングが重要である。Mo、WあるいはSのリプレイスを想定し第一原理計算を行った。様々なイオン化エネルギー、フォーメーション・エネルギー、安定性も踏まえ検討している。ただし、例えば塩素はS置換のドナーとして有望でドーピングできるが、MoS₂自体が薄くなるという問題があり、プロセス構築上の課題となっている。

最後に、我が国では半導体復興のシナリオが叫ばれているが、2nm nodeまでには世界に追いつき、その先のCFETや、さらに先の低次元マテリアルデバイスでは世界を引っ張っていきたいと考えている。

【質疑応答】

Q：カーボンナノチューブでP-ch、N-chが逆転する話があったが、ワークファンクションで理解できるのか。

A：High-kデバイスの研究者にも伺いたい、しきい値をダイポール分だけ移動するだけでなく、半導体側で何かモジュレーションが起きていていると思っている。

Q：しきい値制御に関してはモデルが構築され、理論的に抑え込めるような状況か。

A：まだ皆が結果を報告している段階であり、メカニズムは分かっていないと思っている。

Q：V_{th}制御、2次元膜、あるいはその上につけたゲートスタックも含め精密な界面制御が可能になればデバイスとしての完成度が高くなるが、現在は膜中の固定チャージの効果のほうが大きいのではないか。

A：様々な固定電荷、界面状態が混雑している状況である。

Q：材料の品質を上げるため真性半導体膜の取り組みは重要だが、シートチャージにするとどの程度か。FETでコントロールできるような範囲にきちんと抑え込まれているか。

A：膜厚は2nm～3nmであり、トランジスタ動作はなんとかしている。一応しきい値制御はできていると思う。

Q：フォーミングガスアニールでキャリア濃度が下がるが、基本的には欠陥に起因するのか。

A：MoS₂のサルファ欠陥が電子を出すので、それを抑えるようにしている。

Q：正確なストイキオメトリが得られていないのではないか。

A：スパッタ膜なので蒸気圧が高いことに加え、サルファが軽くて平均自由行程が短いことから、サルファが充分入らない。フォーミングガスアニール、硫化水素アニール、パウダーアニールでサルファ欠陥をコンペンセートしている。

Q：熱力学的視点からも制御は保証されているか。

A：MoS₂は融点が高いので結合してしまえば問題ないが、その中間状態や成膜時はサルファが抜けやすいという現象は多々ある。

Q：移動度は25cm²/Vsでポリクリスタルとしては高いが、世界的にも通常の値か。

A：我々の膜では通常の値だが、簡単には出ない値だと思う。

Q：サルファの置換のときドーピング濃度はどのぐらいか。

A：1%や0.1%である。

Q：ナノシート置き換えでマルチレイヤーになっているが、まずL_gを小さくするところでシリコンの限界を打ち破る場合、多層である必要はあるか。

A：フットプリント当たりの電流量を稼ぎたいので、ナノシート膜層数は多いほどよい。

Q：ドーピングは非常に重要である。MoS₂にNbをドーブすると単層ではイオン化エネルギーが0.5eVと大きく、キャリアが沸かなくなる。今回の計算でイオン化エネルギーの値がかなり小さく、これは多層膜なのか。

A：単層膜である。ただし、だいぶ前(7年程度前)に計算した結果であり、イオン化エネルギーの値が違っていたかもしれない。

3.4 ALE/ALDが可能な2次元材料

安藤 淳（産業技術総合研究所）

題名にある2次元材料のALE（Atomic Layer Etching）/ALD（Atomic Layer Deposition）技術に関して、原子層制御をやりたいけれども、まだそこまでには至っていないことについて紹介する。

対象となるTMDCについて代表的な材料であるMoS₂の構造を図3-4-1左下に示す。紫色で示した遷移金属と黄色のカルコゲナイド、この3原子層で基本のユニットができています。薄膜成長方法については、粉体原料によるCVD（Chemical Vapor Deposition）、硫化水素等のガスソースCVD、スパッタ、MBE（Molecular Beam Epitaxy）などがある。デバイス製作では、今まで培ってきたシリコンテクノロジーを一部修正して転用する。このときに新材料特有の様々な課題が出てくることになるが、特にC軸方向（図3-4-1における上下方向）にダングリングボンド（未結合手）が無く、ファンデルワールス力のみで結合しているため、原子層のプロセス（アトミックレイヤープロセス）が困難であることが予想される。



図3-4-1 MoS₂結晶構造

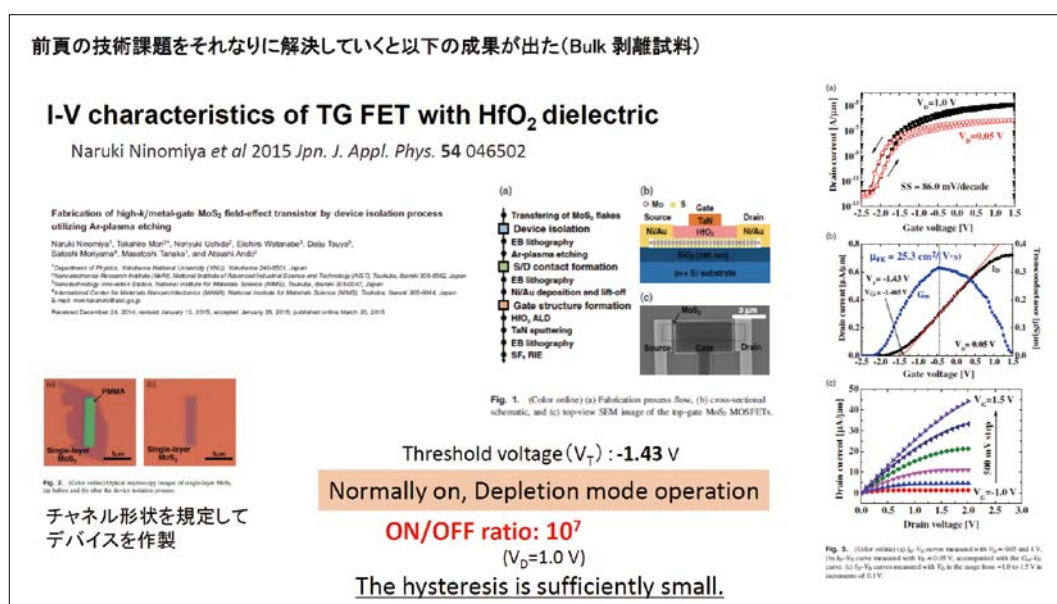


図3-4-2 製作したMoS₂トランジスタの構造と静特性

デバイス作製は簡単ではないが、様々な技術課題に取り組んでいくことで、良好なトランジスタ動作を得ることはできる。図3-4-2は我々のところで以前に作製したMoS₂トランジスタの構造と静特性を示したものである。バルクから剥離した3層MoS₂にHigh-k絶縁膜のハフニア（HfO₂）をALDで形成して試作した。

MoS₂のALDについては図3-4-3に示すA*STAR（シンガポール）からの発表に詳しい。我々のところでもALD装置は持っているが、今はまだCVD装置としての使用に留まっている。MoS₂は層の上下方向にダングリングボンドがない、すなわち成長の核が少ないため、成長概念図と異なり実際には数層分に相当するサイクルを経ないと1層の形成ができない。

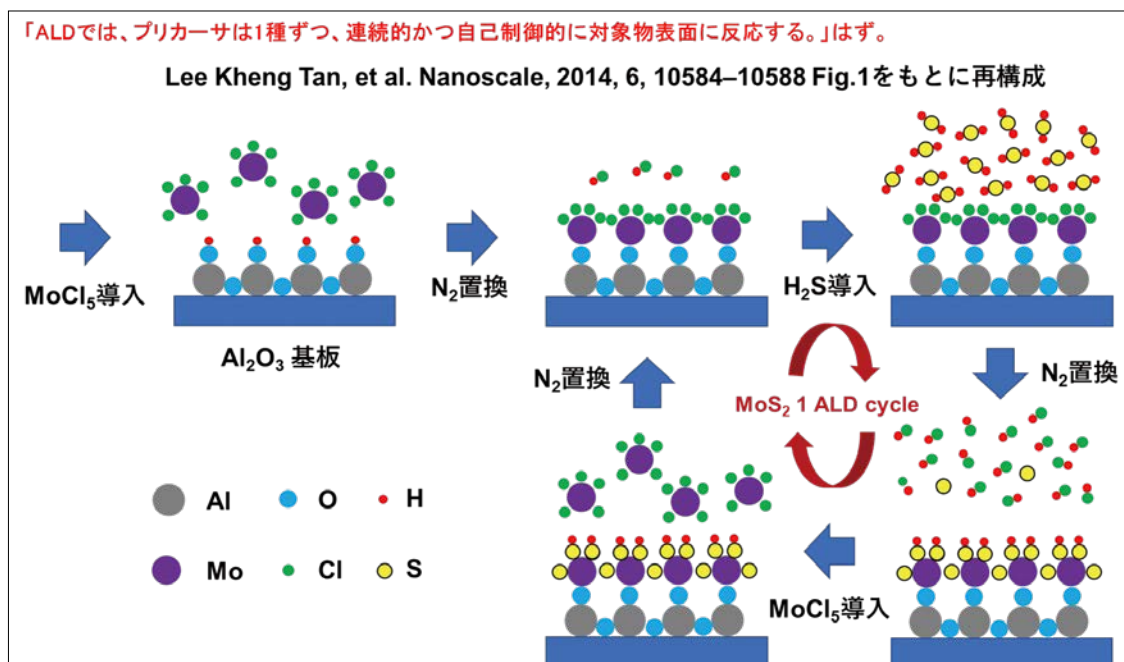


図3-4-3 ALD成長メカニズム

表3-4-1に示すように、金属のプリカーサーとしては塩化物系かカルボニル化合物系が多かったが、最近ではジメチルアミノ基を有するMO（有機金属）使用の例もある。硫黄（S）のほうは硫化水素もしくは有機硫黄化合物である。一般的に比較的低温の成長ではアモルファスになる。400℃以上の高温のときに少し結晶化している状況で、その後のアニールは必須になっている。このため、CVDの成膜温度と同程度の加熱処理工程が入り、トータルプロセスとして低温化が達成されていないことが課題となっている。いずれにしてもプリカーサーは重要であり、最近ではMOCVDではあるが、WのプリカーサーとしてCN基を途中に入れた物質を用い、極性化したことを利用して成長させる報告もある。

表3-4-1 プリカーサーの例

Yang J J, et al. Sci China Tech Sci 2021, 64: 2347-2359をもとに再構成					
Mo 前駆体	S 前駆体	成膜温度(°C)	結晶状態	アニール効果	文献
MoCl ₅	H ₂ S	300 420-480 300 200-420	Amorphous ~20-100 nm Crystalline 10-25 nm	~2 μm — — —	Tan L K. et al., Nanoscale, 2014, 6: 10584-10588 Huang Y et al., Thin Solid Films, 2017, 624: 101-105 Sreedhara M B et al., J Mater Chem A, 2018, 6: 2302-2310 Alm W et al., Phys Status Solidi A, 2020, 217: 1901042
	Hexamethyldisilathiane	375 300-350 350	Amorphous Amorphous	Crystalline Crystalline Crystalline	Tian Z L et al., ACS Appl Nano Mater, 2019, 2: 7810-7818 Yue C et al., J Cryst Growth, 2020, 541:125683 Liu H et al., Nano Res, 2020, 13: 1644-1650
Mo(CO) ₆	H ₂ S	120-200 120-200	Amorphous Amorphous	— Crystalline	Nandi D K et al., Electrochim Acta, 2014, 146: 706-713 Pyeon J J et al., Nanoscale, 2016, 8: 10792-10798
	H ₂ S + plasma	175-225 200 200	~20 nm ~100 nm ~6-10 nm	— — ~14 nm	Jang Y et al., Appl Surf Sci, 2016, 365: 160-165 Nandi D K et al., ACS Appl Mater Inter, 2017, 9: 40252-40264 Oh S et al., J Mater Chem A, 2017, 5: 3304-3310
	CH ₃ S ₂ CH ₃	60-140 100 100	Amorphous Amorphous Amorphous and Nanocrystalline	Crystalline — —	Jin Z et al., Nanoscale, 2014, 6:14453-14458 Shin S et al., Langmuir, 2015, 31: 1196-1202 Kwon D H et al., Nanoscale, 2016, 8: 7180-7188
	Hexamethyldisilathiane	150	Amorphous	Crystalline	Zhang T et al., 2D Mater, 2018, 5: 015028
	H ₂ S	60	Amorphous	Crystalline	Jurca T et al., Angew Chem Int Ed, 2017, 56: 4991-4995
Mo(NMe ₂) ₄ Mo=CH ₃	HS(CH ₂) ₂ SH	50	Amorphous	~20 nm	Cadot S et al., Nanoscale, 2017, 9: 538-546
Mo(thd) ₃	H ₂ S	300	~10-30 nm	—	Mattinen M et al., Adv Mater Interfaces, 2017, 4: 1700123
MoF ₆	H ₂ S	200 200 700	Amorphous Amorphous Crystalline	4-10 nm 50-100 nm —	Letourneau S et al., ACS Appl Nano Mater, 2018, 1: 4028-4037 Maine A U et al., J Vacuum Sci Tech A, 2018, 36: 01A125 Kim Y et al., Appl Surf Sci, 2019, 494: 591-599
	H ₂ S	275 100-300	0.106 nm Amorphous	— Crystalline	Sopha H et al., FlatChem, 2019, 17: 100130 Shen C et al., Nanoscale, 2020, 12:20404-20412
(N ⁺ Bu) ₄ (NMe ₂) ₂ Mo bis(t-butylimino) bis(dimethylamino) molybdenum	(CH ₃) ₂ CHCH ₂ SH	350	Amorphous	Crystalline	Kalanyan B et al., J Vacuum Sci Tech A, 2019, 37: 010901
	H ₂ S + Ar plasma	250	~5-7 nm	—	Mughal A J et al., J Vacuum Sci Tech A, 2019, 37: 010907
	H ₂ + H ₂ S + Ar plasma	200-450	Amorphous to polycrystalline	—	Sharma A et al., Nanoscale, 2018, 10: 8615-8627

CVDは、数多くの報告例がある成膜法である。取り扱いの簡便さから固体原料を用いる事例が最も多いが、基板への原料供給の制御性やその結果による生成膜の均質性、高い成膜温度が必要とされるなどアプリケーション適用に向けては課題が多く、実験室レベルの利用にとどまっている。アルカリ金属を添加すると成長温度が100℃から200℃程度下がるが、これはバルクで用いられたフラックス法に近いものと考えている。膜中にアルカリ金属は残らないという報告が多いが、基板上には存在するため、電子デバイス用途にはアルカリ金属添加は採用されないことが多い。金属供給源が酸化物の場合、成膜前後のMoの価数変化を考えると、還元させたほうが反応しやすいが、キャリアガスに還元剤となる水素を添加することでその効果を図っている。一方、硫黄供給源が固体原料だと単なる加熱気化では反応性が悪いためクラッキング化することが有効である。より反応性の高い液体の有機硫黄化合物や、硫化水素などのガスソースをALDと同様に利用可能であるが、前者は基板上炭素系残留物の処理に課題があり、後者は除害など安全対策が必須となる。我々は試行的段階では固体原料、デバイス集積化などのアプリケーション応用検証段階では主に気体原料を用いたCVDで研究を進めている。

MoS₂成膜後に、S 圧を上昇させて過剰なカルコゲンを加えると、MoS₂が再蒸発して温度勾配で再結晶化する現象がある。この現象を利用して結晶を大きくすることも可能であり、その取り組み事例を図3-4-4に示す。対向設置した2枚の基板の間隙を利用して硫黄の分圧を若干高めると1mm程度の連続的な膜が成長できる。一方で、白い筋が観測されているが、これはドメインバンダリーである。また、黒い点も観測されるが、これは他の論文報告例でも言及はされていないがよく観測されている大きなピンホールである。活性化した硫黄がSiO₂基板をエッチングしているものであり、成膜にとっての課題の一つである。

3 半導体集積回路における
極薄チャネル形成の要求

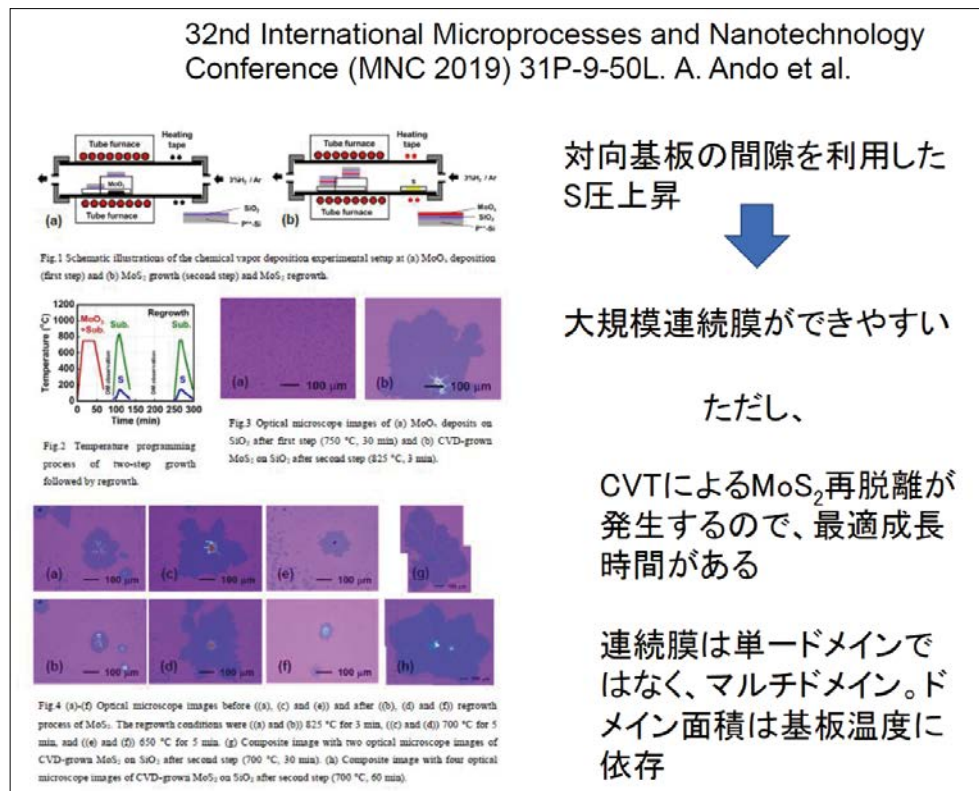


図3-4-4 CVD成長したMoS₂の大面积化の取り組み事例

最後にALE (Atomic Layer Etching) について述べる。ALEは2次元物質1層目だけ熱的に励起させるような状態を実現し、1層毎にエッチングするものである。励起源としてはレーザーを用いる事例が多く報告されている。多くの先行報告では、光学顕微鏡観察のみから層状エッチングが達成されていると判断づけているものが多いが、ラマン測定やAFM (Atomic Force Microscope) 観察を実施し、エッチング後を評価することが極めて重要である。図3-4-5の中央上部はArプラズマでエッチングした例を示しているが、光学顕微鏡では一様に色の変化が観測され、他の事例と同様に全面がきれいに剥がれている、すなわち層状エッチングが進行しているように見える。しかし、ラマン観測ではダメージ層のピークが出ている。また、図の右上に示すようにAFMでもエッチング後の表面において±1層分に相当するランダム性が確認されている。

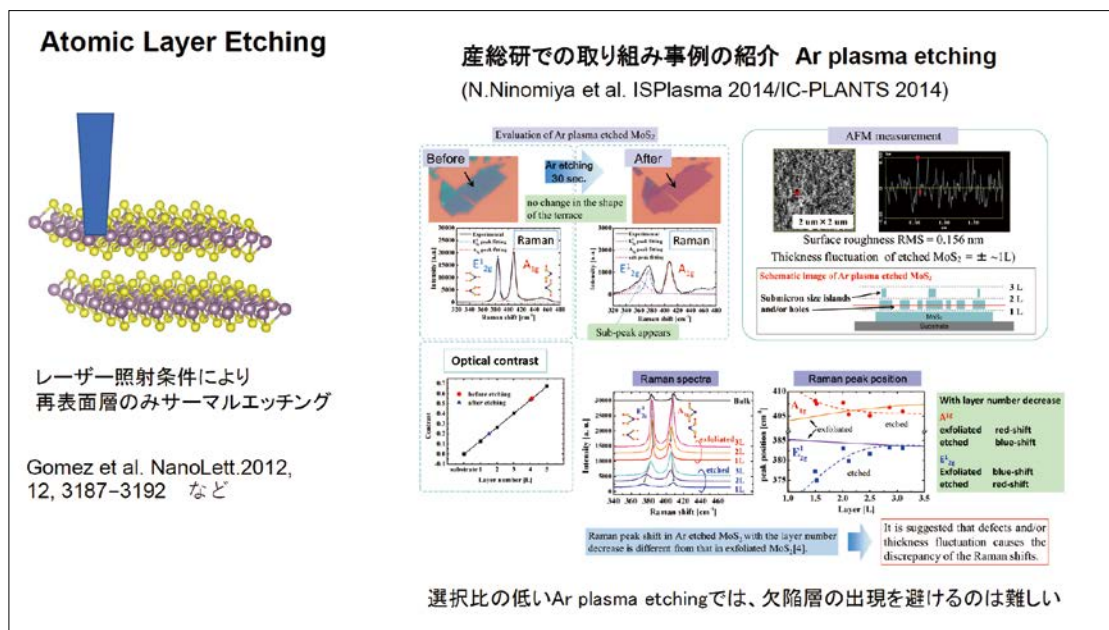


図3-4-5 Ar プラズマを用いた MoS₂ の ALE

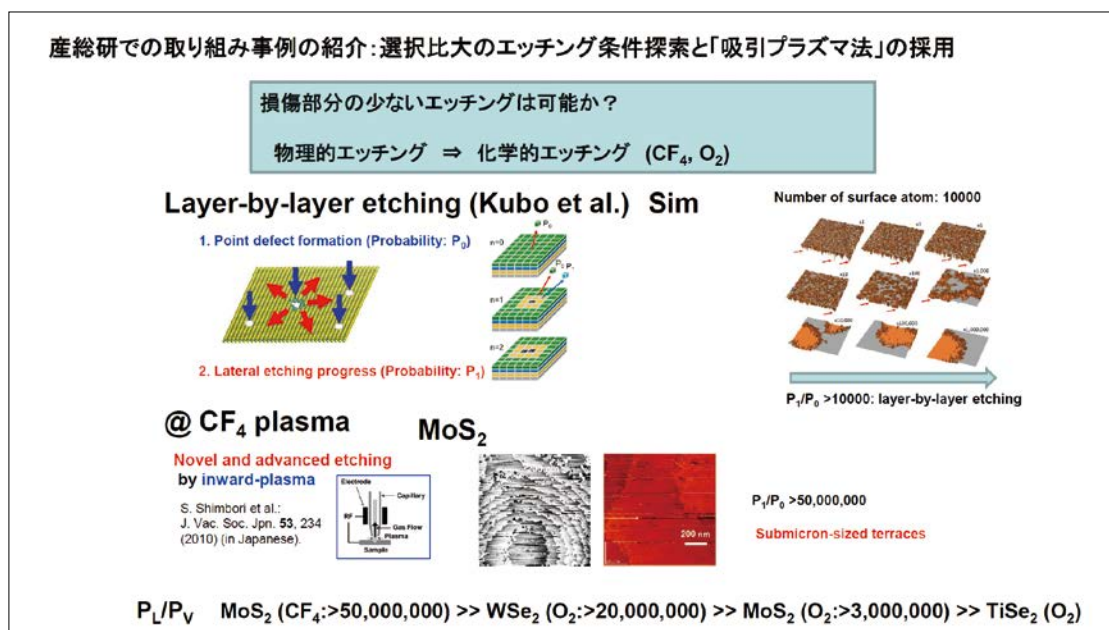


図3-4-6 CF₄ プラズマによる高選択比エッチング

損傷部分の少ないエッチングを目的とするなら化学エッチングを使うことが有利である。図3-4-6の中央の段はエッチングのシミュレーション結果を示したものであるが、点欠陥を形成する確率（P₀）と横方向のエッチングの確率（P₁）の比（P₁/P₀）が10,000以上であれば、レイヤー・バイ・レイヤー・エッチングが実現できる。図の左下に示すような吸引プラズマ法（キャピラリー使用の点で大気圧プラズマと構成が似ているがガスの流れは真逆）でCF₄プラズマを発生させてMoS₂をエッチングすると、サブミクロンサイズのテラス構造が得られ、先の確率の比（P₁/P₀）として5,000万倍以上になっており、縦横比としてこの程度の選択比を実現している。

以上述べてきたことをまとめる。2次元材料のALDは未確立と考えており、前駆体の開発を行うことや、

生成膜における硫黄などカルコゲンの欠損量を低減させる必要がある。ALEは化学的エッチングの利用が重要であり、バルク結晶や生成膜のカルコゲン欠損の抑制が鍵になる。

【質疑応答】

Q：グラフェンと異なりMoS₂等TMDCは3層あるが、その3層を一括してALD/ALEを行うという概念なのか。

A：先行例は3原子層一括である。本来のALDは、一層ずつ原子を堆積していくものであるが、TMDCではTMDC1層すなわち3原子層一括でしか成長できていないと推察される。MNC2022（35th International Microprocesses and Nanotechnology Conference）ではALDに関するシンポジウムが開催され、多くの報告があったが、現状うまくいっているのは酸化物だけである。窒化物に適用する試みがあるが、カルコゲン化物であるTMDCはかなり難しい。TMDCのALD報告例は、微量のプリカーサーを基板の上にALDバルブにより供給していることで成膜しているが、本当の意味でのALDにはなっていない。

Q：硫黄の空隙があるが、モリブデンの状態はメタリックなのか。

A：メタリックになっていると思う。

Q：そのときデバイス的にはどのような影響があるか。

A：硫黄欠損はコンタクトに関しては、非常に有利になっていると考えている。MoS₂の場合、モリブデンの近くにコンタクトメタルを持ってこれれば一番良い。

Q：チャンネルについてはどうか。

A：チャンネル部分について硫黄欠損は課題となる。バルク試料を超高真空中で剥離してすぐ原子像をSTMで見ると、観察視野中に必ず数個以上の欠損が見える。薄膜成長では、硫黄などのカルコゲン欠損はより顕著になるので、成膜中にカルコゲンを過剰に供給することで回避している。

Q：ALDはプリカーサー設計が重要に思うが、そういう研究はあまりされていないのか。

A：原材料についてきちんと研究することは重要である。しかしながら日本においては化学的なアプローチが少ないのが現状である。2次元層状物質デバイスをセンサ応用等で少し検討するには良いが、技術として確立していくためには、多くの人が統一して議論する場が必要である。日本においては応用物理学会、物理学会がその場と考えるが、日本化学会にはこの材料について議論する場がほとんどない。アメリカだとMRSがあるので、ケミストリー分野も入っている。

C：学会間の連携が広がっていくとよい。

Q：ALD/ALEともに界面準位の制御が重要と考えている。シリコンの生産ラインもクラスター化やin situプロセスが多くなってきているのでその延長線で考えて、二次元材料では初めからクラスター化することを考えてやるのも有効ではないか。

A：有効だと思う。それを有効に活用できる周辺技術ができればよい。

3.5 三次元集積およびメモリデバイスへの極薄膜材料の可能性 ～酸化物半導体と遷移金属ダイカルコゲナイドを中心に

小林 正治（東京大学）

私は現在、主に酸化物半導体のデバイス応用について研究している。この材料は、ディスプレイで成功し、iPadやアップルウォッチにも使われている。我々は、今後はこれを大規模集積回路に向けて使っていくことを提唱しており、世界的にもその流れが始まっている。この酸化物半導体も、微細化を進める上では将来薄膜化が必要であり、そのような視点から話題提供させていただく。

このワークショップでは、2次元マテリアルの先端ロジックトランジスタ応用がフォーカルポイントだと思うが、2次元マテリアルの応用はロジックに限らないと考えている。私は以前半導体のメーカーに在籍しており様々な材料を扱ってきたが、シリコンはかなりロバストな材料であると考えている。シリコンでできるところをリプレイスするのは非常に難しいことを実感している。そのため、大学に移ってからはシリコンでできない機能や応用に向けたデバイスにフォーカスすることが重要と考えて研究を行ってきた。そのキーワードは「ドメインスペシフィックトランジスタ」である。新材料を用いたトランジスタを適材適所で採用していくのが効果的である、というのが私の考え方である。シーズとしては低次元半導体の他にも、酸化物、ナノ材料など様々あり、ニーズとしてはロジック半導体の他にも私の研究領域に関連するところでは、モノリシック三次元集積回路、AI応用、三次元メモリデバイスなどがある。シリコンではできず他の新しい材料が必要な領域があると考えている。様々なニーズとシーズとをうまく掛け算しながら、新しい材料の開発やデバイス技術の開発を進めていくことが重要であると考えている。

サイエンティフィックな研究をする上でも、このニーズとシーズの関係のように両面から考えていく必要があると思っている。海外のメーカーであるインテル、TSMC、サムスンなどは、様々な研究の種播きをアカデミアでおこなっている。それらの研究成果と産業界からのニーズをうまくマッチングさせながら、最終的に技術として製造につなげているところがある。このようなニーズとシーズの照らし合わせが非常に重要であると考えている。

以下では、ドメインスペシフィックトランジスタの事例として、私が研究をしているモノリシック三次元集積技術および三次元メモリデバイスの研究内容について紹介し、その中で酸化物半導体や二次元層状物質を含めて何が求められているのかについても触れる。

三次元集積化は最近非常に注目されている。平面上のスケーリングはもはや限界に近づいてきているので、これからは平面に垂直な方向にどのように集積化を進めていくのかを考えるのが重要である。図3-5-1に示すように、1つの重要なポイントとしてメモリの広帯域化がある。様々なAIアルゴリズムを計算するためにCPUとメモリ間のデータのやり取りが増加しているため、メモリの広帯域化は非常に重要である。メモリの広帯域化は様々な方法で進められている。現在は三次元パッケージングや三次元実装といった形で開発が進んでいるが、同じチップ上にメモリを配置するモノリシックにするのが究極的な形と考えている。そのためには、配線層にいかにトランジスタをつくり込むかが重要になる。もちろんシリコンのトランジスタのチップを貼り合わせてつくことも可能であるが、コストの問題が生じてくる。直接配線層に形成できるトランジスタ技術の確立が求められている。単結晶シリコンを配線層につくり込むことは極めて困難なため、配線層に形成できる新たな材料によるトランジスタ技術の開発が重要である。

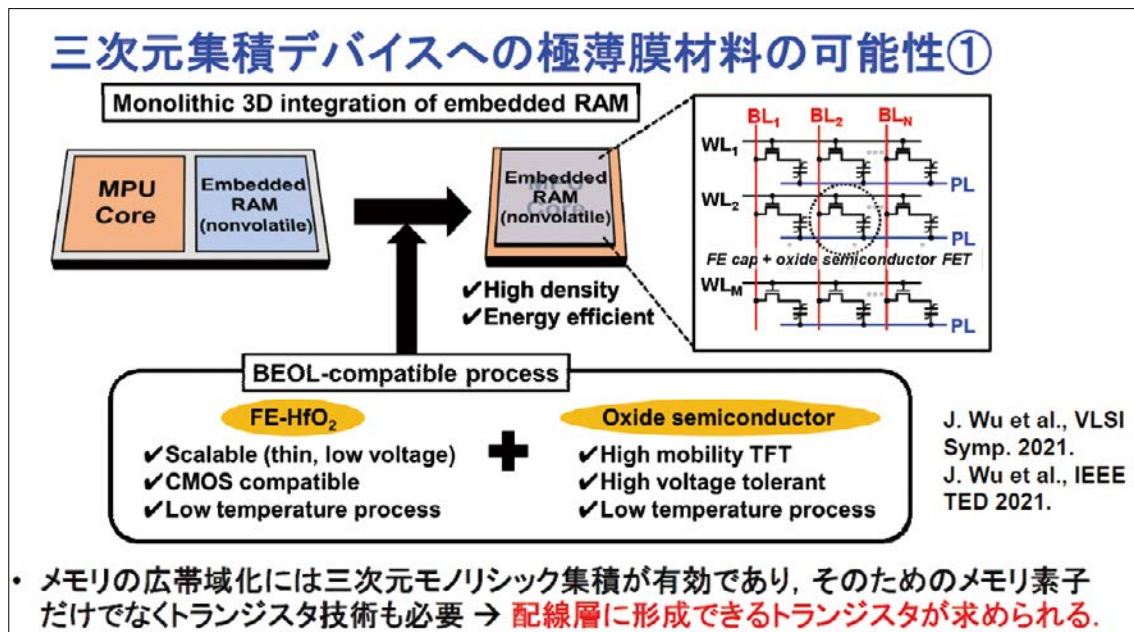


図3-5-1 三次元集積デバイスへの極薄膜材料（特に酸化物半導体）の可能性

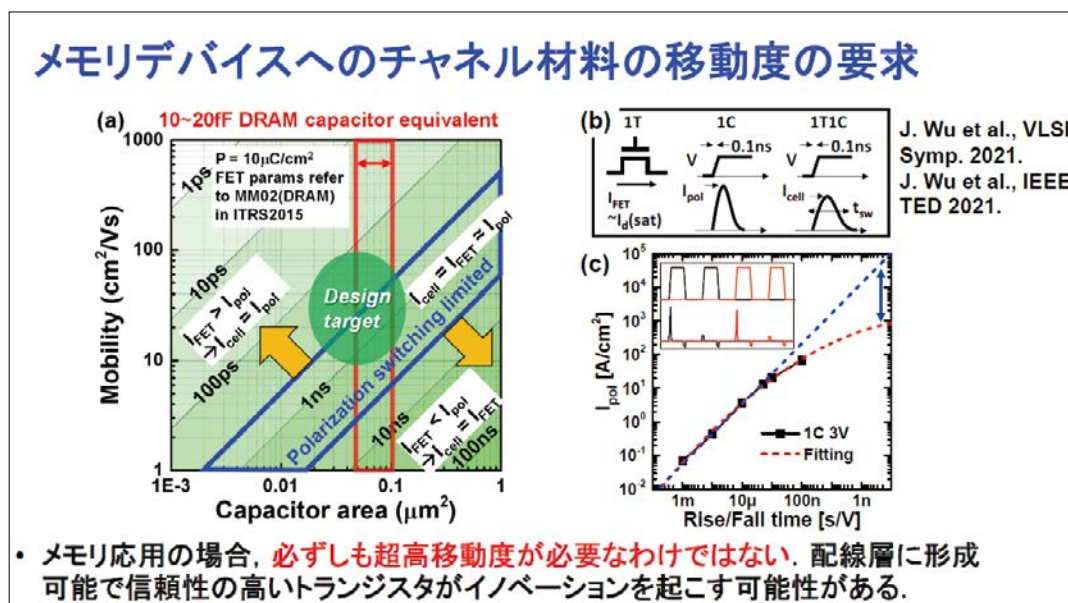


図3-5-2 混載メモリデバイス（RAM）に適用するチャネル材料の移動度への要求

酸化物半導体は移動度が低いのではないかと問われるが、果たしてそうなのか改めて考えてみる。ロジックトランジスタには最高性能の移動度が必要であるが、メモリ向けのトランジスタに関しては必ずしもそうではない。例えば、DRAM相当のメモリデバイス（1トランジスタ-1キャパシタ：1T-1C）を1ns程度で動作させるときにどの程度の移動度が必要かを簡単に見積もると、図3-5-2に示すように移動度は10～100 cm²/Vs程度であれば動くと考えられる。したがって、ロジックで使っている単結晶・歪みシリコントランジスタほど高移動度でなくてもよいので、配線層につくって信頼性が高いチャネル材料を有するトランジスタができると、メモリでは大きなイノベーションにつながると考えられる。

我々は様々なプルーフ・オブ・コンセプト（PoC）を実証してきているが、その一つとして、図3-5-3に示すような薄膜の酸化物半導体を用いてトランジスタとメモリ素子を同時に集積する試みについて紹介する。

1T-1C型の強誘電体キャパシタと酸化物半導体トランジスタの同時集積デバイスで重要な課題の一つは、大規模集積化に向けた信頼性である。例えばIGZO（InGaZnO）をはじめとする酸化物半導体の材料は、ディスプレイ向けに信頼性を高めてきた歴史があるが、大規模集積化に向けてどのような信頼性が求められるのか新しい視点で考える必要がある。

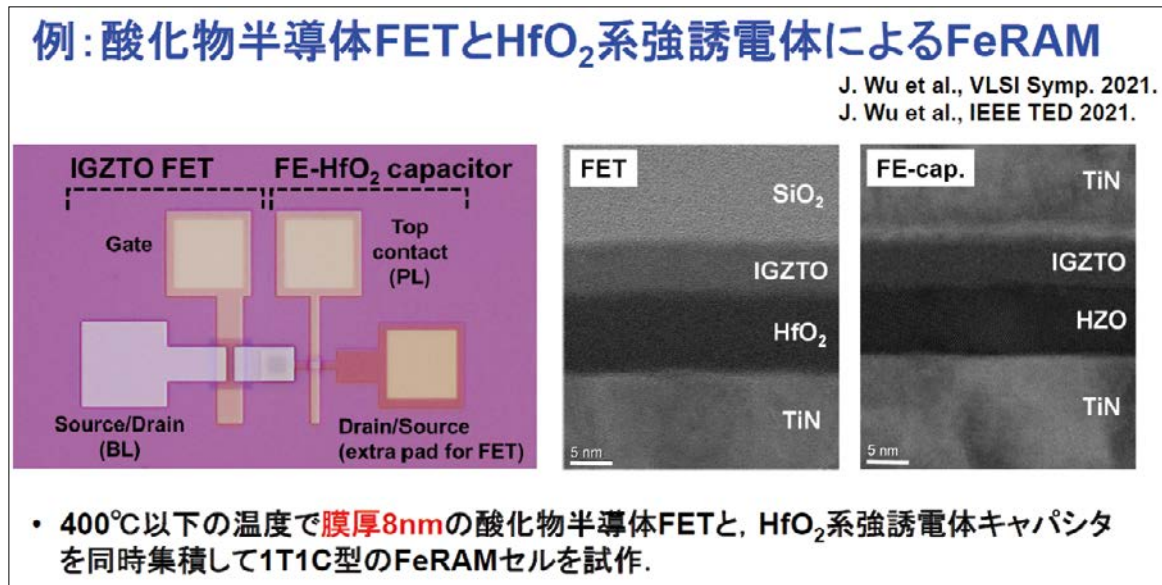


図3-5-3 酸化物半導体FETとHfO₂系強誘電体によるFeRAMの試作

例えば、PBTI（Positive Bias Temperature Instability）はアクセストランジスタとして使う上では非常に重要な指標である。既存のIGZOのPBTIはシフト量が大いだが、図3-5-4に示すように新しい材料を導入することによって改善していくことができる。さらに移動度も上げていくことが可能である。この性能と高信頼性をどう両立していくかが、このような新しいチャネル材料に強く求められると考えている。同時集積したメモリデバイスも動作する必要があるが、図3-5-5に示すように強誘電体キャパシタ単体が配線層で形成可能なプロセス温度で試作しても動作可能し、さらに同時集積した1T-1Cのメモリセルも酸化物半導体のアクセストランジスタを使って動作させることに成功している。試作したデバイスから抽出したパラメータを使ってSPICEシミュレーションすると、所望の1ns以下で動作するメモリセルが可能であることが示された。

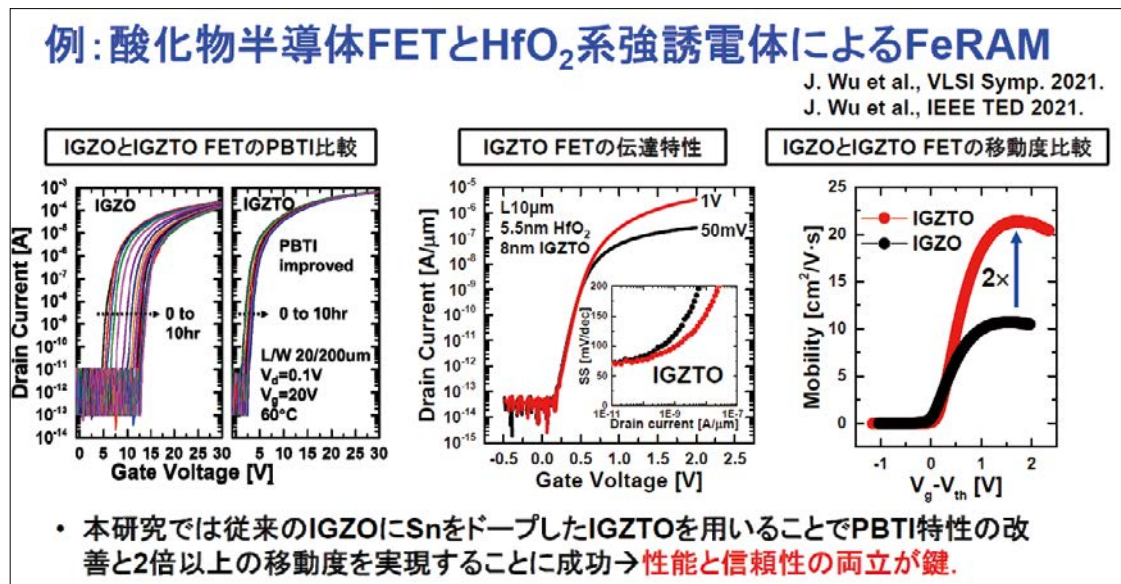


図3-5-4 新しく導入した高信頼性酸化物半導体のトランジスタ特性

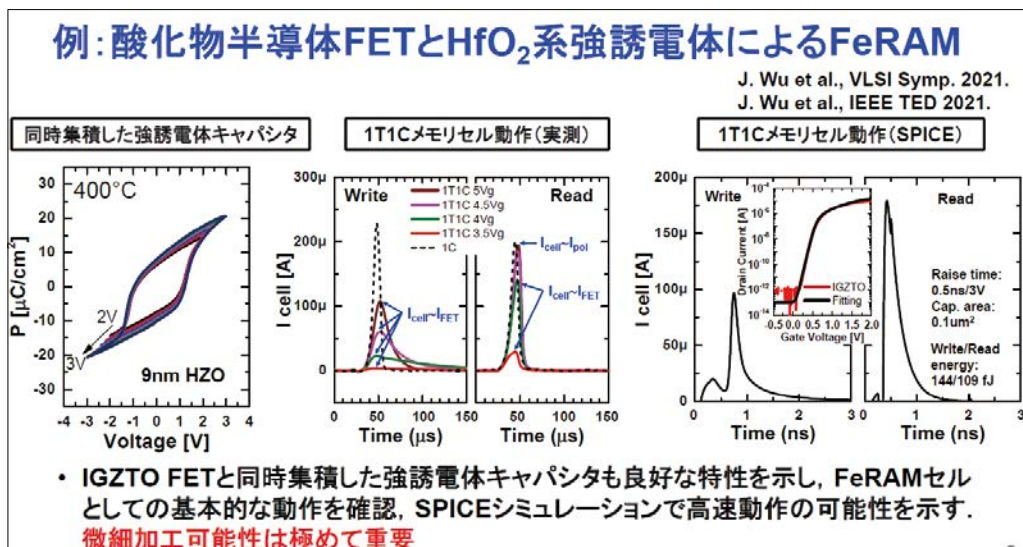


図3-5-5 試作したFeRAMの強誘電体キャパシタ単体および1T-1Cセルの特性

このようなチャンネル材料の検討を、現在は大学で試作可能なサイズのデバイスで進めているが、今後は微細化したときにどのような課題が出てくるのか調べるのが重要と考えている。微細化していくと、様々な物理現象も含め課題がたくさん出てくるので、新しいチャンネル材料を実用化するためには、微細加工したデバイスでその特性などをきちんと評価していく必要がある。大学や研究所レベルでこの点をクリアすることはなかなか難しく、次のステップになかなか進むことができない。ベルギーのimecや台湾のTSRIなどでは、微細加工ができる拠点をうまく利用して、大きな成果を上げているのではないかなと思う。日本にも、そのような微細化のプロトタイプができるような拠点が設けられることは非常に重要だと個人的には考えている。

三次元集積デバイスはAI応用でも非常に有効だと考えている。コンピューティングインメモリ(Computing-in-Memory: CIM)という分野は最近非常に注目を浴びており、メモリアレイを使ってデータの記憶だけでなく演算まで行うことで、AIアルゴリズムでのメモリのバンド帯域の問題を解消するという技術である。代表的なものが図3-5-6に示すようなRRAM(Resistive Random Access Memory)のアレイ

を使ったメモリコンピューティングであり、我々も取り組んでいる。AIのアルゴリズムはモデルが複雑化してパラメータが増えていく。このような状況で、通常の二次元平面上にメモリのアレイを展開していくと膨大な面積になる。また、配線での遅延や消費電力の問題が大きくなってくる。そこで、アレイを三次元的に積層して集積化することでシステムのパフォーマンス向上が期待でき、その実現には、繰り返しになるが、配線層に形成するトランジスタが重要である。

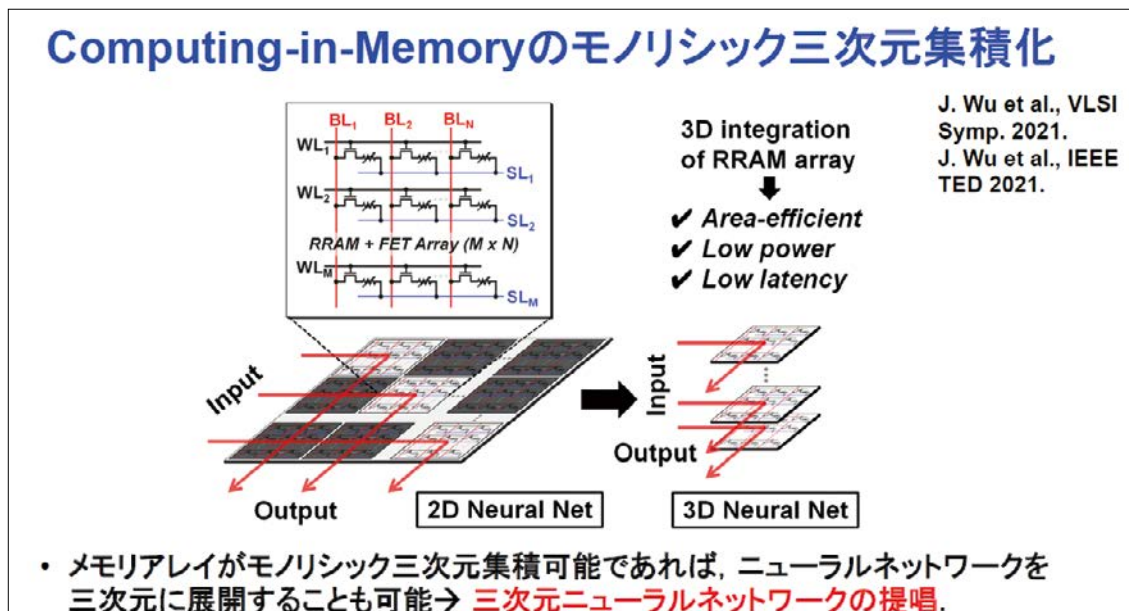


図3-5-6 RRAMアレイを用いた Computing-in-Memory のモノリシック三次元集積化

先に述べたように、酸化物半導体は低温で成膜が可能であり、RRAMを駆動できる十分な移動度も有していることから、メモリアレイの三次元集積化に適している。実際にPoCとして、図3-5-7に示すような3層のRRAMアレイを試作して動作実証した。3層のデバイスを比較すると、図3-5-8に示すように、3層のトランジスタはどれも大きな特性劣化はなく、1T-1RのRRAMセルに関しても3層全てでメモリ特性の劣化もなかった。さらに実際にIGZOセルを用いてCIMのデモも行った。このような実例から、このワークショップで検討されている低次元、あるいは極薄膜材料の三次元構造のメモリデバイスへの応用の可能性も大きいと考えている。

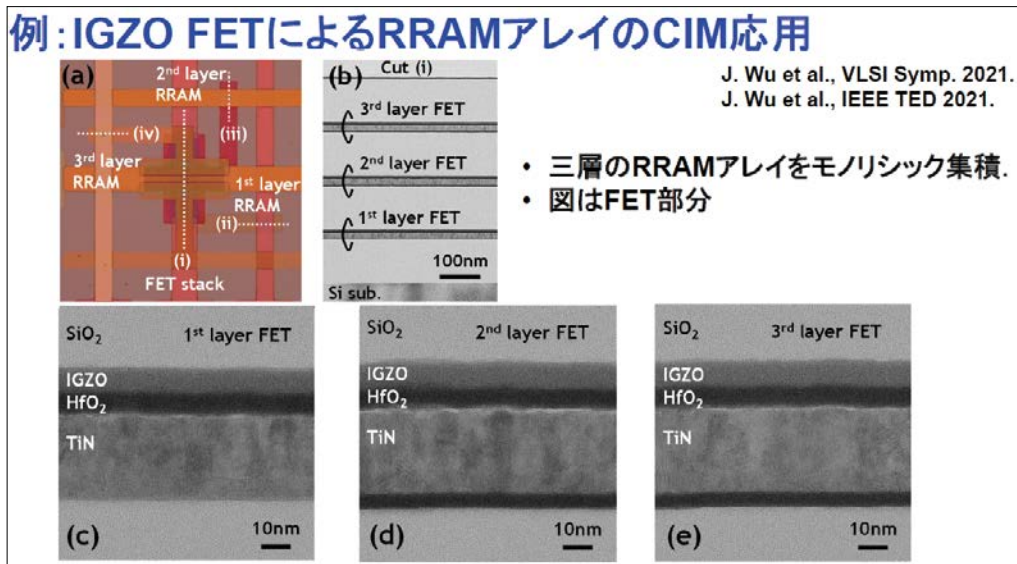


図3-5-7 IGZO-FETを用いた3層のRRAMアレイの試作例

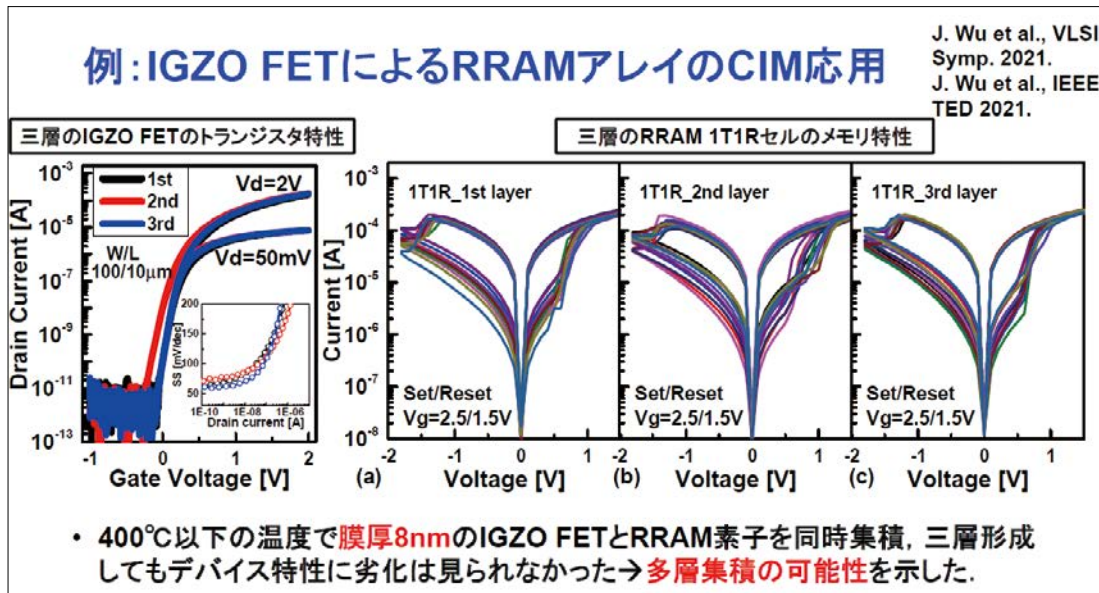


図3-5-8 IGZO-FETのトランジスタ特性とRRAMアレイのメモリ特性

今後AIとIoTはますます重要になっていくが、データ量がどんどん増えていくので、データをエッジ側にも蓄積する方向性もあると考える。その場合には、大容量のストレージをエッジにも置く必要があるため、低消費電力で大容量なストレージメモリが必要となる。現状では大容量のストレージとしてはNANDフラッシュメモリしか選択肢はないが、NANDフラッシュメモリはコスト的には安いですが、エネルギー消費が大きい。将来のストレージメモリはこれと同等に大容量であるとともに、低消費電力化することが重要な課題である。この課題解決に向け、最近我々は強誘電体トランジスタ（FeFET）について研究している。FeFETも1トランジスタのメモリであり、NANDフラッシュメモリと同様に三次元積層化が可能である。このときにどのようなトランジスタのチャンネル材料にするかだが、シリコンでない新しい材料の可能性があると考えている。我々は酸化物半導体を候補として考えているが、ここには二次元材料の可能性も十分あると考えている。そのときに求められる技術は成膜技術である。三次元構造ではトレンチ構造を用いる必要があるため、図3-5-9の左側に

あるようなところに均一に新しいチャネル材料を埋め込むことが非常に重要である。この成膜にはスパッタ法は使えないので、CVD（Chemical Vapor Deposition）またはALD（Atomic Layer Deposition）技術が必要になる。我々は、まずInOxのALD成長を確立した。トレンチ構造に強誘電体のHfO₂とInOxをALDで成膜することに成功し、均一に成膜することができるようになっている。InOxの移動度としては、プロセス最適化は完全ではないが、10～20cm²/Vs程度の値が最初の実験でも得られた。また、FeFETとしても動作しており、まずまずのメモリウィンドウと信頼性が得られている。二次元材料を使ったFeFETの研究についてもすでに取り組んでおり、大きなメリットがあるとわかってきており、メモリデバイスとして動作できることが分かってきた。今後は、成膜技術とデバイス技術を進展させる必要がある。

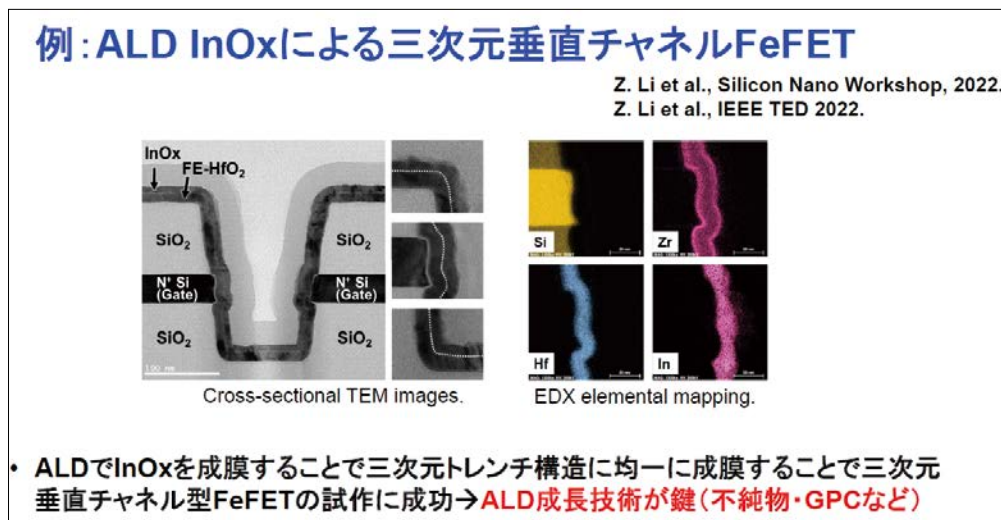


図3-5-9 ALDによって成膜したInOxを用いた三次元垂直FeFETの試作例

最後にまとめる。新しい低次元材料としては二次元層状物質だけではなく、酸化物半導体や従来の半導体などのナノ薄膜もこれからのデバイス応用に大きな可能性がある。応用に関しても、ロジックトランジスタだけでなくモノリシックな三次元集積回路、AIハードウェア応用、三次元構造メモリに向けても需要があると考えている。材料、デバイス、回路、アーキテクチャの連携でこれを進めていくことが重要と考えている。

【質疑応答】

Q：InOxの三次元構造・垂直チャネルFeFETのI-V特性において、しきい値（ V_{th} ）がマイナスであった。

本来n型FETでは $V_{th} > 0$ であるべきだが、制御は可能か。

A：二次元材料を用いたFETと同じで、酸素空孔をいかに減らすかが重要と考える。

Q：今のところ、まだ $V_{th} > 0$ は実現できていないのか。

A：InOxは非常に酸素空孔を形成しやすい材料なので、ノーマリーオンしか実現できていない。現在膜厚を薄くすることによってしきい値を上げることを試みているが、実際にはIGZOのように複数元素化して、酸素空孔の形成を抑えることを試みる。

C： $V_{th} > 0$ はこれからの課題であると理解した。

Q：MoS₂のFeFETの動作結果が示されていたが、不揮発性の動作をする理由は何か。

A：通常FeFETはシリコンチャネルが主流だが、動作原理は同じある。ゲート電圧に正の電圧あるいは負の電圧をかけることによって、強誘電体の分極反転を起こす。それに対応するチャネルのキャリアが必要であり、プログラム動作の場合にはMoS₂にアキュムレーションチャージが発生し、イレース動作の

場合にはインバージョンチャージが発生する。このような形で不揮発メモリとして動作する。

Q：メモリウィンドウは 1.5 ボルトか。

A：220 ミリボルトである。私の理解では、 MoS_2 はどちらかというところ n 型になりやすい。マイノリティキャリアを誘起しやすい材料を使うと、メモリの動作範囲の向上にもつながると考えている。

C：多機能化という意味で、将来性があると理解した。

Q：酸化物材料と二次元材料の共通の質問であるが、成膜している膜は多結晶になるのか。

A：アモルファスである。

Q：結晶ではない材料の信頼性は重要と考えるが、比較的低温で成長した膜の高い温度での信頼性は大丈夫か。400°C で成長の膜の 85°C や 125°C における信頼性は大丈夫か。

A：形成温度と実際のユースケースに合わせた高温動作時の信頼性の質問と理解した。酸化物半導体はもともとディスプレイ応用なので、コンピューティング装置のような高温動作は基本的に対象外であった。その意味で、コンピューティングに向けた酸化物半導体の信頼性という点ではこれから研究を加速させる必要がある。

Q：成膜温度の低温化と高温のデバイス動作はトレードオフだと思う。低温成膜化の観点からは、両者の温度差、電源電圧、バンドギャップの三位一体の考察が重要となると思うが、どのように考えているのか。

A：トレードオフはあると思う。ただしロジックトランジスタと違って、メモリデバイスはある程度寿命を仕様に盛り込める。その意味では、無限時間に動作する必要はない。その点は境界条件を少し広げることができるので、その領域で先ほどのトレードオフの議論ができるとよいと思う。これが全てに過剰スペックを持たないドメインスペシフィックトランジスタの考え方である。

Q：PBTI の問題は、酸化物チャネルそのものの問題か、それともゲートスタックに問題があるのか。

A：両者といえる。酸化物半導体の場合にはチャネル材料の問題でもある。酸素空孔は動き易いので、ずっとバイアスを掛けてしまうと動いてしまう。今回は、錫を入れたことで、錫と酸素の高い結合エネルギーが効いて、PBTI が改善したと考えている。この点は集積デバイスとしてはかなり厳しい要求があるので、そこに合わせてディスプレイとは違った応用に対して新しい材料系を見つけて行くことも重要である。

Q：酸化物チャネルの本質的な問題をいかに解決するかが重要と認識しているか。

A：その通りである。本質的な問題であると同時に、酸化物チャネルを使うメリットもあると考える。酸化物チャネルを使うと、ゲート絶縁膜は酸化物なので、酸化物と酸化物の自然な界面が使えるというメリットがある。両者間の界面準位の算出は難しいが、ざっくりと見積もると、 10^{11} cm^{-2} のレベルである。これは低温成膜デバイス系としてはかなりよい方だと考えている。

Q：実験で用いた MoS_2 は、どのようにして調達したのか。

A：産総研から調達した。

Q：トランスファー技術は使っているのか。

A：使っている。二次元材料のデバイス研究では分業で進めている。私としては、そういう分業も重要と考えている。二次元材料は非常に繊細な材料なので、専門家とうまく協力しながらやっていくことが効率的な研究を進める上で重要である。

Q：メモリ動作の際に、 MoS_2 自身のヒステリシスが問題とならないか。また、それはきちんと取り除けているのか。

A：DC 測定すると顕著にヒステリシスが現れる。チャージトラップのように動作する。これは二次元材料系の課題である。今回の測定は基本的にパルス測定で、その影響を排除して測定した。しかし、本質的な課題がまだ多くある。個人的には MoS_2 とゲート絶縁膜酸化物の間にダンダリングボンドがあるかもしれないと考えている。そこは二次元材料の進展とともに明らかにしていく必要があると思う。

4 | 総合討論

ファシリテーター：林 喜宏（JST-CRDS）

総合討論では、①戦略的に強化すべきデバイス応用・産業領域とボトルネック研究開発課題、②必要な研究支援策と効果的な研究開発体制（研究拠点、産学・海外連携など）、③その他（人材育成、情報の保護など）について議論した。以下、招聘者（話題提供者、コメンテーター）への事前アンケートの回答をまとめた資料と総合討論での主要な指摘・コメントを示し、最後にこの総合討論のまとめを示す。

① 戦略的に強化すべきデバイス応用・産業領域とボトルネック研究開発課題

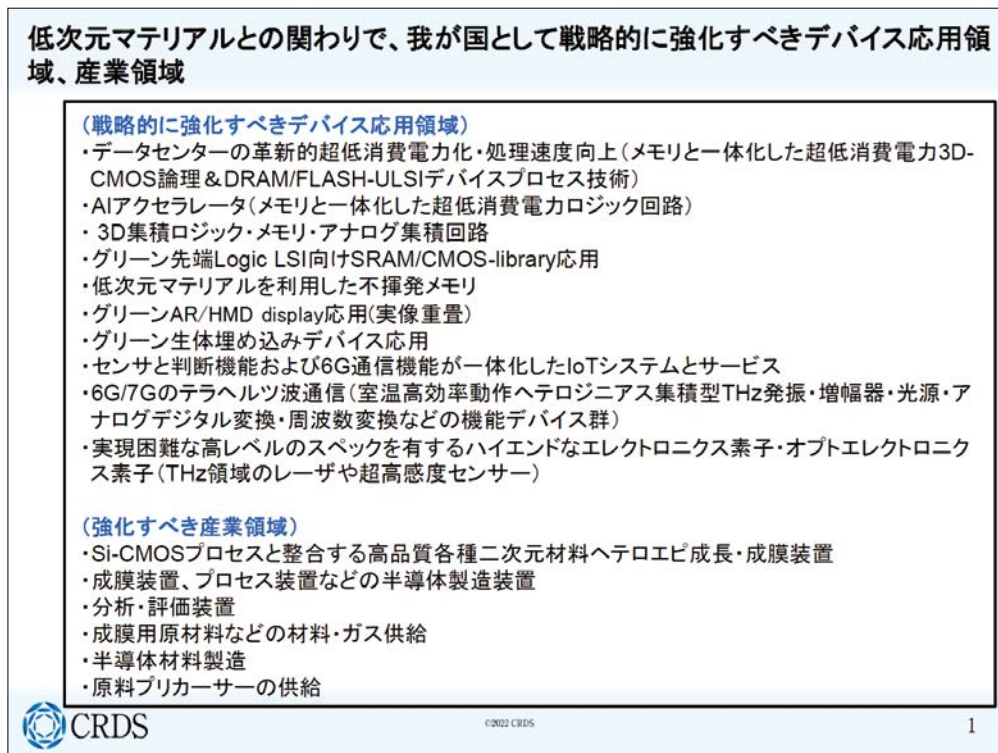


図4-1 低次元マテリアルとの関わりで、我が国として戦略的に強化すべきデバイス応用領域、産業領域

(強化すべき応用領域、産業領域)

- ・事前アンケートで、図4-1に示すように強化すべき応用領域と産業領域が示された。
- ・現在は集中的なデータセンターで情報処理されているが、今後は超分散型のデータセンターに発展していくと考えられる。そのときはハードウェアの量が爆発的に増えていくと思われ、低消費電力化、低コスト化が重要になってくる。
- ・ドメインスペシフィックなトランジスタや、チップレットを含めた様々なコンポーネントの要求が高まっていく。
- ・低次元マテリアルの応用としては、最初はトランジスタだけを使ったものが作り易い。現在開発中のナノシートでさえ、チップレットの3D V-CacheのSRAM単体の個別部品から使われていくと考えられ、そこから利

用領域が増えていく。

- ドメインスペシフィックなものとして、SRAMでよいかわからないが、少なくともより微細化を進める大きなブースターになる。
- 全ての特性・機能を満たしたものがいつできるか考えるより、ドメインスペシフィックなものが先行的にいつ実現されるかを考えた方がよい。
- 材料の特徴を生かした応用や、材料を酷使しない使い方が重要である。
- 最終的には微細なトランジスタを使うデータセンター等のロジック応用があるが、その前段階にIoT応用、センサ、メモリ、RFスイッチ、テラヘルツデバイスといったシリコンが苦手な領域がある。
- シリコンでは難しい、透明、フレキシブル、インプラントブルといった領域に先回りするのでもよい。
- 様々な先進技術が必要な最先端ロジックに最初に入るより、ニッチに近いところから始めてその影響を広げていくというストーリーのほうが描きやすい。
- 研究全体のドライビングフォースとして、シリコンナノシートチャネルの次の候補として低次元マテリアルチャネルGAAFETが輝いていることを示すのは重要であり、そのための必要なデータを出していき、輝きを保っていく必要がある。
- プロセス技術の改良だけで微細化・高集積化を行う時代ではなく、材料変革が必要な時代になってくるので、優位性を持つ材料技術で先回りして待ち構えることが重要である。
- 先回りするというコンセプトを持ちつつ、低次元マテリアルの特徴を活かして離れ小島でも陣地を取るようなやり方もある。

(ボトルネック研究開発課題（基礎研究・基盤技術研究）)

- 事前アンケートで、図4-2に示すように基礎研究・基盤技術研究におけるボトルネックとなる研究開発課題が示された。
- 現状の材料（シリコン）の薄膜化の課題と、チャネル材料を置き換えるときの課題は、違うものもあれば共通のものもあり、両方を含んで広い視野で考えていく必要がある。
- 二次元材料のファンデルワールス界面は何なのか、どのように制御するのか、異種材料と接するときに原子配列・電子状態はどうなるのか、といった基礎研究が必要である。
- 移動度の高い材料、トランジスタのオン電流が高くなる材料についても探求していく必要がある。
- 新しいチャネル材料の研究をしても集積化できなければ意味がないので、最初から新たなチャネル構造をつくるプロセスを考える必要がある。また、考えたプロセスで本当に材料の持つ本来の性能が引き出せるか見極めることが重要である。

ボトルネック研究開発課題(基礎研究・基盤技術研究)

(基礎研究・基盤技術研究)

- ・Si-CMOSプロセスと整合する高品質各種二次元材料ヘテロエピ成長・成膜
- ・高品質な低次元マテリアル結晶作製技術
- ・高品質2D膜形成・成膜技術(2次元ウエハー)・大口径高品質高精度成膜技術
- ・高品質2D膜形成(適度な大面積で適度な高品質膜をハイスループットに作製する手法)
- ・高品質ウエハーの製造技術、六方晶窒化ホウ素、もしくはその代替絶縁材料材の開発
- ・低次元マテリアル界面技術を基礎とした選択成長技術(全面成長ではなく、部分成長で良い)
- ・高品質2D膜の大面積・選択的成膜方法
- ・高品質2D膜ヘテロ形成技術と、同基板の大口径化あるいは大口径基板上への選択的成膜技術。
- ・CVD合成した二次元材料の転写技術
- ・物性・特性評価解析技術(バンドギャップ、欠陥準位、キャリア輸送機構、相変化、vdW界面物性・信頼性等)の深耕
- ・ナノ&フェムト空間&時間分解ARPES・低次元マテリアルの電子物性・輸送特性の理解
- ・極薄の二次元材料に適した評価技術・2Dヘテロ界面特性評価・制御・モデル化
- ・移動度・ドリフト速度などの基礎物性の評価およびモデリング
- ・界面特性を含む2D膜デバイスの材料設計
- ・2D/2D材料界面制御(2D同士の結晶ツイスト角度の制御)
- ・2D膜ヘテロ形成による新機能の発現・2.5次元ヘテロ接合の活用
- ・ゲートスタック形成技術、ドーピング技術、pn接合形成技術、低抵抗金属コンタクト形成技術
- ・低抵抗オーミックコンタクト形成コンセプト
- ・pFET用酸化物チャネル材料
- ・2D/2D膜の物性データベース構築(あらゆる2D/2Dの組み合わせ+ツイスト角度。マテリアルインフォマティクスの活用)
- ・低次元マテリアルデバイス物理に関する専門書作成



©2022 CRDS

2

図4-2 ボトルネック研究開発課題(基礎研究・基盤技術研究)

ボトルネック研究開発課題(デバイス応用研究)

(デバイス応用研究)

- ・大面積ウエハーでの製造・プロセス技術
- ・大面積基板上への低温・高品質・高均一2D膜形成、立体構造への成膜技術。
- ・2D/2D膜のハイスループット作製技術と素子スペックの再現性の向上
- ・二次元材料の転写技術
- ・ゲート絶縁膜
- ・絶縁材料を含めたパッシベーション技術
- ・ドーピング
- ・低抵抗オーミックコンタクト・電極と二次元材料のコンタクト・低抵抗コンタクト
- ・最終的に残るボトルネックはコンタクト形成技術(ドーピング技術)
- ・GR/TMD/hBN用ゲートスタック・ゲートスタック・高移動度と閾値制御の両立
- ・2D膜デバイスを実現する異種材料インテグレーション
- ・チャネルとして利用するためのプロセス統合技術
- ・既存の集積回路プロセスと整合するデバイス作製技術、既存技術に対するベンチマーク
- ・基礎基盤研究成果も取り入れたナノ加工・デバイス化・集積化技術の発展
- ・新機能や新物性を含むデバイスモデルとシミュレーション技術。
- ・デバイスインフォーマティクス技術の創出
- ・既存技術を超えるデバイスの概念や構造の実証
- ・デバイス応用分野の特定



©2022 CRDS

3

図4-3 ボトルネック研究開発課題(デバイス応用研究)

(ボトルネック研究開発課題(デバイス応用研究))

- ・事前アンケートで、図4-3に示すようにデバイス研究におけるボトルネックとなる研究開発課題が示された。
- ・シリコンCMOSプロセスと整合が取れるヘテロジニアスな集積デバイスプロセス技術まで落とし込んでいく

ことが大事である。

- 現状の製造設備のように、個別の装置への受け渡しによる製造ではなく、クラスター化した真空一貫の装置が必要になる。
- CNTのデバイス応用についても言及しておく必要がある。MITではカーボンナノチューブ（CNT）を使った回路でRISC-Vを動かしたデモをしている。また、我が国でも、例えば東北大でカイラリティ分布の狭い大規模な二次元のCNTアレイを作製している。

② 必要な研究支援策と効果的な研究開発体制（研究拠点、産学・海外連携など）

（ファンディング）

- 総合討論では必要なファンディングの枠組みについての議論は行われなかったが、事前アンケートでは図4-4に示すような様々なレベルでの新たなファンディング、すでに行われているプロジェクトとの連携に関する多くの意見があった。

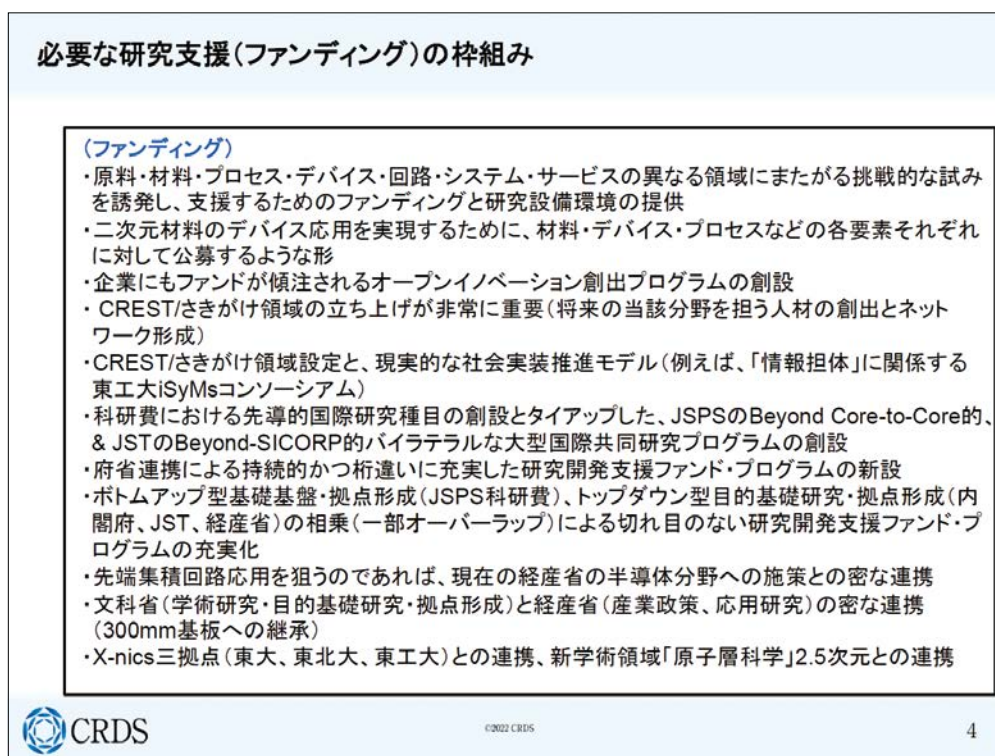


図4-4 必要な研究支援（ファンディング）の枠組み

（コミュニティ形成）

- 日本だけが一人勝ちするよりも世界的にレベルが上がっていくことが期待される。
- まだ基礎的な研究の力を向上させるフェーズであり、新しい機能などの基礎的なところをアピールする機会と、それを国際的に展開していける場をつくることが大切である。
- 基礎研究に特化し過ぎず、またアプリケーションに特化し過ぎず、その中間を両方で議論できるコミュニティをつくるべきである。
- コミュニティの全員が最先端の集積技術を研究することが必要なわけではなく、大学などで基礎的な研究を追求していくことも重要である。
- ごく狭い領域で技術交流をするのではなく、特に違う分野の人たちと共有できるところでは可能な限り広い

領域について様々な場で議論した方がよい。

- カルコゲナイド系の材料は、先端のトランジスタだけではなく、二次電池、全固体電池、太陽電池、相変化メモリなどでも注目されている。おのおのスペックは異なるが、様々な形で研究開発が進んでいるので、これらの分野とも情報を共有することも大事である。
- デバイスに向けて、どのような要件があるのかきちんと理解し、それを異なる技術階層の間で共有した方がよい。

(研究拠点)

- 事前アンケートで、図4-5に示すように研究拠点の整備と産学連携・海外連携の強化に関する意見があった。
- 新規材料のデバイスになると、汚染などの問題があるので、そこを解消するような仕組みをうまくつくる必要がある。
- 基礎から最終の応用まで、日本としてつながるような仕組みがあるとよい。
- 新しい材料を導入して面白いデバイスが可能になってくると、300mm基板のプロセスにどのように展開していくのかが問題になり、インテグレーションができる産総研のラインにうまくつないでいく必要がある。さらに、産総研から量産ラインのRapidusにつなげていくことができると、日本としては理想的である。
- カルコゲナイド系のALD装置をどこかに置き、そこに日本の研究者が来て使ってもらい、という考え方もある。
- 4インチや6インチの大きさの基板を使って誰でも評価できるコアセンターのようなものが必要ではないか。その中に様々な基礎研究をやることや、IoTセンサ、メモリ、RFデバイスなどデバイス応用の研究、チップレット的なものも含めた形のインテグレーション技術の研究開発を行い、その先に大規模集積ロジック用のトランジスタが位置づけられるのではないか。

(基板供給の仕組み)

- コミュニティを広げる上でも様々なプレーヤーに関わってもらい、参入障壁を下げる必要があり、基板を提供できる仕組みづくりは重要である。
- 基板を供給できるような体制やコアセンターのようなところが必要ではないか。グラフェン、h-BN、MoS₂などの新材料チャネルの基板を提供できることが日本の中にあることが望まれる。
- 平坦性が高いh-BNが手に入り易くなれば、その後の結晶成長によりバラエティに富んだカルコゲナイドの基板も用意できるだろう。
- 二次元物質の良さは単層といった薄い層でも使えることであるが、まず多層を作製してエッチングで目的の層厚となる基板を作ることも検討する必要がある。
- 論文の数で研究成果が議論されている中では、基板の供給のために地道に基板の品質を上げていくことは評価され難いという現実もある。

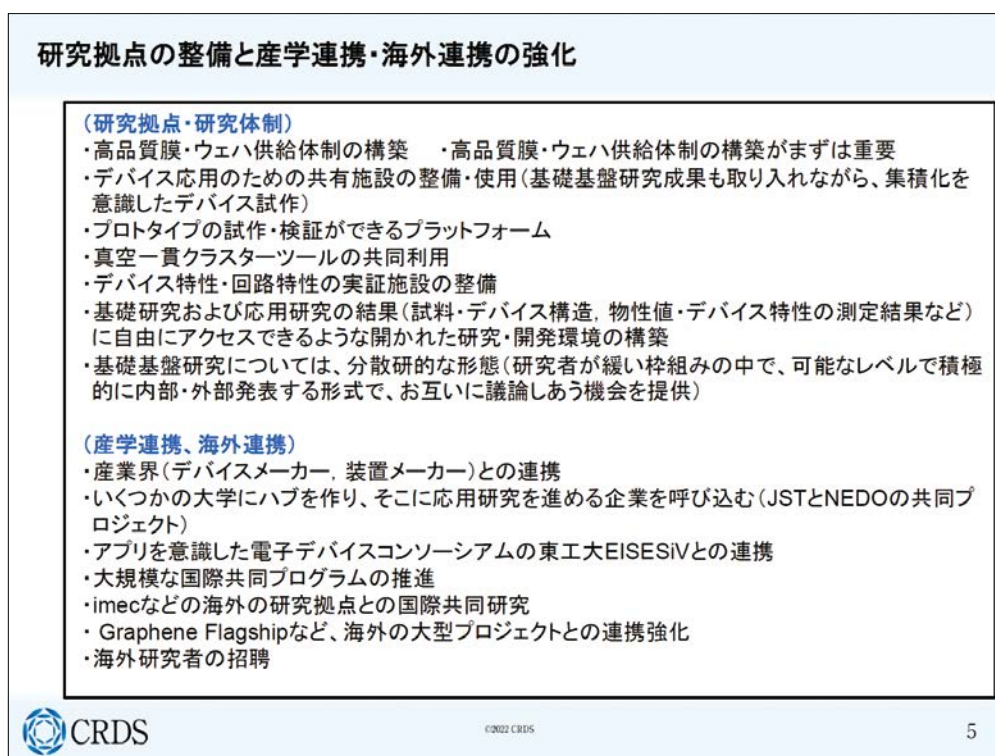


図 4-5 研究拠点の整備と産学連携・海外連携の強化

(産学連携)

- ・企業とアカデミアで研究開発を進めていく上では、オープンイノベーションの部分とバイラテラルな部分の2層構造が非常に重要である。
- ・シリコンとのベンチマークは継続すべきである。シリコンに対して移動度やオン電流で圧倒的なものができるかどうか、今のメインストリームのトレンドを見て、どの段階で画期的なものができるか議論していくべきである。

(国際連携)

- ・国際共同研究の連携の枠組み作りや、その中で日本がイニシアチブを取れるようなファンディングのシステム作りが必要である。
- ・EU・ジャパンフラッグシップワークショップでは、両方の若手とシニアが議論する事業を交代で続けているが、日本側のファンドが十分ではなく、若手の研究者をEUに短期滞在させて共同研究させて成果を競うといったことがやりづらい。外国とのバイラテラルな関係で、きちんと両側に資金援助する仕組みを作る必要がある。
- ・博士課程の学生が半年～1年間、海外の連携先に行って研究して帰ってくる、といったことができるようにしてもらいたい。
- ・欧州やアメリカの研究機関で武者修行して若手研究者のポテンシャルを上げ、ある領域の世界的なPIとして育ていけば、日本のイニシアチブの貢献にも直接的につながる。

③ その他(人材育成、情報の保護など)

(人材育成)

- ・事前アンケートで、図 4-6 に示すように半導体分野の人材育成、海外人材の活用と重要情報保護に関する多くの意見があった。

- 戦略的に若手を育成する必要がある、そこに予算が投じられる制度があるとよい。
- チーム型のCRESTと若手個人型のさががけを有機的に連携させ、競争環境をつくって切磋琢磨させていくことは非常に有効である。
- 新しいチャネル材料になると、学術の基盤になる化学も重要なので、広い視野を持っている人を育成していく必要がある。
- 電子工学の人气が落ちて長い、低次元マテリアルの研究の機会を活かしてこの分野を盛り上げ、人材育成にもつながればよい。
- 様々な専門分野が必要になるので、人材育成としては、学生が博士課程に進んでくれるのが一番よい。それには、企業が博士学生の給与を高くするのも重要であり、博士学生にきちんとお金を出せばよい人材が企業にも集まる。

半導体分野の人材育成、海外人材の活用と重要情報保護の両立

- ・産業からの半導体分野への人材要求と大学で重視されている基礎研究領域のミスマッチの改善
- ・優秀な人材の育成には博士課程への進学率向上が必要(企業を含めた社会の枠組みを変える)
- ・大学・国研での研究推進が将来人材育成につながるよう、その規模や情報発信の在り方を考えていく
- ・先端半導体分野一般ということであれば、国内の半導体研究開発研究所の設立や海外企業の研究所の国内誘致など、半導体分野への就業への魅力の増大
- ・低次元マテリアルの高品質成膜・基板供給などで世界トップレベルの成果創出
- ・特許取得は前提として、基礎基盤フェーズでは積極的な発信
- ・明確なビジョン提示の下で、大規模・包括的なプロジェクトを長期間にわたって継続
- ・半導体分野を直接研究対象とする若手大学教員を増やすための資金的・研究環境的サポート
- ・学生・ポスドク支援などを通じた半導体分野人材の底上げ(長期的な支援)
- ・さががけ領域の立ち上げ(将来の当該分野を担う人材の創出とネットワーク形成で有意義な制度)
- ・X-nics三拠点(東大、東北大、東工大)との連携 ・東工大集積Green-niXなどX-nicsとの連携
- ・産総研/TIAとの連携
- ・企業間連携や企業の人材育成を支えるオープンイノベーションを支援していく枠組み
- ・企業アドバイザーのような組織作り(定期・不定期のワークショップへ参加してもらい、直接の意見交換)
- ・進捗・テーマによっては企業と密な連携の下で研究を推進
- ・協力海外機関との人の相互派遣と技術交流(大規模に実施) ・協力海外機関との人の相互派遣
- ・海外機関との連携も大いに進め、PJに閉じることなく開かれた組織形態の下で若手研究者の育成
- ・特に欧州グラフエフェンフラッグシップとの連携による国際研究ネットワーク強化、世界トップレベルの研究拠点形成とそれに基づく若手人材派遣交流の推進を果たすための日本側の制度・プログラムの充実化
- ・人口減社会における半導体分野の再加速のための戦略的な留学生や外国人技術者の受け入れ
- ・産学連携・国プロの重要度による研究テーマの切り分け


©2022 CRDS
6

図4-6 半導体分野の人材育成、海外人材の活用と重要情報保護の両立

【情報の保護】

- デカップリングしない方法をつくるのが一番重要ではないか。その一つの方法は留学生に100%の給料を出して、自国とのお金のやり取りを断つことだと思う。これが見なし輸出対策の一番の肝になり、情報の保護に対して思い切ったことができるのではないかな。
- 半導体や量子などの領域で、信頼できる国との間で組織的に大きな連携を図っていくことをこれから真剣に考えないといけない。

【総合討論のまとめ】

事前アンケート結果も含めて、総合討論における様々な有益な情報や指摘・コメントがあり、以下に要点をまとめておく。低次元マテリアルに関する戦略提言に向けて、これまでにCRDSが検討してきた具体的な研究開発課題、研究開発の推進方法などに関して、この総合討論の議論を反映する形で今後検討していく。

(1) 戦略的に強化すべきデバイス応用・産業領域

- データセンター、AIアクセラレータなどに向けたボリウムゾーンのロジック半導体集積回路：Siナノシートチャネルの薄膜化極限追求と量子効果を含む半導体物理の深掘、TMDCなど低次元マテリアルチャネルの探索、その高品位大口径基板製造技術、デバイスインテグレーション技術、高速メモリ回路などの開発が必要
- 次世代通信（6G/7G）対応の高周波（ミリ波、THz波）デバイス、光デバイス：グラフェンやh-BNなどによる超高品質低次元マテリアル基板、高性能デバイス作製技術、デバイスとの高周波/光接続技術などが必要
- 多様なIoTシステム・サービスに向けたセンサ：透明性、フレキシブル、インプラントブルなどSiでは難しい特徴を持つセンサの検出原理、高い安定性・再現性を有するセンサ構造、複数の対象物の検出、通信回路・データ処理回路との一体化などの研究開発が必要
- 低次元マテリアルの成長装置、プロセス装置などの半導体製造装置産業、分析・評価装置産業、成膜用原料やデバイス作製用基板などの半導体材料製造業：日本が強い製造装置・分析装置・材料産業のさらなる強化に向け、研究開発の初期から産学連携で取り組むことが必要

(2) ボトルネック研究開発課題

- 低次元マテリアルと異種材料とのヘテロ界面の原子レベルの評価・分析技術、界面の物理的・化学的な理解、界面状態・特性のモデリング
- 新たな物性の創出に向けた2次元物質の積層構造やファンデアワールス結合のツイスト角の制御、低次元マテリアルの特性を活かすヘテロ界面の制御
- 低次元マテリアルの単結晶領域を拡大する結晶成長技術、選択成長技術、転写技術、デバイス作製用の高品質大口径基板作製技術
- 低次元マテリアルを活用するデバイス構造の実現に向けた低抵抗コンタクト作製技術、ゲートスタック技術、集積プロセス技術
- 既存の性能・機能を超える低次元マテリアルデバイス構造の実証

(3) 必要な研究支援策と効果的な研究開発体制（研究拠点、産学・海外連携など）

- 異分野のコミュニティ形成と連携、産学の連携、国際共同研究などを強化する基礎研究から応用研究までの様々なステージのファンディングと、文科省と経産省の密な連携
- 多様な低次元マテリアルが扱え、基板の作製・提供、各種デバイス構造の試作と評価などが可能なオープンな統合研究開発拠点の設立
- imecなどの海外研究拠点やGraphene Flagshipなどの海外プロジェクトとの連携強化

(4) 人材育成、情報の保護

- 統合研究開発拠点、産総研・TIA、ARIMとの連携による若手半導体人材の育成
- 国際共同研究を利用した海外研究拠点への研究員の派遣
- 研究開発拠点や大学などにおける留学生などの優秀な海外人材の受け入れ
- 海外人材による情報流出防止に向け、研究テーマの重要度による切り分けや、100%の給料支給などによる海外との金銭的な繋がりへの除去

付録

付録1：開催趣旨・プログラム

開催趣旨

JST 研究開発戦略センター（CRDS）では、科学技術に求められる社会的・経済的ニーズを踏まえて国として重点的に推進すべき研究領域や課題を俯瞰の視点から系統的に抽出し、そのファンディング戦略を明確にするための活動を行っております。このような活動の一環として、これまでに技術分野の俯瞰を目的とした「俯瞰ワークショップ」や、重要テーマの研究開発戦略を検討する「科学技術未来戦略ワークショップ」などを開催して参りました。

本ワークショップ「低次元マテリアルのデバイス応用に向けた基盤技術の創出」は、上記「科学技術未来戦略ワークショップ」に位置付けられ、低次元マテリアルに関わる科学技術の強化に有効な研究開発戦略策定の一環として開催するものです。

社会のデジタル化を支える重要な基盤技術である半導体集積回路は、コンピュータにおける演算やAI処理の高速化・低消費電力化、通信における高速・大容量化・低遅延化、IoTにおけるセンシングの高感度化・低消費電力化などの要求から、今後も微細化・高集積化によるさらなる性能向上・低消費電力化が求められています。一方、微細加工技術はすでに10 nmのレベルになっており、平面内での微細化の限界が迫っています。この克服に向けては、その基本要素であるトランジスタの構造をこれまでの二次元的な構造から三次元的な構造にして、ウェハやチップ内の実効的な専有面積を小さくしていく必要があります。これには、トランジスタのチャンネルを積層していくことや、p型トランジスタとn型トランジスタを縦に積み重ねていくことが重要と考えられ、最近ではSiチャンネルやSiGeチャンネルを用いたナノシートチャンネルを用いたトランジスタの研究開発が活発化しています。さらにその先の世代では、極薄のナノシート、2次元物質（遷移金属ダイカルコゲナイドなど）、1次元物質（カーボンナノチューブなど）といった低次元マテリアルによるチャンネルを用いることが期待されており、世界的に研究開発が活発化してきています。先端的な半導体集積回路技術の開発から遅れてしまった我が国においても、チャンネル材料や製造プロセスが大きく変わるこの世代は先端半導体技術や産業の復興にもつながる大きなチャンスととらえることもでき、低次元マテリアルのトランジスタチャンネルへの利用に関わる科学技術の研究開発戦略の策定が重要と考えられます。

CRDSでは、有識者へのインタビューや国内学会・国際学会への参加などの調査活動、およびクローズドの研究開発検討会を通して、今後取り組むべき重要な研究開発課題や、それを実施する研究開発の体制・仕組みなどについて検討し、低次元マテリアルのデバイス応用に向けた基盤技術に関する仮説（骨子案）を作成しました。本ワークショップでは、このCRDSの仮説を提示し、低次元マテリアルの新機能性創出とデバイス応用、半導体集積回路における極薄チャンネル形成の要求について話題提供してもらいます。これらを基に、我が国が取り組むべき研究領域や、効果的な研究体制、異分野連携・産学連携・国際連携、人材育成などについて総合討論で議論します。これらの議論を通して、低次元マテリアルの基盤技術の研究開発の方向性を明らかにし、その推進方法についての共通認識を得たいと考えております。

なお、本ワークショップは非公開とさせていただきますが、議論の内容は報告書として纏め、参加者及び関連府省に配布後、CRDSのwebサイト上で一般公開させていただくと共に、今後の施策や提言書作成の参考にさせていただきます。

プログラム

開催日時：2022年11月12日（土）9:30～16:00

開催会場：TKP市ヶ谷カンファレンスセンター バンケットホール9A

およびオンライン（Zoom）会議

（敬称略）

- 9:30～9:35 開会挨拶 曾根 純一（JST-CRDS）
- 9:35～9:55 ワークショップの開催趣旨と骨子案の説明 馬場 寿夫（JST-CRDS）
- 9:55～11:10 （話題提供1）無線・光融合が拓く次世代通信技術に対する要求と期待
- 9:55～10:20 2次元異種材料のヘテロ接合形成と新機能創出 町田 友樹（東京大学）
- 10:20～10:45 二次元原子薄膜ヘテロ接合材料のテラヘルツ波デバイス応用 尾辻 泰一（東北大学）
- 10:45～11:10 低次元マテリアルのデバイスシミュレーション 森 伸也（大阪大学）
- 11:20～14:15 （話題提供2）半導体集積回路における極薄チャネル形成の要求
- 11:20～11:45 極薄膜チャネルの移動度低下と最適チャネル材料 高木 信一（東京大学）
- 11:45～12:10 エレクトロニクス応用を目指した二次元物質と2.5次元物質の創製 吾郷 浩樹（九州大学）
- 13:00～13:25 ゲートスタックとしきい値制御技術 若林 整（東京工業大学）
- 13:25～13:50 ALE/ALDが可能な2次元材料 安藤 淳（産業技術総合研究所）
- 14:25～15:55 総合討論 ファシリテーター：林 喜宏（JST-CRDS）
1. 戦略的に強化すべきデバイス応用・産業領域とボトルネック研究開発課題
 2. 必要な研究支援策と効果的な研究開発体制（研究拠点、産学・海外連携など）
 3. その他（人材育成、情報の保護など）
- 15:55～16:00 閉会挨拶 曾根 純一（JST-CRDS）

付録2：参加者一覧

(敬称略)

招聘有識者

(話題提供者)

- ・ 吾郷 浩樹 九州大学グローバルイノベーションセンター 教授
- ・ 若林 整 東京工業大学 工学院 教授
- ・ 高木 信一 東京大学 大学院工学系研究科 教授
- ・ 安藤 淳 産業技術総合研究所 デバイス技術研究部門 総括研究主幹
- ・ 小林 正治 東京大学 生産技術研究所 准教授
- ・ 町田 友樹 東京大学 生産技術研究所 教授
- ・ 尾辻 泰一 東北大学 電気通信研究所 教授
- ・ 森 伸也 大阪大学 大学院工学研究科 教授

(コメンテータ)

- ・ 長汐 晃輔 東京大学 大学院工学系研究科 教授
- ・ 西山 彰 KIOXIAメモリ技術研究所 フェロー
- ・ 横山 直樹 富士通（株）名誉フェロー
- ・ 金山 敏彦 国立研究開発法人 産業技術総合研究所 特別顧問

JST-CRDS チームメンバー

- ・ 曾根 純一 ナノテクノロジー・材料ユニット 上席フェロー
- ・ 馬場 寿夫 ナノテクノロジー・材料ユニット フェロー
- ・ 林 喜宏 ナノテクノロジー・材料ユニット 特任フェロー
- ・ 福井 弘行 ナノテクノロジー・材料ユニット フェロー
- ・ 佐藤 隆博 ナノテクノロジー・材料ユニット フェロー
- ・ 的場 正憲 システム・情報科学技術ユニット フェロー
- ・ 勝又 康弘（戦略研究推進部 主任専門員）
- ・ 伊藤 顕知（研究プロジェクト推進部 主任専門員）

JST-CRDS

- ・ 永野 智己 総括ユニットリーダー・JST 研究監
- ・ 眞子 隆志 ナノテクノロジー・材料ユニット フェロー
- ・ 沼澤 修平 ナノテクノロジー・材料ユニット フェロー
- ・ 伊藤 聡 ナノテクノロジー・材料ユニット 特任フェロー
- ・ 岩本 敏 ナノテクノロジー・材料ユニット 特任フェロー
- ・ 川合 知二 ナノテクノロジー・材料ユニット 特任フェロー
- ・ 八巻 徹也 ナノテクノロジー・材料ユニット 特任フェロー
- ・ 魚住 まどか 企画運営室 フェロー

JST

- ・ 舘澤 博子 戦略研究推進部 部長
- ・ 嶋林 ゆう子 戦略研究推進部 調査役

- ・安藤 利夫 戦略研究推進部 シニア専門職
- ・小林 恵 戦略研究推進部 主査
- ・三須 幸一郎 戦略研究推進部 主任専門員
- ・板鼻 大樹 戦略研究推進部 係員
- ・小泉 宙夢 未来創造研究開発推進部 主査

関係府省・機関等

- ・長田 有生 文部科学省 研究振興局 参事官（ナノテクノロジー・物質・材料担当）付 課長補佐
- ・谷口 岳志 文部科学省 研究振興局 参事官（ナノテクノロジー・物質・材料担当）付 学術調査官
- ・保科 拓也 文部科学省 研究振興局 参事官（ナノテクノロジー・物質・材料担当）付 学術調査官
- ・河原崎 陽介 文部科学省 研究振興局 参事官（ナノテクノロジー・物質・材料担当）付 学術調査官
- ・上野 和英 文部科学省 研究振興局 参事官（ナノテクノロジー・物質・材料担当）付 学術調査官
- ・山浦 太陽 文部科学省 研究振興局 参事官（ナノテクノロジー・物質・材料担当）付 調査員
- ・栗辻 康博 文部科学省 科学技術・学術政策局 分析官
- ・清家 慎一郎 文部科学省 研究開発局環境エネルギー課 係長
- ・岩佐 義宏 東京大学 教授
- ・松田 一成 京都大学エネルギー理工学研究所 教授
- ・服部 邦典 新エネルギー・産業技術総合開発機構 主査
- ・大畠 昭子 高エネルギー加速器研究機構 特任上席 URA
- ・福本 恵紀 高エネルギー加速器研究機構 物質構造科学研究所 特任准教授
- ・揖場 聡 産業技術総合研究所・新原理コンピューティング研究センター 主任研究員

総括責任者	曽根 純一	上席フェロー	(ナノテクノロジー・材料ユニット)
リーダー	馬場 寿夫	フェロー	(ナノテクノロジー・材料ユニット)
メンバー	林 喜宏	特任フェロー	(ナノテクノロジー・材料ユニット)
	福井 弘行	フェロー	(ナノテクノロジー・材料ユニット)
	佐藤 隆博	フェロー	(ナノテクノロジー・材料ユニット)
	的場 正憲	フェロー	(システム・情報科学技術ユニット)
	勝又 康弘	主任専門員	(戦略研究推進部)
	伊藤 顕知	主任専門員	(未来創造研究開発推進部)

科学技術未来戦略ワークショップ報告書

CRDS-FY2022-WR-08

低次元マテリアルのデバイス応用に向けた 基盤技術の創出

令和 5 年 2 月 February 2023

ISBN 978-4-88890-827-6

国立研究開発法人科学技術振興機構 研究開発戦略センター

Center for Research and Development Strategy, Japan Science and Technology Agency

〒102-0076 東京都千代田区五番町7 K's 五番町

電話 03-5214-7481

E-mail crds@jst.go.jp

<https://www.jst.go.jp/crds/>

本書は著作権法等によって著作権が保護された著作物です。

著作権法で認められた場合を除き、本書の全部又は一部を許可無く複写・複製することを禁じます。

引用を行う際は、必ず出典を記述願います。

This publication is protected by copyright law and international treaties.

No part of this publication may be copied or reproduced in any form or by any means without permission of JST, except to the extent permitted by applicable law.

Any quotations must be appropriately acknowledged.

If you wish to copy, reproduce, display or otherwise use this publication, please contact crds@jst.go.jp.

FOR THE FUTURE OF
SCIENCE AND
SOCIETY



CRDS

<https://www.jst.go.jp/crds/>