

戦略プロポーザル

半導体デバイス革新に向けた
材料開発戦略

～ 2次元半導体材料の新規導入～

STRATEGIC PROPOSAL

**Material Development Strategy
Toward Innovations in Semiconductor
Devices:**

Utilization of Two-Dimensional Materials as
Semiconductor Channels

エグゼクティブサマリー

「半導体デバイス革新に向けた材料開発戦略～2次元半導体材料の新規導入～」とは、トランジスタのチャネル材料や製造プロセス（プロセスノード）が大きく変わると予想される1nm以下の世代に向けて、登場が期待される2次元材料を用いるために異種材料界面特性評価、成膜・基板作製、デバイス構造作製・集積化などの基盤技術を創出するための研究開発戦略である。半導体集積回路のさらなる高性能化・低消費電力化のためには微細化とともに基本要素であるトランジスタのチャネル材料や構造の革新が必要になってきていることから、5nm以下の極薄のチャネルを形成できる2次元材料に注目し、日本の強みを活かせる成膜技術や基板作製技術、評価技術などの基礎・基盤技術の研究開発課題の推進を提案する。また、このような研究開発を進めるために、材料とデバイス研究者の密な連携、2次元材料の基板作製、半導体デバイス構造の試作、特性評価ができる共用施設の整備、産業戦略と研究開発戦略を連携させるようなファンディングなどの研究開発体制の強化策についても提案する。

社会のデジタル化を支える重要な基盤技術である半導体集積回路は、コンピュータにおける演算やAI処理の高速化・低消費電力化、通信における高速・大容量化・低遅延化、IoTにおけるセンシングの高感度化・低消費電力化などの要求から、今後も微細化・高集積化によるさらなる性能向上・低消費電力化が求められている。一方、微細加工技術はすでに10 nmのレベルになっており、平面内での微細化の限界が迫っており、従来の2次元的な微細化・高集積化による性能向上は難しくなっている。この克服に向けては、その基本要素であるトランジスタの構造をこれまでの2次元的な構造から3次元的な構造にして、ウェハやチップ内の実効的な専有面積を小さくしていく必要がある。これには、トランジスタのチャネルを積層していくことや、p型トランジスタとn型トランジスタを縦に積み重ねていくことが重要と考えられ、最近ではシリコン（Si）やシリコンゲルマニウム（SiGe）のナノシートチャネルを用いたGAA（Gate-All-Around）構造トランジスタの研究開発が進んでいる。さらにその先の世代では、極薄（5nm以下）のナノシート、2次元物質（遷移金属ダイカルコゲナイド（TMDC）など）、2次元的に配列した1次元物質（カーボンナノチューブ（CNT）など）といった2次元材料をチャネルに用いることが期待されており、その可能性を探る研究開発が世界的に活発化してきている。

一方、最近の米中技術覇権争いや世界的な半導体不足の中で経済安全保障との関係が強く認識されるに至っており、半導体のサプライチェーンの確保や自国での半導体の生産設備・生産能力を保有しておくことが重要になっている。日本は半導体生産に関わる材料技術やプロセス装置、評価装置では世界的に強みがあるが、40nm世代以降の高性能な先端半導体ロジックの生産技術や生産設備を保有していない。将来的には、国内で最先端の半導体技術を保有することがコンピュータ、通信、IoT、自動車などの産業にとっても重要である。しかし、2次元材料の導入が強く期待される先端ロジック半導体の国内の産業および研究開発の現状は、台湾や韓国など先頭を走る国々から大きく水をあけられており、かなり厳しい状況にある。一方、チャネル材料や製造プロセスが大きく変わる世代は、日本の先端半導体技術や産業の復権にもつながる大きなチャンスととらえることもでき、2次元材料のトランジスタチャネルへの利用に関わる科学技術の研究開発戦略の策定が重要である。

国内における2次元材料の学術研究としては、これまで科研費の新学術領域「原子層科学」（2013～17年度）、JSTのCREST「二次元機能性原子・分子薄膜の創製と利用に資する基盤技術の創出」（2014～21年度）が実施され、2次元物質の特性・機能性の探索からデバイス構造作製までが行われ、基本的な成膜技術、特性制御の知見が蓄積し、デバイス化に向けた課題も明確になってきている。また、最近になって、科研費の学術変革領域（A）「2.5次元物質科学：社会変革にむけた物質科学のパラダイムシフト」（2021～25年度）が開始され、2次元物質の積層による新物性・機能などの探求的な研究が進められている。今後は、

さらに高性能デバイス、新機能デバイス、集積回路応用を目指して、成膜技術、界面特性の評価技術、界面制御技術、高移動度化技術などの基盤技術の研究開発を長期的な視点で戦略的に進めていく必要がある。

今後取り組むべき研究開発課題としては、2次元材料および他材料との界面の物性・機能の理解とモデル化、高品質な成膜・基板作製、デバイス作製・集積化などがあり、以下に示す様々な基盤技術が必要になる。

(1) 2次元材料および他材料との界面の物性・機能の理解とモデル化

半導体の2次元材料に関する基礎研究としては、グラフェンやTMDCなどの2次元物質、CNTなどの1次元物質、5nm以下の極薄Siなどの物性が主に研究されているが、絶縁膜や金属などとのヘテロ界面を含む物性・機能に関してはまだ十分には理解できてない。このため、2次元材料と他の材料とのヘテロ界面の物理的・化学的特性や応力、電気特性などをナノスケールで評価できる分析・評価手法の研究開発、得られた測定結果を理解するモデルや理論の構築が必要である。また、これらの知見から高性能・高品質のヘテロ界面の形成手法の研究開発を行うことが重要である。さらに、5nm以下の極薄膜でも高移動度を有する新たな組成や結晶構造の2次元材料の探索も望まれる。

(2) 高品質な成膜・基板作製

2次元材料を微細トランジスタのチャンネルに用いて、ロジックなどの集積回路にするためには、高品質の2次元材料を成膜する技術と、デバイス作製用の高品質の2次元材料を成膜した大面積の基板が不可欠である。成膜技術としては、化学気相成長（CVD）技術やスパッタ技術によりシリコン基板上に成膜する方法に加え、原子層レベルで制御できる原子層堆積（ALD）法、特定の材料表面だけに2次元材料を成膜させる選択成長技術の研究開発が求められる。現在利用できるプロセス装置を活用するためには、200mm径や300mm径のシリコン基板上への成膜が求められるが、原子層レベルの膜厚制御と単結晶領域ができるだけ広い面積で可能となる結晶成長技術の研究開発が重要である。また、別の基板上に成膜した高品質結晶層を、面方位を制御してシリコン基板上に転写する方法の研究開発も重要である。

(3) デバイス構造作製・集積化

従来のシリコン技術では難しい高移動度の極薄チャンネルのトランジスタ、光デバイス、テラヘルツ（THz）発振デバイス、分子レベルの感度を持つセンサなどのデバイスを作製するためには、2次元材料の成膜技術や基板技術に加えて、半導体のp型・n型の伝導度制御（pn制御）のためのドーピング、低抵抗オーミックコンタクト形成、エッチング、絶縁膜堆積、などのプロセス技術、トランジスタのしきい値を制御するゲートスタック技術の研究開発が必要である。特に、キャリアの高い移動度を実現するために、原子層レベルの精度で2次元材料を加工できる原子層エッチング（ALE）技術、2次元材料に損傷を与えないような絶縁膜や金属膜の低温・低エネルギー堆積技術が重要である。また、従来のシリコン技術では難しい高移動度の極薄チャンネルのトランジスタ、光デバイス、テラヘルツ（THz）発振デバイス、分子レベルの感度を持つセンサなどの新デバイス構造の試作と性能・機能の検証も必要であり、2次元材料特有の特性やヘテロ界面特性をモデル化したデバイスシミュレーション技術の研究開発もデバイスの高性能設計や集積化を進める上で不可欠である。

上記の研究開発を効率的に進めていくために、日本の現状に適した研究開発体制の整備も必要である。これまで蓄積してきた2次元材料に関する取組やプロジェクトの知見を最大限に生かすことに加え、材料科学、理論科学、プロセス科学、データ科学、デバイス物理、シミュレーションなど研究分野間の連携や、2次元材料基板の作製やデバイス試作・評価ができる共用施設の整備、これらの研究開発活動を支援する様々なレベルでのファンディング（基礎研究、拠点形成、デバイス試作、実用化研究）の充実、これらの基礎研究から応用研究に跨るプロジェクト間の連携を提案する。また、学会活動における2次元材料デバイス研究の新たなコミュニティ形成やデバイス開発のプロジェクトによるアカデミアと企業との連携が望まれる。さらに、日本の強みである材料、結晶成長・成膜、デバイスなどの技術を活かし、プロセス技術・集積化技術に強みを持つ海外の友好国の研究機関との連携強化を通して、先端半導体プロセスの知識と技術を獲得することも重要である。特に、海外機関との若手人材の相互交流により、材料からデバイス、プロセスの知識と技術を有する若手半導体人材の育成を強化していくことが期待される。

Executive Summary

The proposal, entitled "Material Development Strategy Toward Innovations in Semiconductor Devices: Utilization of Two-Dimensional Materials as Semiconductor Channels", is a research and development strategy designed to develop fundamental technologies required to use two-dimensional materials, such as the evaluation of interfacial characteristics with different types of materials, thin film formation of two-dimensional materials at wafer-scale, device structure production and integration, in preparation for the next generation of semiconductors in which transistor channel materials and manufacturing processes will dramatically change at the level of 1 nm and below. In order to achieve higher performance and lower power consumption of semiconductor integrated circuits, innovations in transistor channel materials, which are the basic component of such circuits, as well as device structures are required in addition to miniaturization. For this reason, we focus our attention on two-dimensional materials that can form ultrathin channels of 5 nm or less and propose the promotion of research and development topics on fundamental technologies such as thin film formation technology of two-dimensional materials at wafer-scale, and evaluation technologies, where Japanese companies can leverage their strengths. To promote such research and development, we also propose measures for enhancing research and development programs, including funding programs that help develop shared facilities where material and device researchers can collaborate closely, thin film formation of two-dimensional materials at wafer-scale can be produced with two-dimensional materials, and semiconductor device structures can be prototyped and evaluated for their characteristics and also help link industrial strategies to research and development strategies.

Semiconductor integrated circuits, which are important fundamental technologies that support the digitization of the society, are now expected to continue to achieve improved performance and lower power consumption based on miniaturization and enhanced integration in order to meet requirements such as higher speed and lower power consumption in computer operations and AI processing, higher speed, larger capacity and smaller delay in communications as well as higher sensitivity and lower power consumption in IoT. On the other hand, miniaturization technologies have already reached the level of 10 nm, which is very close to the limit of planar miniaturization, and it is becoming more difficult to improve performance based on the conventional two-dimensional miniaturization and enhanced integration. To overcome such an issue, it is necessary to reduce the effective occupied area in wafers and chips by changing the structure of transistors, which are the basic component of circuits, from two-dimensional to three-dimensional. Lamination of transistor channels and vertical stacking of type-p and type-n transistors are believed to be important. The recent trend is the promotion of research and development of transistors in the Gate-All-Around (GAA) structure, using nanosheet channels made of silicon (Si) or silicon-germanium (SiGe). In a further generation, the use of two-dimensional materials made with ultrathin nanosheets (5 nm or less), two-dimensional substances (e.g., transition metal dichalcogenide: TMDC) and multiple one-dimensional substances arranged in two dimensions (e.g., carbon nanotube: CNT) is expected to appear and research and development designed to examine such possibilities are increasing worldwide.

On the other hand, what has been recognized strongly in the midst of the recent US-China technology hegemony struggle and a global shortage of semiconductors is the importance of securing a semiconductor supply chain and retaining semiconductor production facilities and production capabilities in one's own country in terms of economic security. While Japan is internationally in an advantageous position for its materials industry, and process and measurement equipment industries, the country does not have production technologies or production facilities for advanced high-performance semiconductor logics of the 40-nm generation or later. In the future, it will become important for computer, telecommunication, IoT, automobile and other industries to retain cutting-edge semiconductor technologies domestically. Currently, however, the Japanese domestic industry is in a rather difficult situation in its semiconductor business and largely behind its counterparts in Taiwan, Korea and other leading countries in terms of the research and development of advanced logic semiconductors to which two-dimensional materials are strongly expected to be introduced. Since the generation in which channel materials and manufacturing processes change dramatically can also be seen as a great opportunity for the resurgence of the Japanese advanced semiconductor technology and industry, it is important for Japan to develop a successful research and development strategy on science and technology that is related to the use of transistor channels based on two-dimensional materials.

The academic research on two-dimensional materials conducted in Japan includes “Science of Atomic Layers” (2013-2017), a new academic field in Grants-in-Aid for Scientific Research (KAKENHI), and “Development of Atomic or Molecular Two-Dimensional Functional Films and Creation of Fundamental Technologies for Their Applications” (2014-2021), a JST CREST research. This research covered investigation from the characteristics and functionality of two-dimensional substances to device structure production, accumulated knowledge in thin film formation and characteristic control of two-dimensional materials, and identified issues on device development. Recently, Grant-in-Aid for Transformative Research Areas (A) “Science of 2.5 Dimensional Materials: Paradigm Shift of Materials Science Toward Future Social Innovation” (2021-2025) has been launched to research new physical properties, functions and other aspects of laminated two-dimensional substances. In coming years, it will be necessary to strategically promote, from a long-term perspective, the research and development of fundamental technologies such as thin film formation technology of two-dimensional materials, evaluation technology for interfacial characteristics, interfacial control technology and higher mobility technology in order to apply them to highly functional devices, new functional devices and integrated circuits.

The research and development issues that should be examined in the future include the identification and modeling of interfacial physical properties and functions of two-dimensional materials, high-quality thin film formation of two-dimensional materials at wafer-scale as well as device production and integration, which require various fundamental technologies as shown below.

(1) Identification and modeling of interfacial physical properties and functions of two-dimensional materials

Although the physical properties of two-dimensional substances such as graphene and TMDC,

multiple one-dimensional substances arranged in two-dimensions such as CNT, and ultrathin silicon of 5 nm or less have been mainly studied in fundamental research on two-dimensional materials for semiconductors, their physical properties and functions including the hetero-interfaces with insulators, metals and other substances are not fully understood yet. For this reason, it is necessary to research and develop analytical and evaluation methods that can evaluate the physical, chemical, stress, electrical and other characteristics of hetero-interfaces between two-dimensional materials and other materials at the nanoscale and also develop models and theories that help understand the obtained measurement results. It is important to research and develop methods for forming highly functional, high-quality hetero-interfaces, based on these findings. It is also desirable to investigate new compositions of ultrathin films of 5 nm or less with high mobility and two-dimensional materials in crystal structure.

(2) High-quality film formation at wafer-scale

In order to use two-dimensional materials in fine transistor channels to produce an integrated circuit for logics or other purposes, it is essential to use a technology for making a high-quality two-dimensional material into films and a substrate that has a large area in which the high-quality two-dimensional material has been made into films for device production. In addition to a method for producing films on silicon substrates, based on chemical vapor deposition (CVD) technology or sputter technology, film formation technology also requires the research and development of an atomic layer deposition (ALD) method that enables control at the atomic layer level and a selective growth technology that makes a two-dimensional material into films only on specific material surfaces. Films must be formed on silicon substrates 200 or 300 mm in diameter to use currently available process devices. Therefore, it is important to research and develop a film thickness control at the atomic layer level and a crystal growth technology that can make the single crystal area as large as possible. It is also important to research and develop a method for transferring a high-quality crystal layer of two-dimensional materials produced on another substrate onto a silicon substrate, while controlling the surface orientation.

(3) Device structure production and integration

The production of a device that is difficult to produce with conventional silicon technology, such as a transistor with an ultra-thin high-mobility channel, an optical device, terahertz (THz) oscillation device or sensor with molecular-level sensitivity, requires not only film formation technology and substrate technology for the two-dimensional material, but also the research and development of process technologies such as doping for type-p and type-n semiconductor conductivity control (pn control), low-resistance ohmic contact formation, etching and insulating film deposition as well as a gate stack technology that controls transistor thresholds. Especially to achieve high mobility, it is important to develop an atomic layer etching (ALE) technology that can process a two-dimensional material with the accuracy at the atomic layer level and a low-temperature, low-energy-beam deposition technology for insulating films and metal films that do not damage the two-dimensional material. It is also necessary to prototype new device structures and verify their performance and functionality for transistors with an ultra-thin high-mobility channel, optical devices, terahertz (THz) oscillation devices and sensors with molecular-level sensitivity that are difficult to produce with conventional silicon technology. Moreover, it

is essential to research and develop a device simulation technology that models characteristics specific to two-dimensional materials and characteristics of their hetero-interfaces in order to promote high-performance design and integration of devices.

The efficient promotion of the above research and development efforts will need the establishment of research and development programs suitable for the current situation in Japan. In addition to leveraging the knowledge obtained in past efforts and projects on two-dimensional materials to the maximum level, we also should promote coordination among different research fields such as material science, theoretical science, process science, data science, device physics and simulation, the development of shared facilities where substrates can be produced with two-dimensional materials and devices can be prototyped and evaluated, funding enhancement at various levels that support such research and development activities (in fundamental research, research and development center formation, device prototyping and its practical applications) as well as coordination among different projects ranging from the fundamental research to applied research. It is also desirable to develop a new community for device research using two-dimensional materials in academy activities and promote collaboration between the academia and industry in device development projects. Furthermore, it is important to leverage Japan's technological strengths in materials, crystal growth/formation and devices to acquire the knowledge and technology of advanced semiconductor integration processes through enhanced collaboration with research institutions in friendly overseas nations that have strengths in process technology and integration technology. Particularly interaction with young human resources in overseas organizations is expected to develop and train young semiconductor experts in Japan, with knowledge and skills ranging from materials to devices and processes.

目次

1	研究開発の内容	1
2	提案を実施する意義	5
	2.1 現状認識および問題点	5
	2.2 社会・経済的効果	10
	2.3 科学技術上の効果	14
3	具体的な研究開発課題	17
	3.1 2次元材料および他材料との 界面の物性・機能の理解とモデル化	17
	3.2 高品質な成膜・基板作製	19
	3.3 デバイス構造作製・集積化	21
4	研究開発の推進方法および時間軸	23
	4.1 多様なバックグラウンドの研究者の協力	23
	4.2 デバイス作製のための共用施設の整備と活用	24
	4.3 様々なレベルでのファンディングと プロジェクト間の連携	25
	4.4 産学連携と日本の強みを活かした海外連携	26
	4.5 人材育成	28
	4.6 時間軸	29
付録 1	検討経緯	32
付録 2	国内外の状況	35
付録 3	専門用語解説	39

1 | 研究開発の内容

「半導体デバイス革新に向けた材料開発戦略～2次元半導体材料の新規導入～」とは、MOSトランジスタ（MOSFET：Metal Oxide Semiconductor Field Effect Transistor）のチャンネル材料や製造プロセス（プロセスノード）が大きく変わると予想される1nm以下の世代に向けて、新たに登場が期待される2次元材料を用いるために異種材料界面特性評価、成膜・基板作製、デバイス構造作製・集積化などの基盤技術を創出するための研究開発戦略である。ここで用いる「2次元材料」とは、2次元物質（グラフェン、硫化モリブデン（MoS₂）、六方晶窒化ホウ素（h-BN）など）、2次元的に配列した1次元物質（カーボンナノチューブ（CNT）など）、通常の半導体材料（シリコン（Si）、ゲルマニウム（Ge）、化合物半導体、酸化物半導体など）を5nm以下の極薄膜構造にしたものの総称である。

製品化されている半導体集積回路の種類は様々あるが、大きく分けるとロジック（コンピュータ、スマートフォンなどでの演算・制御用）、メモリ（プログラムやデータの記憶）、アナログLSI（デジタル・アナログ変換、高周波送受信など）、パワー半導体（電圧変換、モーター制御など）、イメージセンサ（デジタルカメラ、スマートフォンのカメラ、監視カメラなどの画像取得）になる。この中で、本提案の主要対象は最先端のロジック用半導体集積回路であり、10年程度先に実用化・製品化が期待される1nm世代より先の基盤技術の創出を目指している。このような世代になると、トランジスタのチャンネルの厚さは数nmと非常に薄いものが要求され、従来から用いられているシリコン（Si）では電気伝導特性が劣化してしまうため、劣化の無い新たな2次元材料の導入が求められている。そこでは、従来の集積化プロセスの単なる延長は難しく、新材料を扱う非連続的な技術が必要になるため、先回りして必要な基盤技術を揃えておくことを提案している。また、ここで研究開発される基盤技術は、光デバイス、テラヘルツ発振デバイス、センサ、メモリ、アナログLSIなどに要求される技術と共通する部分も多く、これらの多様な応用展開も含む提案になっている。

図1-1には2次元材料基盤技術の研究開発概要を示す。この図の上部に示すように、目標にするのはサブ1nm世代の2次元材料のチャンネルを3次元積層した3D積層構造GAAFET（Gate-All-Around Field Effect Transistor：チャンネルの周りをゲート電極が取り囲む構造のトランジスタ）であり、その実現に向けた基盤技術の研究開発を行う。半導体集積回路のさらなる高性能化・低消費電力化のためには微細化とともに基本要素であるトランジスタのチャンネル材料やそれを用いた構造の革新が必要になってきていることから、5nm以下の極薄のチャンネルを形成できる2次元材料に注目し、2次元材料と他の材料との界面特性の理解と制御手法、成膜技術や基板作製技術、デバイス構造作製・集積化などの基礎・基盤技術の具体的な研究開発課題と、その推進方法について提案する。

図1-1の下部には2次元材料を用いたGAAFETの立体構造および基本的なチャンネル1層のソース・ドレイン間の断面構造図と、高性能トランジスタを実現するための重要な研究開発課題を示している。トランジスタはソース電極（S）から半導体のチャンネル領域を通過してドレイン電極（D）に流れる電流をゲート電極（G）の電圧により制御するデバイスである。現在のトランジスタのチャンネルにはSiが用いられているが、2030年以降のサブ1nm世代では10nm程度のゲート長に対応するチャンネル膜厚5nm以下でも高い移動度を有する2次元材料が必要であり、またゲートによる電流の制御性を高めるためにチャンネルを取り囲むようにゲート電極を設けるGAA構造が必要になる。MoS₂などの2次元物質は1層の膜厚（約2nm）でも高い移動度が得られているが、その特性を活かして高性能なトランジスタを実現するには、様々な研究開発課題を克服する必要がある。具体的には、以下のような研究開発課題がある。

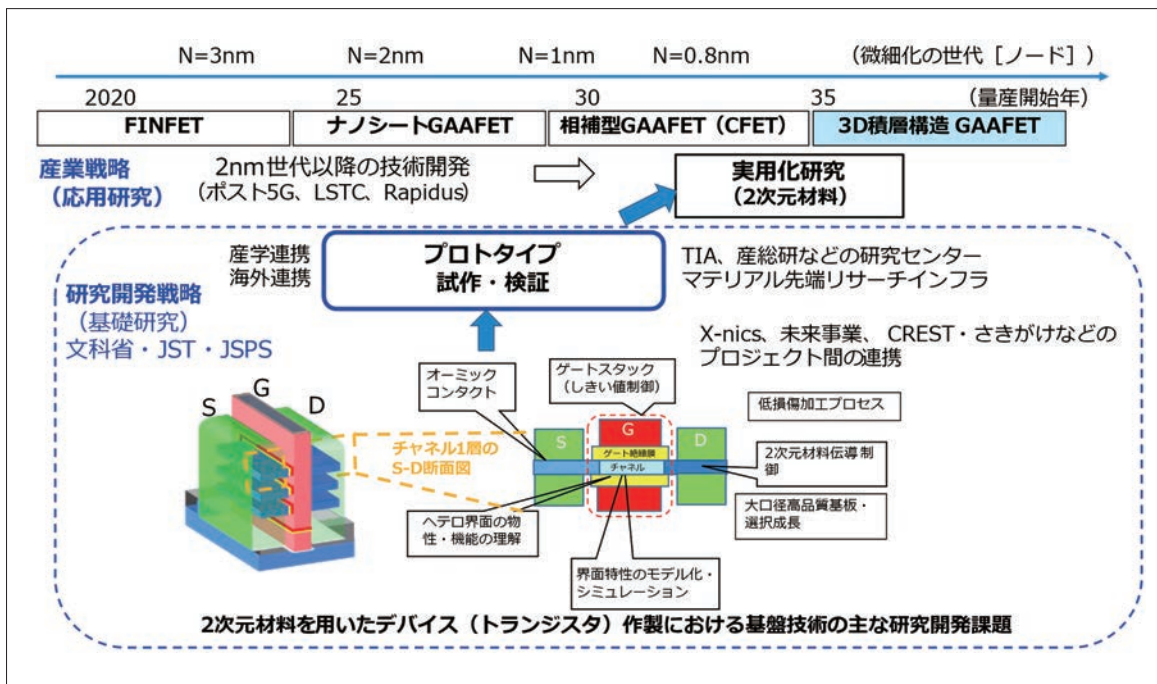


図1-1 2次元材料基盤技術の研究開発概要

(1) 2次元材料およびそのヘテロ界面の物性・機能の理解とモデル化

半導体の特性を有する2次元材料については、グラフェンやMoS₂などの遷移金属ダイカルコゲナイド (TMDC) といった2次元物質、2次元的に配列したCNTなどの1次元物質、5nm以下の極薄Siなど、材料そのものの物性や電気的特性が主に研究されてきた。トランジスタなどのデバイス作製で重要となる2次元材料と絶縁膜や金属などとのヘテロ界面を含む物性・機能に関しては、まだ十分には理解できておらず、そのヘテロ界面の制御についても基盤技術が確立されていない。このため、2次元材料と他の材料とのヘテロ界面の物理的・化学的特性や応力、電気特性などをナノスケールで評価できる分析・評価手法の研究開発、得られた測定結果を理解するモデルや理論の構築が必要である。例えば、2次元材料の構造や様々な特性（原子構造、化学的・機械的・電気的・磁氣的・光学的特性）をin situ（その場）、オペランド（動作中）測定する顕微計測システムの構築や、2次元材料の周期的な表面構造の高精度測定に次世代放射光施設（NanoTerasu）の高輝度コヒーレント軟X線を用いた測定手法、原子レベルの界面の物理・化学的なモデルの作成が期待される。

また、これらの知見から高品質なヘテロ界面の形成手法の研究開発を行うことも重要である。超平坦絶縁膜上への2次元材料の成膜・結晶成長、2次元材料上へのゲート絶縁膜や金属電極の成膜方法、表面劣化や応力・歪の少ない加工方法などの研究開発などに取組む必要がある。さらに、高移動度を実現可能なチャネル構造の提案や、5nm以下の極薄膜でも高移動度を有する新たな組成や結晶構造の2次元材料の探索も望まれる。

(2) 高品質な成膜・基板作製

2次元材料を微細トランジスタのチャネルに用いて、ロジックなどの集積回路を実現するためには、高品質の2次元材料を成膜する技術と、デバイス作製用の高品質の2次元材料を成膜した大面積の基板が不可欠である。成膜技術としては、化学気相成長 (CVD) 法、有機金属気相成長 (MOCVD) 法、分子線エピタキシー (MBE) 法、スパッタ法などによりシリコン基板上に成膜する方法に加え、原子層レベルで制御できる原子層堆積 (ALD) 法の研究開発が求められる。それぞれの成長手法とも、結晶の高品質化には課題があり、それらを克服する技術の進展が必要である。また、特定の材料表面だけに2次元材料のデバイスを作製する

場合などには、2次元材料の選択成長技術も必要になる。この場合には特定の材料表面だけに選択的に原料が付着・吸着するなどの特性が重要であり、原料プリカーサ（前駆体）の研究開発も必要になる。

デバイス作製に現在利用できるプロセス装置を活用するためには、200mm径や300mm径のシリコン基板上への成膜が求められるため、原子層レベルの膜厚制御と単結晶領域ができるだけ広い面積で可能となる結晶成長技術の研究開発が重要である。特に、デバイスの研究者が2次元材料を用いたデバイス研究を進めるためには大面積の基板が必要であり、このようなニーズに対応できる基板作製技術の早期の実用化が望まれる。また、別の基板上に成膜した高品質な結晶層をシリコン基板上に転写する方法も有用と考えられる。小さな結晶片では、すでにロボット技術により所望の結晶膜の方位を制御して転写する技術も報告されており、ウェハレベルでの転写技術が望まれる。

(3) デバイス構造作製・集積化

2次元材料をチャンネルとするトランジスタ構造を作製するためには、2次元材料の成膜技術や基板技術に加えて、半導体のp型・n型の伝導度制御(pn制御)のためのドーピング、低抵抗オーミックコンタクト形成、エッチング、絶縁膜堆積、などのプロセス技術の研究開発が重要である。例えば、SiやGe、ガリウムひ素(GaAs)などではすでにpn制御技術が確立されているが、2次元物質や酸化物半導体ではn型半導体は容易にできる反面、p型半導体を得ることが困難なものも多く、チャンネル半導体に適した伝導制御技術の研究開発が必要である。また、極薄膜に低抵抗のオーミックコンタクトを形成する技術も重要であり、2次元材料と金属との電氣的障壁(ショットキー障壁)を低減させる技術の研究開発が望まれる。さらに、高い移動度を実現するために、原子層レベルの精度で2次元材料を加工できる原子層エッチング(ALE)技術、2次元材料に損傷を与えずに絶縁膜や金属膜を形成する低温・低エネルギー堆積技術が重要である。トランジスタのしきい値を制御するゲートスタック技術の研究開発も必要である。しきい値制御を2次元材料へのドーピングで行うことは技術的に難しいため、ゲート電極の仕事関数制御やゲート絶縁膜のトラップや蓄積電荷の抑制技術も必須になる。

集積回路応用に向けた2次元材料をチャンネルに用いたトランジスタや、シリコンでは難しい2次元材料の特性・機能を活かした光デバイス、THz発振デバイス、分子レベルの感度を持つセンサ、不揮発メモリ、スピントロニクスデバイスなどの新たなデバイス構造の試作と性能・機能の実証も重要な研究課題である。単体のトランジスタを形成するだけでなく、集積回路に適用するためには、2次元材料をチャンネルに用いるトランジスタ周辺の技術開発についても取り組む必要がある。例えば、2次元材料特有の特性やヘテロ界面特性をモデル化したデバイスシミュレーション技術の研究開発は、トランジスタの精度の高い設計を行う上で重要である。また、トランジスタ設計、回路設計、レイアウト設計などのEDA(Electric Design Automation)ツールは集積回路実現のためには不可欠であり、これらの研究開発も進めていく必要がある。

上記の研究開発を効率的に進めていくために、日本の現状に適した研究開発体制の整備も必要である。これまで蓄積してきた2次元材料に関する取組やプロジェクトの知見を最大限に生かすことに加え、材料科学、理論科学、プロセス科学、データ科学、デバイス物理、シミュレーションなど研究分野間の連携や、2次元材料基板の作製やデバイス試作・評価ができる共用施設の整備、これらの研究開発活動を支援する様々なレベルでのファンディング(基礎研究、拠点形成、デバイス試作、実用化研究)の充実、これらの基礎研究から応用研究に跨るプロジェクト間の連携を提案する。研究分野間の連携としては、特に材料関係とデバイス関係の研究者の交流が重要と考えられ、共用施設などを利用して高品質な2次元材料の成膜サービス、2次元材料基板の供給、デバイス試作結果の材料側へのフィードバックなどを進めていくことが望まれる。共用施設の整備としては、既存のマテリアルリサーチインフラや産総研・TIAのクリーンルームなどのオープンプラットフォームを2次元材料が扱えるように充実させていくことなどが考えられる。ファンディングとしては、JSPSの科研費に加え、JSTのCREST/さきがけ領域の立ち上げ、X-nics拠点の拡充、挑戦的なPoC(Proof of

Concept) を設定したプロジェクトの立ち上げ、NEDOによるサブnm世代の新たなデバイス開発プロジェクトが期待される。

実際に使われるような基盤技術を創出していく上では、アカデミアと企業との連携が重要であり、学会活動における2次元材料デバイス関係の新たなコミュニティ形成や、共用施設を利用して産業界が興味を持つようなレベルまでアカデミアの基礎・基盤研究をブラッシュアップしていくこと、産学連携でのデバイス開発のプロジェクトなどが不可欠である。また、日本の強みである材料、結晶成長・成膜、デバイスなどの技術を活かし、プロセス技術・集積化技術に強みを持つ海外の友好国（欧州、米国、台湾、韓国など）の研究機関との連携を強化することも必要であり、それを通じた先端半導体プロセスの知識と技術の獲得や、半導体人材の育成が望まれる。例えば、海外機関との若手人材の相互交流を推進し、世界トップの研究者と一緒に研究開発をすることで、トップレベルの研究を肌で感じて刺激を受け、人脈を広げることで、研究の進展につながってもらいたい。さらに、材料からデバイス、プロセスの知識と技術を有し、世界に注目されるような若手半導体人材の育成だけでなく、先端半導体の応用を提案したり、ユーザーとの間を繋げたりするような応用指向の人材の強化も期待される。

2 | 提案を実施する意義

2次元材料の導入とその基盤技術の創出に関する提言を実施する意義として、半導体集積回路技術が経済安全保障上重要になってきたこと、半導体の国際ロードマップ（IRDS：IEEE International Roadmap for Devices and Systems）上でCNTや2次元物質が将来期待されるチャンネル材料として明記され国際的なコンセンサスが得られたこと、材料や半導体の主要学会で2次元材料とそれを用いたデバイスのセッションやシンポジウムが多数開催されエマージングな研究領域になったことが挙げられる。また、半導体集積回路技術に関する我が国の発展と衰退の歴史から、現在の問題点として、40nm世代より先の製造技術の欠如、材料から応用デバイス開発への展開が遅いこと、先端半導体の主要プロセスである微細構造の露光、原子層レベルで制御された堆積、エッチングで装置メーカーの国際的競争力が弱いこと、半導体人材不足や国際的存在感の低下などが挙げられ、産業政策とともに研究開発戦略を策定してこのような状態から脱出することが重要になっている。さらに、この提言に沿った研究開発を進めることにより、社会・経済的効果として、高度なデジタル社会の実現やエレクトロニクス機器の消費電力削減、半導体材料・装置産業の競争力強化、集積回路製造装置産業やエレクトロニクス産業の活性化につながることで、科学技術上の効果として、デバイス分野・集積回路分野の発展だけでなく、関連分野として材料分野、計測・評価分野への展開などが期待される。以下、これらについて詳細に説明する。

2.1 現状認識および問題点

（経済安全保障）

半導体集積回路は、サーバなどの高性能コンピュータ、通信機器、産業用ロボットなどの社会インフラから、自動車、PC、スマートフォン、家電など我々の生活に身近なところに至るまで、あらゆる製品に組み込まれており、それら製品の高機能化、高性能化を支えると共に、社会のデジタル化を支える鍵となっている。このように、我々の生活にとっても不可欠、また日本の産業にとっても不可欠のものとなっている半導体だが、最近の米中技術覇権争い、さらに直近ではウクライナ紛争などによって、そのサプライチェーンの脆弱性が顕在化している。典型的には半導体の供給問題から各自動車メーカーが減産を余儀なくされたことなどに見ることができ、半導体の多くの製造拠点が台湾、韓国、中国などの東アジアに集中していることに起因している。特に10nm世代以降の最先端のロジック集積回路供給の大部分を台湾のTSMC（Taiwan Semiconductor Manufacturing Company）が担っていることも、世界的なサプライチェーン上の懸念事項になっている。このため、米国、欧州、中国などで、大規模な半導体への投資を行い、自国に先端半導体の工場を建設しようとの動きが顕著になっている〔経済産業省「経済安全保障を巡る国内外の動向と我が国の対応について」2021年11月〕。例えば、米国ではバイデン大統領によりCHIPS法が2022年8月に成立し、半導体業界に6兆円規模の資金が提供される。日本においても、国民の生活を守る、日本の産業の競争力を確保するとの経済安全保障上の観点（戦略的自律性）から、2021年6月の経産省の「半導体・デジタル産業戦略」、「半導体戦略」発表は国としての半導体技術・産業の強化の方向性を示し、半導体工場の国内誘致も含め、半導体への大規模投資を決定している。具体的には、熊本へのTSMCの28nm～12nm世代の半導体工場（Japan Advanced Semiconductor Manufacturing）の誘致、TSMCジャパンのつくば産総研内への3次元集積回路研究開発センター設立、2022年11月に発表されたBeyond 2nmの次世代半導体技術の確保と2020年代後半の量産に向けた研究開発拠点（技術研究組合 最先端半導体技術センター（LSTC：Leading

edge Semiconductor Technology Center)、量産製造拠点 Rapidus) の設立が行われている。また、今後の日米における半導体における連携を深めるために日米の半導体協力基本原則の合意(2022年5月)も行われた。

日本は、40nm 世代以降の高性能な先端半導体ロジックの生産技術や生産設備を保有していない。そのため、時間的にも急がれる2nm 世代までの半導体技術開発は、先行している海外企業、海外研究機関からの技術導入が必須と考えられる。一方で、それ以降の微細化ルール世代では、本戦略プロポーザルで述べているように、2次元材料といった新規材料の導入、さらにはそれに伴うトランジスタ周りのデバイス構造、プロセス技術も大幅に変わってくると予想され、世界的にもこれから多くの研究開発課題に挑戦していくことになる。日本が2nm 世代以降も経済安全保障上の戦略的自律性を継続して保つためには、世界に先行して独自の研究開発・技術開発に取り組む必要がある。世界に2nm 世代以降での研究開発における日本の存在感が認知されることで、imec、TSMC、IBMといった現状の先端半導体の研究開発をリードする機関と対等な立場でパートナーシップを結ぶことが可能となり、日本の半導体産業の復権のみならず、経済安全保障の面でも日本が強い立場に立てると考えられる。

日本は半導体生産に関わるプロセス装置・評価装置、素材・材料技術やでは世界的に強みがあり、これらの産業をさらに強化していくことは、経済安全保障の戦略的不可欠性の観点でも重要である。日本の半導体製造装置産業は世界シェア3割を持ち、素材産業は圧倒的な存在感があり、半導体の国際的な産業構造の中で不可欠な存在となっている[財務省ファイナンス2022 Apr. コラム 経済トレンド94、https://www.mof.go.jp/public_relations/finance/202204/202204i.pdf]。このような、装置産業と素材産業の強い技術力は、国内の半導体製造メーカーとの共同開発だけでなく、海外の最先端を走る imec などのコンソーシアムや TSMC などの企業との共同開発を継続的に進めてきたことに基づいている。このため、今後も日本の装置産業や素材産業を強化していくためには、常に最先端技術開発に携わっていくことが望まれる。2次元材料をトランジスタチャンネルに使うような世代の研究開発においては、TMDC などの新たな材料の成膜装置、それに対応したプロセス装置の開発と量産装置化、TMDC などの成膜に必要な新たな高品質の原料ガス、低ダメージのエッチングガス、2次元材料を成膜した高品質大口径の基板など、製造装置や素材に関する多くの課題がある。日本における2次元材料をトランジスタなどデバイス応用を目指すプロジェクトが開始されたときには、早期に装置メーカー、材料メーカーを参加させ、将来に備えて新規材料に対する対応力・技術力を高めしておくことが重要である。

上記の経済安全保障上の取組を進めていくためには、先端の半導体の研究開発を担う半導体人材の育成が必須である。集積回路デバイスの研究開発として方向性が明確であり、様々な課題があって革新技術が求められている本提案の2次元半導体材料の研究開発は研究者にとっても大変魅力があると考えられ、これをきっかけに多くの若手人材が半導体分野に興味を持ち、2nm 世代以降の半導体集積回路だけでなく、アナログ半導体、パワー半導体、メモリ、センサ、3次元半導体集積回路・実装など、大きく広がる半導体の分野全体の強化につながるよう長期的な視点での人材育成への取り組みが望まれる。

(国際的なコンセンサス)

半導体集積回路は、コンピュータにおける演算やAI処理の高速化・低消費電力化、通信における高速・大容量化・低遅延化、IoTにおけるセンシングの高感度化・低消費電力化などの要求から、今後も微細化・高集積化によるさらなる性能向上・低消費電力化が求められている。一方、微細加工技術はすでに10 nm のレベルに達し、平面内での微細化の限界が迫っており、従来の2次元的な微細化・高集積化による性能向上は難しくなっている。この克服に向けては、その基本要素であるトランジスタの構造をこれまでの2次元的な構造から3次元的な構造にして、ウェハやチップ内の実効的な専有面積を小さくしていく必要がある。これには、トランジスタのチャンネルを積層していくことや、p型トランジスタとn型トランジスタを縦に積み重ねていくことが重要と考えられ、最近ではSiやSiGeのナノシートチャンネルを用いたGAAFETの研究開発が進んで

いる。このようなトランジスタ構造の変化については、IRDSの半導体ロードマップにも、平面型のMOSFETからFinFET（Fin Field-Effect Transistor）、ナノシートFET、多層構造の相補型ナノシートFET（CFET）へと進んでいくことが記載されている。さらにその先としては、極薄（5nm以下）のナノシート（Si、Geなど）、2次元物質（TMDCなど）、1次元物質（CNTなど）を2次元的に配列したものといった2次元材料によるチャネルを用いることが期待されており、その可能性を探る研究開発が世界的に活発化している。チャネル材料として2次元材料が求められる理由は、ゲート長を10nm以下に短縮しようとする、チャネルの厚さはその半分の長さの5nm以下が必要になるが、従来のSiでは移動度が極端に低下することが懸念されるためである。2次元材料の代表的材料であるMoS₂などのTMDCはもともと極薄膜で高い移動度を持つので、注目されている。半導体集積回路デバイスの主要な国際学会であるIEDM（International Electron Devices Meeting）やVLSI Symposium on Technology and Circuitなどでは、数年前から半導体メーカーやコンソーシアムによるWS₂やMoS₂などのTMDCを用いたトランジスタ試作の発表が年々増加してきており、新たなチャネル材料の有力な候補になってきている。

コラム1

高性能半導体チップへの挑戦

2021年2月24日、バイデン米大統領は半導体サプライチェーン強化に関する大統領令の署名後、半導体を「21世紀の馬蹄形の釘」と呼び、「釘がないので蹄鉄が打てない（中略）戦いが出来ないので国が滅びた」という古いことわざの一部を引用しながら、米国のサプライチェーンの危機について言及した¹⁾。GoogleのピチャイCEOは、「AIの人類への影響は火や電気よりも大きい」と語っているが²⁾、もはや半導体がなければ、車も走ることができず、AIも動かない。IoT社会では、現場でのリアルタイムな意思決定を行うためにはエッジAIが必要不可欠であり、それを担う高性能エッジデバイスが必須である。

AI処理では電力の多くが演算ユニットとメモリの間の通信で消費されるが、メモリ内にコンピューティングを組み込む「イン・メモリ・コンピューティング（IMC）」では、メモリ自身がAI演算を実行し演算完了後にデータを送り返す処理ができるようになるため、AIの大きなボトルネックである消費電力の大幅な改善が見込める。IMCでは（抵抗器、キャパシタ、インダクタに次ぐ「第4の受動素子」とも呼ばれる）メモristaが使われるが、従来の3次元金属酸化物を使った縦型メモristaに比べて、TMDCは横方向（面内方向）の抵抗スイッチングを利用することができる横型メモrista材料候補であり、制御ゲートの内蔵が可能となる³⁾。これを使ったAI処理が実行できるIMC用デバイスが実現できれば、フォン・ノイマン・ボトルネックを克服し、システムのエネルギー効率を革新的に向上させることが可能となる。

ルネサスは、複雑なタスクを処理できる動的再構成プロセッサ技術を用いた、低消費電力で高速な推論を実現する組み込みAIチップを開発したと発表した⁴⁾。また、合原ムーンショットプロジェクトでは、脳の数理モデルであるスパイクングニューラルネットワークを用いることで、IMC回路を高性能化する仕組みを考案し

た⁵⁾。半導体は間違いなく戦略物資であり、社会インフラとしての高性能半導体チップへの戦略的挑戦は非常に意義深い。

参考文献

- 1) The White House Briefing Room (2021.02.24).
<https://www.whitehouse.gov/briefing-room/speeches-remarks/2021/02/24/>
- 2) A. Crazz, Google CEO Says AI Is 'More Profound Than, I Dunno, Electricity or Fire', Gizmodo (2018.02.01)
<https://gizmodo.com/google-ceo-says-ai-is-more-profound-than-i-dunno-elec-1822635900>
- 3) S. Wang et al., Nature Materials Vol. 21, pp.1225–1239 (2022).
- 4) ルネサス, プレスルーム (2022.12.08)
<https://www.renesas.com/jp/ja/node/8845861>
- 5) 合原ムーンショットプロジェクト, プレスルーム (2022.11.25)
<https://ircn.jp/pressrelease/20221124-kazuyukiaihara>

(エマージング領域)

2次元材料に関する研究開発は、1990年代の1次元物質の代表であるCNTの発見、2010年の2次元物質の代表であるグラフェンに関するノーベル物理学賞の受賞などにより世界的に活発になった。エレクトロニクス応用に向けた研究としては、半導体CNT単体の高い移動度を利用する高性能のトランジスタや、複数の半導体CNTが絡み合った構造を利用したフレキシブルトランジスタや機械的なスイッチング素子などが研究されてきた。最近では2次元物質としてグラフェンを用いたセンサやテラヘルツ帯の発振デバイスなどの応用や、TMDCを用いたトランジスタ・集積回路や光デバイス、スピントロニクス素子などへの応用研究が行われるようになってきている。さらに、2次元物質の面方位の角度を変えた積層構造や、異なる2次元物質のヘテロ積層構造により、超伝導など様々な物性の発現も報告されるようになり、材料科学的な興味も高まっている。このような背景から、最近ではMRS (Materials Research Society)、SSDM (International Meeting on Solid State Device and Materials) などの国際学会や、物理学会、応用物理学会、高分子学会などの国内の材料系主要学会の講演会で、2次元物質を中心とする2次元材料とそれを用いたデバイスに関するセッションやシンポジウムが数多く開催され、学術的にもエマージング領域として研究開発が活発化している。

(2次元物質に関する日本のこれまでの取組)

日本における2次元物質の学術研究としては、科研費の新学術領域「原子層科学」(2013～17年度)において、グラフェンを中心とした原子層が創る科学の探索が行われた。また、JST CRDSの戦略プログラム「2次元機能性原子薄膜による新規材料・革新デバイスの開発」(2012年3月 CRDS-FY2011-SP-10)に基づいて、CREST「二次元機能性原子・分子薄膜の創製と利用に資する基盤技術の創出」(2014～21年度)が実施され、様々な応用に向けた基礎学理の構築が行われた。さらに最近になって、科研費の学術変革領域(A)「2.5次元物質科学：社会変革にむけた物質科学のパラダイムシフト」(2021～25年度)が開始され、2次元物質の積層による新物性・機能などを探求する研究が進められている。

これらのプロジェクトの推進などにより、国内においては、2次元物質の特性・機能性の探索から、基本的な成膜、特性制御の知見が蓄積してきている。一方、デバイス化の課題も明確化してきており、今後は2次

元材料のデバイス応用・集積化に向けてボトルネックとなる課題を中心に、研究開発の加速が望まれる。

(日本の半導体集積回路の歴史)

以上の経済安全保障、半導体集積回路技術の動向、2次元材料の学術的な研究の進展などから、我が国においても半導体の先端技術に対する取組の強化が望まれる。しかし、2次元材料の導入が強く期待される先端ロジック半導体の国内の産業および研究開発の現状は、台湾や韓国など先頭を走る国々から大きく水をあげられており、かなり厳しい状況にある。このような状況になった日本の半導体集積回路の歴史を大まかに振り返ると、以下のようになる。

- ・ 繁栄期（1970年～1990年）：1970年代には超LSI技術研究組合などでの大型の研究開発プロジェクトで、半導体集積回路のプロセス技術や装置技術を蓄積し、半導体産業に進出した日本企業（主に大手電機メーカー）が半導体技術を大きく発展させた。この結果、1980年代にはDRAM（Dynamic Random Access Memory）を中心に日本企業が世界の半導体市場を席捲した。ここでは、半導体集積回路の製造を行う様々な製造装置（露光装置、成膜装置、洗浄装置、エッチング装置など）を扱う装置メーカーや、シリコンウェハ、レジスト材料、高純度ガス、高純度洗浄液などの材料メーカーも世界トップレベルになった。
- ・ 衰退期（1990年～2020年）：韓国や台湾などのDRAM技術の向上、日米貿易摩擦、日本企業の設備投資抑制などによりDRAM事業が低迷していったこと、DRAMからロジック・SoC（System-on-a-Chip）への移行がうまくいかなかったこと、ファブレス、ファウンドリーといった設計と製造の水平分業の新たな潮流をとらえることができなかつたことなどの様々な要因が重なった。この結果、半導体の世代更新に必要な先端装置の設備投資が抑制され、日本における半導体プロセス技術は65nm/40nm世代で凍結されてしまった。一方、装置メーカーや材料メーカーは世界トップの半導体集積回路製造企業と連携したり、ベルギーのimecや米国ニューヨーク州のAlbanyなどの研究開発コンソーシアムに参加したりして最先端の研究開発を継続し、技術力の低下を防いだ。ただし、最先端の極端紫外線露光技術（EUVリソグラフィ）や、チャネル上に薄い絶縁膜を介してゲート電極を形成するゲートスタックに関わる製造装置の技術は欧州や米国の装置メーカーにリードを許す結果になった。
- ・ 現状（2020年～）：日本における先端の半導体技術はフラッシュメモリや画像センサに限定されており、年々ロジック、メモリ、アナログ、パワー半導体、画像センサなど半導体製造全体の世界シェアは低下しているが、まだ15%程度の世界シェアを保持している。2021年には、国内における先端半導体製造の確保や、今後重要になってくるチップの3次元化やトランジスタ構造の3次元化といった次世代技術への対応として、経産省の半導体戦略が発表され、先端半導体製造工場の誘致や研究開発プロジェクト、開発・量産拠点の設立など半導体産業復活に向けた動きが活発になっている。

(先端半導体開発に関する日本の問題点)

このような歴史を踏まえると、先端ロジック半導体開発に関する我が国の問題点としては、以下を挙げることができる。

- ・ 40nm世代より先の先端プロセスラインおよび集積技術の欠如

1990年代にDRAM、SoCビジネス悪化により、40nm以降の先端プロセスラインの設備投資ができなくなり、国内の生産工場ではhigh-k（高誘電率ゲート絶縁膜）/メタルゲート、FinFETといった新たなトランジスタ構造のプロセス技術が欠如してしまっている。国内に先端プロセスラインが無くなった結果、産業界だけでなくアカデミアの先端半導体技術への研究開発力が低下してしまった。現状の先端プロセスラインとしては、産総研・TIAにある40nmプロセス対応のスーパークリーンルームだけになっている。

- ・ 材料の基礎研究から応用デバイス開発への展開の遅れ

日本は材料そのものの研究開発力は高く、例えば半導体関係でもシリコンウェハ、フォトリソグロフィーにおいて世界トップシェアを確保している。しかし、新たな材料をデバイスやプロセスに適用・応用して実用化する

スピードが遅く、他国にリードされてしまう傾向にある。例えば、先に述べたhigh-k/メタルゲートやCu（銅）/low-k（低誘電率絶縁膜）配線などのプロセス技術開発が（株）半導体先端テクノロジーズ（Selete）などで行われたが、実用化技術として国内の製造ラインへの導入は行われなかった。

・先端半導体の主要部分の製造装置の弱み

日本の半導体集積回路関連の製造装置は、ウェハ製造用装置、マスクレチクル製造用装置、ウェハ洗浄装置、スパッタ装置などでは今でも強みを持ちシェアが高いが、以前は強かった露光装置や、先端のゲートスタックプロセスに使われるALD法などの成膜装置、ALE技術などのエッチング装置については、欧州や米国の装置メーカーにリードされている。

・半導体人材の不足、連携不足、国際的存在感低下

国内の半導体集積回路メーカーのシェア低下で、半導体に対する学生の魅力が低下しており、優秀な学生が半導体関係の研究領域を選ぶことが少なくなっている。また、応用物理学会などの国内学会においては半導体関係の産業界の発表が低下し、アカデミアが産業上の具体的な課題を知る機会が減少しており、産学連携の機会や材料の研究者とデバイス研究者の交流なども低下している。さらに、国内に先端プロセスラインが無いことから、先端プロセスによる新構造デバイスや集積回路の高性能特性や低消費電力特性を示す研究成果の発表ができず、日本の研究者の国際的な存在感が低下している。

以上述べた半導体集積回路関係の日本の問題点を改善していくには、長期的な視点で産業戦略とともに先端技術に関する研究開発戦略を立てて実施していくことが必要である。先端半導体集積回路においては、トランジスタ構造を3次元化して高性能化の流れを維持するために、新たなチャネル材料とその作製プロセス技術に対して大きな変革が必要になってきており、これを半導体技術の大きな転換期、日本がゲームチェンジをするチャンスとして捉え、積極的に対応していくことが望まれる。

2.2 社会・経済的効果

◆社会的効果

（高度なデジタル社会の実現）

高度なデジタル社会（Society5.0）実現のためには、それを支えるスーパーコンピュータ、データセンターなどの情報インフラの処理速度向上と超低消費電力化の実現が不可欠である。現在の先端半導体デバイスの微細化限界を突破し、革新的な低消費電力化を実現する2次元材料を用いた半導体集積回路の開発は、デジタルインフラの基盤を支える最も重要な課題の一つである。これらの基盤インフラの高度化に加えて、Society5.0では、フィジカル空間の様々な情報・データをリアルタイムに収集・分析するIoT端末・システムが実用化されていくと予想されている。前記システムを実現するに当たっても、超低消費電力の2次元材料を用いた半導体集積回路を搭載したエッジ端末の社会実装は必要不可欠であると考えられる。また、Society5.0では、あらゆる端末が無線環境でつながる通信ネットワークが実現し、超高速通信インフラの大容量・高速・低遅延化が不可欠となる。2次元材料を用いた無線/有線通信向けのテラヘルツ波通信半導体デバイスは、これらの次世代通信を実現するキーデバイスとして期待されている。

高性能・低消費電力半導体集積回路によるデジタル化がもたらす社会への恩恵は、これら情報通信領域にとどまるものではない。例えば、IoTを用いた農業生産性向上は、世界の貧困や飢餓を無くすことに貢献できると考えられる。また、安価・高性能なタブレット端末と快適な通信環境の実現で、世界のどこでも誰でも質の高い教育が受けられる社会が実現すると期待される。また、デジタル機器の小型化・低消費電力化・高機能化は、バーチャルとリアルが融合したエンターテインメントサービスの実現や、防犯を通じた安心安全社会の実現、見守りサービスなど高齢化社会の課題の解決、高度自動運転など、新たなサービス産業の実現にも大

きな寄与があるだろう。高性能・低消費電力半導体集積回路によるデジタル化の推進は、消費主導経済から循環経済への一里塚であり、この循環経済を技術の面から支えるものであると考えられる。

(消費電力/CO₂排出量の削減)

高度のデジタル社会の進展に伴って、従来の予想を超える膨大なデータが取り扱われるようになり、この傾向は今後も拡大すると考えられる。JST/LCSの調査報告「情報化社会の進展がエネルギー消費に与える影響 (Vol.1) - IT 機器の消費電力の現状と将来予測 -、FY2018-PP-15」によれば、世界の情報量 (IPトラフィック) は2030年には2018年の30倍以上、2050年には4,000倍に達すると予想され、現在の技術のまま、全く省エネルギー対策がなされないと仮定すると、情報関連だけで2030年には年間42PWh、2050年には5,000PWhとなり、現在の全世界の消費電力の約24PWhを大きく上回ると予測される。この電力量をまかなうためには、再生可能エネルギーの飛躍的普及をもってしても全く不足であり、化石燃料を用いた発電所の増設が不可避となり、2050年にめざすべきカーボンニュートラルの実現が困難となる。

情報機器の消費電力に関してデータセンターを例にすると、JST/LCSの調査報告「情報化社会の進展がエネルギー消費に与える影響 (Vol.2) - データセンター消費エネルギーの現状と将来予測および技術的課題 -、FY2020-PP-03」によれば、データセンター消費電力の50%をサーバ、25～30%を電源と冷却、10%程度をストレージが占めると報告されている。特にサーバは将来的にはデータセンター消費電力の60～80%を占めると推定され、この消費電力の低減が最も重要である。サーバ消費電力低減効果が大きいデバイスはCPU、GPUであり、消費電力性能 (Gflops/W) として2030年に現在の3～10倍程度、2050年には1000倍程度が目標となる。このような超低消費電力化を達成するには、2次元材料を用いた半導体集積回路の消費電力削減によるCPU、GPUの低消費電力化が必須であると考えられる。

ネットワーク関連システムにおいても、通信トラフィックの急激な増大に伴い、現状消費電力の80%を占めるアクセス系、特に無線アクセス系システムで、消費電力が急激に増大することが予想されている。アクセス系システムで消費電力の特に大きい設備は無線基地局とルータであり、JST/LCSの調査報告「情報化社会の進展がエネルギー消費に与える影響 (Vol.3) - ネットワーク関連消費エネルギーの現状と将来予測および技術的課題 -、FY2020-PP-04」によれば、2030年で現状の1/2～1/3、2050年には1/100以下程度を目標として消費電力を低減する必要があるとされている。この分野においても、2次元材料を用いた半導体集積回路の消費電力削減によるASIC (Application Specific Integrated Circuit: 特定用途向け集積回路) やFPGA (Field-Programmable Gate Array: 製造後に任意の論理機能を実装可能) の消費電力削減は極めて重要と考えられる。

この他に、エッジ端末機器の電力削減も効果が大きいと考えられ、この分野においても、2次元材料を用いた半導体集積回路は消費電力削減に極めて大きな効果があると考えられる。

◆経済的効果

(半導体材料、装置産業の競争力強化)

世界半導体市場統計 (WSTS) および日本半導体製造装置協会 (SEAJ) によれば、半導体製造装置市場は700億ドル (約9兆円@2020年) であり、半導体製造装置メーカー売上高の上位15社の中に日本メーカー7社がランクインし、シェア30%を占め存在感を示している。また、半導体材料市場も539億ドル (約7兆円@2020年) に達しており、日本メーカーの存在感が極めて強い。半導体の材料と装置産業の総額は16兆円@2020年で、市場成長率は5～10%/年であり、2033年には市場規模は30～40兆円と予想される。このように市場が成長する中で、10年程度先の最先端の半導体に2次元材料が使われるとすると、2次元材料対応の半導体材料および製造装置の産業に対しても数兆円規模の大きな市場が形成されると考えられる。

2次元材料をチャンネルに用いる微細な先端トランジスタの研究開発を進めていく中で、チャンネル形成に用いられる新半導体材料の結晶成長・成膜に関わる高純度ガス、プリカーサ、エッチングプロセスに関わる高純

度エッチングガス、高純度洗浄液、表面保護膜材料などの半導体材料の技術力を強化することができる。また、デバイス作製プロセスに用いる新たな結晶成長装置、成膜装置、洗浄装置、エッチング装置などの半導体プロセス装置や、新材料利用に伴う分析・評価装置の開発力も強化される。このように、日本が2次元材料の材料や装置に関して先行的に研究開発を進めることで、材料および装置の技術力を強化させることができ、我が国の産業競争力を維持・強化することが期待できる。

特に、シリコン基板の供給で長年市場を独占してきた日本にとって、高品位の2次元材料形成基板の供給においても主要な地位を占めることは重要である。例えば、オープンな研究開発プラットフォームが整備され、そこで材料メーカー・装置メーカーと協力し、300mm ウエハプロセスに対応した高品質の2次元材料膜のCVD成長装置や転写接合装置などの先行研究開発とその評価を進めていくことで、ウェハメーカーおよびウェハ製造装置メーカーの産業競争力の強化が可能となるだろう。

2次元材料をチャネルに用いたGAAFET・集積回路を実現するためには様々な技術が必要であり克服すべき課題も多いが、集積回路はこれまでも大きな課題に対してロードマップで国際的に研究開発の方向性を共有し、国際学会や論文で最先端の技術情報の共有、産学連携のコンソーシアム推進などで乗り越えてきており、今回も研究開発の方向性が明確なため克服できると考えられる。最近の例では、ゲート絶縁膜の薄膜化とゲートリーク電流の抑制に不可欠なhigh-kゲート絶縁膜が使われるようになったことがある。また、コラム2にあるように、EUVリソグラフィ装置の実用化により、10nmレベルの微細加工が可能になったこともある。微細化を進めるためには露光用の光源の波長を短くしていくことが基本であり、技術的には大変困難であったがその方向性を信じてEUV関連の様々な材料開発、装置開発、プロセス開発に取り組んだ結果である。

コラム2

半導体デバイス微細化への挑戦者たち

木下博夫（当時NTT LSI研究所）は、1986年9月に北海道大学で開催された第47回秋季応用物理学会学術講演会において「X線縮小投影露光の検討」と題して、70年代にロシアで行われた多層膜ミラーの研究を基に光源として開発した光学系を用いて、EUV（極端紫外線）画像を世界で初めて投影したことを発表した¹⁾。聴衆は彼の講演に強く懐疑的であった¹⁾。1989年の第33回エレクトロン・イオン・フォトンビームに関する国際シンポジウム（International Symposium on Electron, Ion and Photon Beams : EIPB89, Monterey, California, USA）にて再度発表したところ、バンケットで（彼の研究が画期的であると気付いた）米国AT&T関係者からの質問攻めにあったという²⁾。翌1990年には、米国AT&Tが同様の光学系を用いて波長13nmでの追試実験を進め、1/20の縮小光学系により50nmのパターン形成を実現した¹⁾ことで、オランダの研究所でも、このリソグラフィの新展開の可能性を探る精力的な研究がすぐに始まり、半導体デバイスの微細化の遥かなる飛翔を支える第一歩が踏み出されたのである。

現在、EUVリソグラフィ装置で世界シェア100%を誇るオランダ・ASMLは、1984年フィリップス社とASMインターナショナル社がそれぞれ50%ずつ出資する合弁会社ASM Lithographyとして設立され、フィリップスのゴミ捨て場の隣に建

てたプレハブにおいて僅か31人でスタートし1988年に独立したベンチャー企業であった³⁾。電子ビームリソグラフィやイオンビームリソグラフィも有力な選択肢と考えられていたが、ASMLは、トランジスタの微細化を継続しつつ大量生産に耐える技術として、EUVリソグラフィに「賭け」て、当時は実現不可能と思われていたEUVリソグラフィ技術に他社と連携することで磨きをかけるとともに、装置に必要なパーツをつくる企業を傘下に収めながら特許網の構築も積極的に行ってきた。そして、2019年ごろまでの最先端だったArF液浸リソグラフィのArF光源の波長193nmを大きく下回る波長13.5nmのEUV光源を使ったEUVリソグラフィを実用化させて、7nm以降のロジックでデバイス微細化の道を拓いたのである⁴⁾。

参考文献

- 1) 木下博雄, ナノデバイス量産に向けた極端紫外線リソグラフィー技術の開発, 応用物理 Vol. 81, No.5, pp.391-395 (2012).
- 2) 木下博雄, UVLの量産化を迎えるに当たって - EUVL事始めから今後の展望に関して -, 第3回 EUV-FEL ワークショップ (Tokyo, 2018).
- 3) 野口悠紀雄, なぜカメラにこだわり続けたのか…ニコンとキヤノンが取り逃した「半導体露光装置」という巨大市場, PRESIDENT Online (2022.09.29).
<https://president.jp/articles/-/61852>
- 4) Sander Hofman, Making EUV : from lab to fab, ASML News (2022.03.30).
<https://www.asml.com/en/news/stories/2022/making-euv-lab-to-fab>

(集積回路製造産業、エレクトロニクス産業の活性化)

本格的デジタルトランスフォーメーション（DX）時代を迎えつつある中、高速・低消費電力で動作可能な集積回路への要求は依然として強く、今後もますます高いレベルでの要求が続くと予想される。これまではムーアの法則を Dennard 博士が提唱したスケーリング則 [Robert H. Dennard, Fritz Gaensslen, Hwa-Nie Yu, Leo Rideout, Ernest Bassous, Andre LeBlanc, “Design of ion-implanted MOSFET's with very small physical dimensions,” IEEE Journal of Solid-State Circuits, vol.SC-9, no.5, pp.256-268] にしたがって、シリコンCMOS（Complementary metal-oxide-semiconductor）を微細化することで性能を改善してきた。先にも述べたように、すでに先端CMOSではFinFETが主流となっており、今後はナノシートを用いるGAAFETやp型とn型のトランジスタを積層するCFETが検討されており、さらにその先にはSiチャネルに代わるTMDCなどの2次元材料をチャネルに用いた新たなトランジスタ構造、製造プロセス技術が必要になっている。トランジスタのチャネルにこのような新たな2次元材料を導入し、トランジスタを3D構造GAAFETにすることで、今後も集積回路のさらなる微細化・高集積化・高性能化・低消費電力化が継続され、集積回路製造産業もさらに発展していくと期待される。

2次元材料をチャネルに用いるトランジスタ・集積回路の市場規模が大きく魅力的な応用領域は、超分散型データセンターや高速サーバなどに使われるCPU、GPU、TPU（Tensor Processing Unit）などのプロセッサであり、高速・低消費電力のトランジスタとメモリとが一体化したロジック回路を利用したAIアクセラレータへの期待も大きい。また、プロセッサ応用の前段階として、SRAMキャッシュメモリやDSP（Digital Signal Processor）のように特定の機能に特化したドメインスペシフィックな集積回路としての利用も可能だ

ろう。このようなドメインスペシフィックな集積回路は近年のチップレットを用いた3次元実装技術で広がっていきと予想される。このような先端集積回路を使用するデータセンター、通信システム、IoTなどのエレクトロニクス産業においても、機器の性能向上・低消費電力化が図られさらに発展していくと考えられる。

2次元材料は高周波アナログ集積回路や、光デバイス、テラヘルツ発振・増幅デバイス、高感度センサといったシリコンでは難しい応用領域も期待される。例えば、高周波デバイス用の材料としては2次元物質の代表例であるグラフェンを用いたデバイスの例が多く、グラフェンナノリボンによるRF受信部品やテラヘルツ発振などの報告もあり、今後の高速・大容量通信分野での産業化への期待も高い。また、グラフェンではセンサに関する研究も盛んであり、バイオ・センサ、赤外線センサ、ガス・センサなどが研究されている。高速動作が可能で高感度なセンサが実現できれば、IoT端末やヘルスケアシステムへの搭載なども可能になる。

(半導体の市場予測)

半導体全体の市場は2020年度で4,400億米ドルの規模であり [https://www.jeita.or.jp/japanese/stat/wsts/docs/20221129WSTS.pdf]、国際情勢やパンデミックなどの不確定要素はあるものの、平均して10年間で1.33倍の成長が期待されており [https://eetimes.itmedia.co.jp/ee/articles/2101/14/news026_4.html]、2030年で5,800億米ドル、2040年で7,800億米ドル、2050年で1兆米ドルが予測されている。

一方、半導体全体に対する内訳は、2020年度でアナログICが13%、マイクロプロセッサが16%、ロジックLSIが27%、メモリが27%で、他はディスクリート、光デバイス、センサである。この比率は過去5年間大きな変化はなく、今後も同程度の比率で展開されると考えられる。マイクロプロセッサの比率は16%だが、この内で高性能デバイスがいち早く採用されるサーバ用CPUの比率は30%程度であるため、半導体全体の市場から見ると先端半導体が使われるロジックの割合はおおよそ5%である。ナノシートが展開される2nm世代は2025年以降に産業化が期待されており、2030年に高性能CPUに展開され、その後に2次元材料チャネルを用いたものが2040年に本格展開されると考えられ、2040年での先端ロジックの市場規模は390億米ドル/年（1\$=130円として5兆円/年）が期待される。2次元材料を用いたデバイスは高周波デバイスやセンサなどへの展開も期待され、高性能CPUなどの先端ロジック市場に比較すると大きくはないが、大容量高速通信やIoT市場の拡大とともに成長していくと予想される。

2.3 科学技術上の効果

(デバイス分野、集積回路分野の発展)

半導体集積回路技術の進化は、私たちの身の回りにある様々な技術の進歩を支える重要な原動力となってきた。Intelによる世界初の商用マイクロプロセッサ「4004」（1971年）は2250個のトランジスタで構成されていたのが、近年ではAppleのM1チップ（2020年）は7ナノメートルテクノロジーを使用して160億個のトランジスタで構成されたのに対して、さらに進化させたM2チップ（2022年）では5ナノメートルテクノロジーを使用して200億個のトランジスタで構成されるようになってきた。近年では、単位面積当たりのトランジスタ数や動作周波数だけでなく、AI処理の高速化・低消費電力化、通信における高速・大容量化・低遅延化、IoTにおけるセンシングの高感度化・低消費電力化などの要求等、求められる機能やアプリケーションもこの数年で大きく変貌している。本戦略プロポーザルが掲げる2次元材料の導入とその基盤技術の研究により、2次元材料の科学的探求が進むとともに、以前は他の3次元材料では達成できなかったデバイス構造と機能が可能になり、革新的な電子デバイスに向けた概念実証（PoC）の研究が進むだけでなく、産官学一体となった戦略的半導体人材育成も進むことが期待できる。

例えば、超高周波エレクトロニクス用の材料として利用できるのは、今のところ、2次元物質の代表格であるグラフェンのみであり、理論的にはグラフェンを用いたFETは、20THzまでの周波数で能動素子として機能することから、成層圏通信、オンチップワイヤフリー配線、宇宙ミッション、リモートセンシング、テラヘルツ (THz) イメージングなどに役立つと予測される。

垂直 (ゲート) 電界下で少数キャリアがソースからチャンネルへトンネル移動する原理を利用したトンネルFETアーキテクチャを、2次元材料のファンデルワールスギャップで挟まれたヘテロ構造内に実現できれば、深刻な短チャンネル効果なしに大幅にスケールアップすることが可能となる。また、2次元物質 (特にTMDC) はその層状性により、原子レベルで薄く、欠陥やダングリングボンドのない表面を形成することができ、有効質量が大きい場合、バルク半導体で問題となる量子閉じ込めやキャリアロスが2～3nmまで薄くしても発生しない。また、TMDC量子ドットは大きなスピン軌道相互作用を持ち、その結果、スピンとバレーの縮退状態が大きく分裂して長いデコヒーレンス時間を提供することが理論的に明らかにされており、TMDC材料をh-BNなどで挟んだ構造による量子ドットのさらなる性能向上が期待される。

ニューラルネットワークや機械学習において行われる積和演算 (MAC) では、電力の多くが演算ユニットとメモリの間の通信で消費されているが、不揮発性メモリを利用したMAC技術を用いるイン・メモリ・コンピューティング (IMC) 用の2次元デバイスが実現できれば、メモリとコンピューティングの物理的分離に伴う時間的・エネルギー的ロス排除し、システムのエネルギー効率を向上させることが可能となる。また、3次元金属酸化物系メモリスタが垂直2端子デバイス (縦型メモリスタ) であるのに対して、2次元のTMDCは横方向 (面内方向) の抵抗スイッチングを利用することができる横型メモリスタ材料候補であり、制御ゲートの内蔵が可能となる。

半導体デバイスや集積回路分野に興味を持つ研究者や技術者の増加や、半導体人材の育成への貢献も期待できる。2021年に出された経産省の半導体戦略とその後のTSMC量産工場の誘致、ポスト5Gプロジェクトでの2nm世代以降 (Beyond 2nm) のプロセス開発、オープンな研究開発拠点LSTCと量産製造拠点Rapidusの立ち上げは、日本の集積回路製造メーカーの衰退によりこれまで半導体分野にあまり関心を示さなかった若者に対しても、半導体産業の復活への期待、新たな活躍の場として魅力的になっている。技術者を目指す若者にとっては、このような産業政策は大きな後押しになるが、この分野の研究者を目指す若者にとっては、すでに開発された技術のブラッシュアップだけでは不十分である。これに対して、Beyond 2nmと表現されるさらに先の世代の2次元材料のチャンネルを用いたトランジスタ・集積回路の難しい研究開発課題に挑戦することは、研究者にとって大きな魅力であり、アカデミアと産業界の研究者が協力して研究開発や学会活動を活発にし、この分野を盛り上げていくことが期待される。

(2次元材料・材料分野への展開)

前述の高周波デバイス、センサ、光デバイス、不揮発メモリ、スピントロニクス、集積回路などの研究開発の進展にともない、それぞれのデバイスごとに求められる特性が明確になると予想される。また、2次元材料と他材料との界面の物性・機能の理解が進み、電極金属と2次元材料界面における接触抵抗を下げるため必要な設計指針なども明確になると期待される。これらの進展により、デバイスごとに適した2次元材料の探索が加速し、また新たな2次元材料の開拓も進むことが予想される。例えば、TMDCの新たな展開として、エレクトロニクス、スピントロニクスに続くバレーエレクトロニクスも提案されて様々な研究が行われており、物性・機能に関連した材料分野の新たな展開が期待される。

さらに、実デバイスの作製・評価などを通じて、2次元材料薄膜に求められる電荷移動度、ドメインサイズ、不純物・転位などの欠陥密度の許容限界などの目標物性が明確になることで、その実現に向けた薄膜成長技術を高度化するための研究開発や、薄膜成長過程の基礎学理の解明、プロセス・インフォマティクスを含めた制御技術の構築が進展するだろう。

薄膜形成の原料やプリカーサは成膜プロセスにおいて重要な役割を果し、その特性は反応性、熱安定性お

よび揮発性など成膜プロセスの成功を決定する。また、成膜後の薄膜の移動度や欠陥密度にも大きな影響を与える。成膜プロセスでの結晶品質の向上や成膜速度の向上などのためには、新たな原料やプリカーサの開発が急務である。本戦略プロポーザルの研究開発課題の検討を通じて、成膜の原料やプリカーサに求められる特性を明らかにすることで、それらの研究も加速すると考えられる。

(計測・評価分野への展開)

2次元材料のデバイス化に向けて、2次元材料の構造や様々な特性（原子構造，化学的・機械的・電氣的・磁氣的・光学的特性）をin situ（その場）、オペランド（動作中）測定する顕微計測システムの構築が進展する。さらに、2次元材料の周期的な表面構造の高精度測定には高輝度コヒーレント軟X線を用いた測定が有効であることから、仙台で整備が進められているNanoTerusuなど放射光の活用が進むと考えられる。特に、2次元物質の結晶成長中の核形成や成長表面の状態など結晶成長機構の解明につながるようなin situの計測方法の進展が期待される。

デバイス作製プロセスにおいては、ウェットエッチングやプラズマを用いたドライエッチングなどが用いられるが、2次元材料そのものや、2次元材料と絶縁膜との界面にダメージを与えて欠陥や固定電荷などが発生するため、これらの評価が重要であり、プロセス中やプロセス後の評価技術が進展すると考えられる。微細な欠陥の観測が可能な電子顕微鏡技術を用いたプロセス途中での評価技術や、原子レベルでの電氣的な特性の変化が観測できるSTMなどのプローブ技術なども発展するだろう。

チャンネルの薄膜化に合わせて、ゲート絶縁膜も新たなhigh-k材料やその薄膜化が必要になるが、このように薄膜化したゲート絶縁膜の信頼性評価も重要になる。ゲート絶縁膜中の欠陥や不純物、デバイス作製プロセス中の欠陥や電荷の発生は、ゲートリーク電流の増大を引き起こして長期的な信頼性の低下につながるため、これらと長期信頼性との関係を精密に評価する技術も進展していくと考えられる。

3 | 具体的な研究開発課題

先端のロジック用半導体集積回路に向けて、2次元材料をGAAFETのチャネルに活用していくためには、適切な材料の選択から結晶成長・成膜技術、伝導制御のドーピング技術、デバイス作製用の大口径・高品質な基板作製技術、エッチング技術、オーミックコンタクト技術、ゲートスタック技術、デバイス設計・シミュレーション技術、信頼性評価技術などの様々な技術が必要になる。もちろん、これらの技術はこれまでに蓄積されてきた半導体集積回路のプロセス技術を可能な限り活用していくが、2次元材料特有の難しい課題も多く、これらに対して研究課題を明確にして取り組んでいく必要がある。また、2次元材料特有の課題は先端半導体だけでなく、不揮発メモリや高感度センサ、テラヘルツデバイス（高周波用デバイス）、光デバイス、スピントロニクスデバイスなどその他のデバイス応用に対しても共通するものが多く、2次元材料のデバイス応用に向けた基盤技術として、研究開発に取り組むことが重要である。特に図3-1に示すように、グラフェンのノーベル賞受賞からこの10年間で2次元物質を中心に2次元材料の基礎研究が進み、基本的な成膜や特性制御の知見が蓄積しデバイス化に向けた課題も明確になってきたので、今後はデバイス応用・集積化に向けてボトルネックとなる課題を中心に、基盤技術の研究開発に取り組むことが望まれる。具体的な研究開発課題としては大きく分けて、①2次元材料および他材料との界面の物性・機能の理解とモデル化、②高品質な成膜・基板作製、③デバイス構造作製・集積化があり、以下で詳細に説明する。

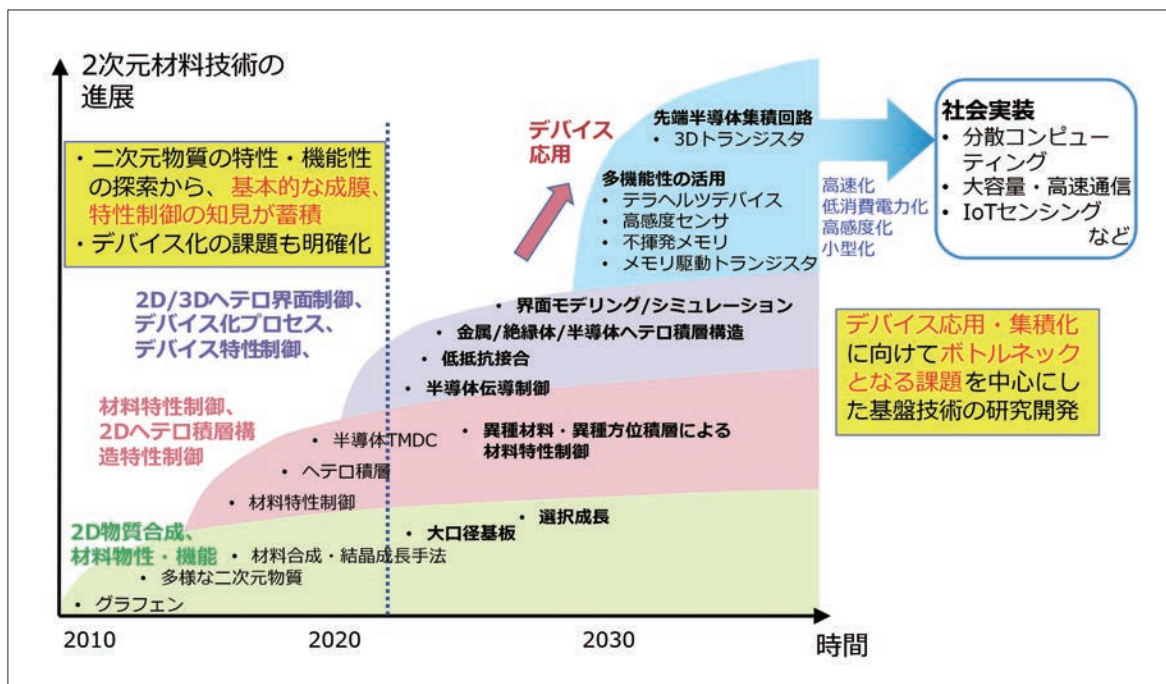


図3-1 2次元材料技術発展の方向性

3.1 2次元材料および他材料との界面の物性・機能の理解とモデル化

(2次元材料と他材料とのヘテロ界面の分析・評価手法)

2次元材料の代表である2次元物質は、原子スケールの厚さでも界面にダングリングボンドを含まないこと

3
具体的な研究開発課題

から散乱によるキャリア移動度の低下を抑制できる。そのため、先端半導体のチャンネル材料として有望視されている。しかし、優れたチャンネル材料を見出すためには、薄膜のキャリア移動度だけの評価では不十分である。ゲート絶縁膜やゲート電極作製に伴う応力や、ゲート絶縁膜との界面における界面準位、ゲート絶縁膜中の固定電荷によってもチャンネル中のキャリア移動度は劣化する。また、TMDCデバイスでは微細化が進むとオン電流がチャンネル長依存からコンタクト抵抗依存に遷移する。このため、2次元材料と他材料とのヘテロ界面の物理的特性、化学的特性、電気的特性の理解は非常に重要であり、これらの評価・分析手法に関する研究開発を進めていく必要がある。

(ヘテロ界面の理論、物理的・化学的なモデル構築)

2次元材料と他材料とのヘテロ界面の評価・分析の研究で得られた情報を活用して、界面構造の制御、デバイス作製プロセスの改善、トランジスタ構造の最適化などを行っていくためには、ヘテロ界面の理論構築やモデルの構築が必要である。特に、2次元物質では表面にはダングリングボンドはないものの、多結晶のドメインで構成されているためにドメイン間には欠陥が多く存在する。このような2次元材料と他材料とのヘテロ界面における電気的特性の理解は進んでいないため、電気的特性の予測に繋がるモデル構築が望まれる。

(高品質なヘテロ界面形成・界面制御技術)

ヘテロ界面の評価・分析の知見を基に、高性能・高品質のヘテロ界面の形成手法の研究開発を行うことが重要である。例えば、良好な電気的特性を有する2次元物質の形成には、高温・高圧合成したh-BNのように下地の絶縁膜が原子レベルで平坦なことが必須となっている。高品質なヘテロ界面形成のためには、デバイス作製用基板への超平坦絶縁膜の形成方法、単結晶領域が広く欠陥の少ない2次元材料の成膜・結晶成長方法、2次元材料上へのhigh-kゲート絶縁膜および金属電極の形成方法、表面劣化や応力・歪の少ない加工方法などの研究開発がある。

(新たな2次元材料の開拓)

チャンネルの厚さが5nm以下の極薄膜になっても移動度の劣化が少なく高移動度を実現可能なチャンネル構造の提案や、既存の2次元材料に加えて、5nm以下の極薄膜でも高移動度を有する新たな組成や結晶構造のもの、p型半導体が安定して得られるもの、新たなデバイス機能が期待できるものなど、新たな2次元材料の探索も望まれる。例えば、キャリアの輸送方向の有効質量が小さく、その垂直方向の有効質量が大きい面方位(Si(100)面、Ge(111)面など)を選ぶことにより、垂直方向の凹凸に鈍感になり、極薄膜化しても移動度の低下を抑えられると考えられている。また、p型半導体は、2次元物質では安定したものが少なく、極薄の酸化物半導体では酸素欠陥でn型化するためp型特性を得ることが難しく、CMOS回路を実現する上では新たなp型の2次元材料の探索は重要である。新たなデバイス機能に関しての研究例としては、2次元層状物質を積層したフローティングゲート型のメモリ素子がある。半導体の二硫化レニウム(ReS₂)がトランジスタチャンネル、絶縁体のh-BNがトンネル絶縁層、グラフェンがフローティングゲートとして機能し、従来のフラッシュメモリと同様に、フローティングゲートに電荷を蓄積することにより情報を記録することができ、多値メモリ動作も実証されている。このような不揮発メモリ機能や、テラヘルツの発振・検出など、新たなデバイス機能を創出できる2次元材料を開拓し、応用範囲を広げていくことが2次元材料の魅力に繋がると考えられる。

3.2 高品質な成膜・基板作製

(2次元材料の結晶成長・成膜技術)

実デバイスを作製し評価を進めるためにも、また2次元材料と他材料との界面の物性・機能の理解を進めるためにも、2次元材料の高品質な成膜・基板作製技術は重要な研究開発課題である。半導体デバイス作製のために、2次元材料の単層シート（または数層シート）を作製する方法としては、大きく分けて、剥離法と薄膜成長法の2つの方法がある。

剥離法は、蒸気輸送法または融液法で合成されたMoS₂などのバルク結晶から層間の劈開により単層から数層のシートを剥離する方法であり、機械的に剥離する方法と溶液系で剥離する方法の2つに大きく分けられる。得られる単層または数層のシートの結晶性や伝導度、サイズは、元のバルク結晶に依存する。機械的に剥離する方法は、これまでグラフェンなどを中心に発展してきたもので、スコッチテープ法とも呼ばれる簡便な方法である。良質なバルク結晶からスタートし、結晶性がよいシート部分を選択することで高い伝導度のものを得ることも可能であるが、大面積化は難しい。このため、基礎研究やデバイス性能確認用の試作には適しているものの、量産性や半導体製造プロセスへの適合性には課題がある方法である。溶液系で剥離する方法は、MoS₂などの層状化合物が層間にさまざまな物質をインターカレートする性質を利用し、水溶液中で4級アンモニウム塩など界面活性剤によって層間を剥離したり、極性有機溶媒中で超音波をかけたりすることで層間を剥離する方法である。大量処理が可能で低コストの方法ではあるが、残留界面活性剤や超音波の影響により結晶性や伝導度が低下するデメリットがあり、使用できる用途は限定的であり、本プロポーザルが対象としている半導体デバイスには適さない場合が多い。

一方、薄膜成長方法は、ウェハ上に大面積で成膜が可能な方法であり、CVD法、MOCVD法、MBE法、ALD法などさまざまな方法が研究されている。CVD法は高い結晶性の膜を成長させることが可能であるが、一般的に650°Cを超える成膜温度が必要な方法であり、現行の半導体プロセスとの適合性に課題がある。MOCVD法は、475°C程度で成膜が可能ではあるが、原料プリカーサ由来の不純物が残留しやすく、結晶品位が低いという問題点がある。また、一般的に原料プリカーサが非常に高価であるという点も課題である。MBE法も500°C程度での成膜が可能ではあるが成膜速度は遅く、また結晶粒界の合合速度が遅いという特徴ゆえに、成膜後の高温アニーリングが必要になる。さらに、均一な成膜のための最適条件が狭く、安定生産が難しいという課題もある。

簡単な成膜方法としては、目的の組成を有する原料をスパッタリングで基板上に成膜する方法もあるが、組成比を保ったまま成膜することは難しく、成膜後にガス中でアニール処理をする必要があり、ガス雰囲気制御や温度管理などが課題になる。ALD法は、低温での成膜が可能であり、物質組成や結晶性などの正確な制御性、原子スケールでの成長精度、基材への均一な膜形成などの特徴があり、2次元材料合成の新技術として研究が進んでいる。ただし、現状では、得られる膜の結晶性や移動度は十分とはいえず、それらの改善のために、プリカーサの種類や成膜条件の検討が進められている。また、成膜速度が遅いという課題もある。

このように、いずれの薄膜成長方法であっても、2次元材料の大面積で高品質な膜をハイスループットに作製する技術は未確立であり、重要な研究開発課題である。大面積で高品質な膜をハイスループットに作製するためには、前述のような各種薄膜製造方法の中から適切な方法を選ぶとともに、最適な原料プリカーサの開発や安定生産可能な成膜条件の選定も重要である。これを達成するためには、2次元材料の薄膜結晶が成長するプロセスの素過程を理解することが必要である。

2次元材料の薄膜成長は、一般的にファンデルワールス・エピタキシーが用いられる。2次元材料は、表面にダングリングボンドを持たない層状物質であり、層に垂直な方向には強い結合を有さず、層間は弱いファンデルワールス力を介して積層している。このような物質の表面での結晶成長では、通常、基板上に到達する化学種は、表面で強い結合を形成することはできない。このため多くは再蒸発するが、一部は基板表面で拡

散して成長核を形成することによって、物質固有の結晶構造・格子定数を持った薄膜を形成する。このため、結晶性の高い膜をファンデルワールス・エピタキシーで得るには、極めて平坦な基板を用いる必要がある。基板の結晶テラス、ステップエッジ、結晶転位および不純物による欠陥が多いと、それらが結晶の核形成点となり多くの結晶ドメインが形成されるため、高い膜品位のものが得られない。したがって、基板の表面超平坦化技術や超低欠陥化技術も非常に重要である。

各種の薄膜成長プロセスでは、気相中、基板または結晶の表面、結晶内でさまざまな現象が起きている。気相中では、原料プリカーサの輸送や反応、分解生成物の排出などが起きる。結晶の表面では、原料プリカーサや目的物質の吸着・移動を経て結晶が成長する。さらに、別々の成長した結晶間の会合なども考慮する必要がある。また、結晶内部では、転位や不純物による欠陥の生成または消滅も発生している。このようなさまざまな素過程を理解した上で、プロセス全体を理解することが重要である。そのためには、第一原理計算や統計熱力学などを活用したマルチフィジックス結晶成長シミュレーションなどの研究も有用であると考えられる。また、2次元材料の結晶成長過程を、実際の成長条件でリアルタイムに観測する技術の開発も重要である。

また、CVD法やALD法などの薄膜成長方法の種類によって、適した原料プリカーサの種類、安定生産可能な成膜条件は異なる。例えば、CVD法であっても、原料プリカーサを変更すれば、最適な成膜条件は変化する。また、同じALD法であっても基板のサイズや配置によって最適な成膜条件は異なる。薄膜成長技術は、プロセスの最適化に関与する項目が非常に多岐に渡る系であるため、その最適化にはデータ科学的手法を活用したプロセス・インフォマティクスが有効であると考えられる。

(転写技術と選択成長技術)

半導体デバイス作製のために、2次元材料の単層シート（または数層シート）を必要な場所に配置または成長する方法としては、転写法と選択成長法がある。

転写法は、前述の剥離法などで作製した2次元材料の単層シートをPVC（ポリ塩化ビニル）、PDMS（ポリジメチルシロキサン）などのポリマー製のマニピュレータを使って必要な場所に配置する方法で、配置の際に正確な位置制御や結晶軸の角度制御が必要になることから、ロボットを活用した自動化の研究が行われている。転写法は、前述の剥離法で得られる高品質な単層シートを使うことができるメリットがあるが、生産性が低いという課題があり、基礎研究や原理確認用途には有用なものであるが、量産に適したものではない。

一方、選択成長法は、2次元材料結晶を必要な場所に成長させる方法であり、たとえば、サファイヤやアルミナ基板の原子ステップを起点として薄膜成長させる研究例などがある。実際のデバイス作製に利用するためには、前述の薄膜成長方法の研究開発課題に加えて、設計通りに結晶成長の起点をつくる技術や、結晶方位や層数の制御技術に関する研究開発が必要になる。また、2次元材料成膜後の半導体製造プロセスの処理条件にも適合させる必要がある。

(デバイス作製の高品質基板、大口径基板作製技術)

デバイス作製に現在利用できるプロセス装置を活用するためには、200mm径や300mm径のシリコン基板上への成膜が求められるため、原子層レベルの膜厚制御と広い面積の単結晶領域が得られる結晶成長技術の研究開発が重要である。特に、デバイスの研究者が2次元材料を用いたデバイス研究を進めるためには大きな面積の基板が必要であり、このようなニーズに対応できる基板作製技術の早期の実用化が望まれる。また、別の基板上に成膜した高品質な結晶層をシリコン基板上に転写する方法も有用と考えられる。小さな結晶片では、すでにロボット技術により所望の結晶膜の方位を制御して転写する技術も報告されており、ウェハレベルでの転写技術が望まれる。この際、基板全体での膜質（結晶性・欠陥頻度）や層数の均一性を確保することが重要な課題である。

グラフェンは、九州大学の研究成果を活用してウェハとしての販売がベンチャー企業で始まっている。また、物質・材料研究機構（NIMS）による高品質なh-BN結晶が、世界中の研究者に提供され、この分野の研

究の加速に大きく貢献している。TMDCなどの2次元材料もウェハとして供給できるようになれば、2次元材料のデバイス応用研究は加速することが予想される。ただし、2次元材料の基板との結合はファンデルワールス結合という弱い結合であるがゆえに、ウェハ搬送や半導体プロセスでのハンドリングに耐えない可能性がある。本分野の研究開発を加速するためには、下地層やキャップ層などを含めた全体的な設計により2次元材料をウェハとして提供することが可能な体制を創出することも重要な研究開発課題である。

3.3 デバイス構造作製・集積化

2次元材料をチャンネルとするトランジスタ構造を作製するためには、2次元材料の成膜技術や基板作製技術に加えて、pn制御のためのドーピング、エッチング、絶縁膜堆積、低抵抗オーミックコンタクト形成などのプロセス技術、トランジスタのしきい値を制御するゲートスタック技術の研究開発が必要である。特に、高い移動度を実現するために、原子層レベルの精度で2次元材料を加工できるALE技術、2次元材料に損傷を与えないような絶縁膜や金属膜の低温・低エネルギー堆積技術が重要である。また、GAAFETやシリコンでは難しい光デバイス、テラヘルツ（THz）発振デバイス、センサなどの新デバイス構造の試作と性能・機能の検証も必要であり、2次元材料特有の特性やヘテロ界面特性をモデル化したデバイスシミュレーション技術の研究開発もデバイスの高性能設計や集積化を進める上で不可欠である。

(半導体伝導制御)

相補型のCMOS回路の実現にはp型とn型のトランジスタが必要であり、チャンネル半導体のpn制御技術が必須である。SiやGe、GaAsなどではすでにpn制御技術が確立されているが、2次元物質や酸化物半導体ではn型半導体はできるがp型半導体を得ることが困難なものもあり、チャンネル半導体に適した伝導制御技術の研究開発が必要である。特に、チャンネル領域の真性半導体に近い低いキャリア濃度とソース・ドレイン領域の高いキャリア濃度を安定的に制御することが重要である。例えば、2次元物質の場合は構成原子と部分的に置換するドーピング技術が難しいこともあり、それに代わる表面の分子修飾、層間のインターカレーション、表面を酸化することで得られる酸化物との仕事関数差によるキャリア誘起などの新たな技術の研究開発が望まれる。

(低抵抗オーミックコンタクト形成)

トランジスタの特性を決める大きな要因の一つにソース・ドレインにおける2次元材料と金属電極との間のオーミックコンタクトの抵抗がある。特に、極薄膜チャンネルとなっているため、従来用いられていた半導体と金属との合金化プロセスを用いることはできないため、2次元材料と金属電極とのショットキー障壁を低減させたり障壁を薄くしたりして、このオーミックコンタクトの抵抗を低減させる技術が必須である。これには、2次元材料において高濃度キャリアを可能とするpn制御技術や、最近注目されてきているBiなどの半金属を用いる方法の研究開発が重要になってきている。

(ゲートスタック)

集積回路の設計にはトランジスタのしきい値制御が重要であり、特にCMOS回路の場合にはp型およびn型トランジスタともに、ゲート電圧が0Vの時にオフ状態となるようにしきい値電圧を制御し、エンハンスメント型にする必要がある。トランジスタのしきい値電圧は、チャンネルのキャリア濃度、ゲート電極の仕事関数、high-kゲート絶縁膜中の固定電荷・トラップ、チャンネル/ゲート絶縁膜界面の界面準位などで決まるため、これらの精密な制御技術（ゲートスタック技術）が重要である。極薄膜チャンネル部のドーピングによるキャリア

濃度制御は難しいことに加え、イオン化不純物によるドーピングではポテンシャルばらつき、不純物散乱が顕著になってキャリア移動度を低下させるため、他の手法によるしきい値制御が必要である。また、high-kゲート絶縁膜中の固定電荷・トラップや、チャンネル/絶縁膜界面の界面準位などはしきい値に影響を与えるだけでなく、キャリアの散乱を誘起して移動度を低下させたり、不安定なトランジスタ特性を誘起したりするため、それらの低減も重要である。

(低損傷加工・プロセス)

上で述べたトランジスタのしきい値や移動度低下、不安定な特性などは、作製プロセスに強く影響されるため、利用する材料と作製プロセスを適切に選択する必要がある。特に、極薄膜のチャンネルやゲート絶縁膜は表面の状態に敏感なため、現状の集積回路のプロセスで用いられている高エネルギーのプラズマエッチング技術を適用することは難しく、低エネルギー、低損傷のエッチング技術が重要になる。また、エッチング技術としては原子層レベルの制御性や移動度を劣化させないための原子レベルの平坦性も必要なため、低エネルギーのALEの研究開発が重要になる。TMDCなどの2次元物質では選択的にエッチング分子を吸着・結合させることは難しいとも考えられるが、大きな選択比が可能なエッチングガスの探索や手法の構築が望まれる。さらに、集積回路の3次元的なトランジスタ構造を実現するためには、プロセス途中で犠牲層の形成やその除去も重要になるので、2次元材料チャンネルの表面保護層（パッシベーション膜）の形成技術にも取り組む必要がある。

(新デバイス構造)

集積回路応用に向けた2次元材料をチャンネルに用いたトランジスタや、シリコンでは難しい2次元材料の特性・機能を活かした光デバイス、THz発振デバイス、センサ、不揮発メモリ、スピントロニクスデバイスなどの新たなデバイス構造の試作と性能・機能の実証も重要な研究課題である。集積回路用のトランジスタの作製には上に挙げた様々な技術課題を解決していく必要があり、長い時間を要すると考えられる。一方、光検出素子やセンサなどの単体デバイスは必ずしも全ての技術を必要とせず、早期にデバイス構造を作製でき、ニーズがあれば実用化も早いと考えられる。例えば、単純なセンサ応用ではpn制御や低抵抗オーミック、しきい値制御は必ずしも必要ではない。また、グラフェン、TMDC、h-BNにおけるプラズモンを利用したTHz発振、検出器なども提案されており、これらの早期の試作と機能検証が待たれる。このような単体デバイスの応用の検討や企業による実用化が進むことにより、それらに使われる基盤技術も高度化していき、集積回路への適用も可能になると期待される。

(シミュレーション・設計技術)

単体のトランジスタを形成するだけでなく、集積回路に適用するためには、2次元材料をチャンネルに用いるトランジスタ周辺の技術開発についても取り組む必要がある。特に、複数のチャンネルを積層して3次元的な構造になると、チャンネルやドレイン部の発熱部から基板や配線層に逃がすことが難しくなってくるため、絶縁性の高熱伝導材料をトランジスタ周辺部に配置するなど高効率な放熱技術の研究開発が重要になる。また、集積回路の精度の高い設計を行うためには、2次元材料チャンネルトランジスタのデバイスシミュレーション技術の開発も不可欠である。2次元材料チャンネルでは量子効果や界面特性が顕著になるため、第一原理計算に基づく物質のパラメータや3.1に述べた界面特性のモデル化を取り入れた高精度な量子輸送計算を行う必要がある。一方で、これらの計算は多くの計算リソースと計算時間がかかるため、回路設計に有効なSPICEパラメータとしてデータを蓄積していくことも重要であり、このような統合的なデバイスシミュレーション技術を構築していくことが望まれる。さらには、2次元材料チャンネルトランジスタの集積回路利用を加速するためのトランジスタ設計、回路設計、レイアウト設計などのEDAツールの研究開発も同時に進めていくことが必要である。

4 | 研究開発の推進方法および時間軸

3章で述べた先端半導体などのデバイス応用に向けた2次元材料の基盤技術に関する研究開発を進めていくための推進方法を図4-1に示す。この推進に当たっては、これまで蓄積してきた2次元材料に関する取組やプロジェクトの知見を最大限に生かすことに加え、研究分野間の連携や、アカデミアと企業との連携、2次元材料基板の作製やデバイス試作・評価ができる共用施設の整備、これらの研究開発活動を支援するファンディングの充実、基礎研究・基盤研究・応用研究のプロジェクト間の連携が必要である。また、プロセス技術・集積化技術に強みを持つ海外の友好国の研究機関との連携強化や、半導体の研究開発に携わる人材の育成に関しても様々な視点で強化していくべきである。以下、それぞれの推進方法の詳細説明とともに、半導体の産業戦略と研究開発戦略との整合、技術開発のロードマップ、今後期待されるプロジェクトに関する時間軸について記載する。

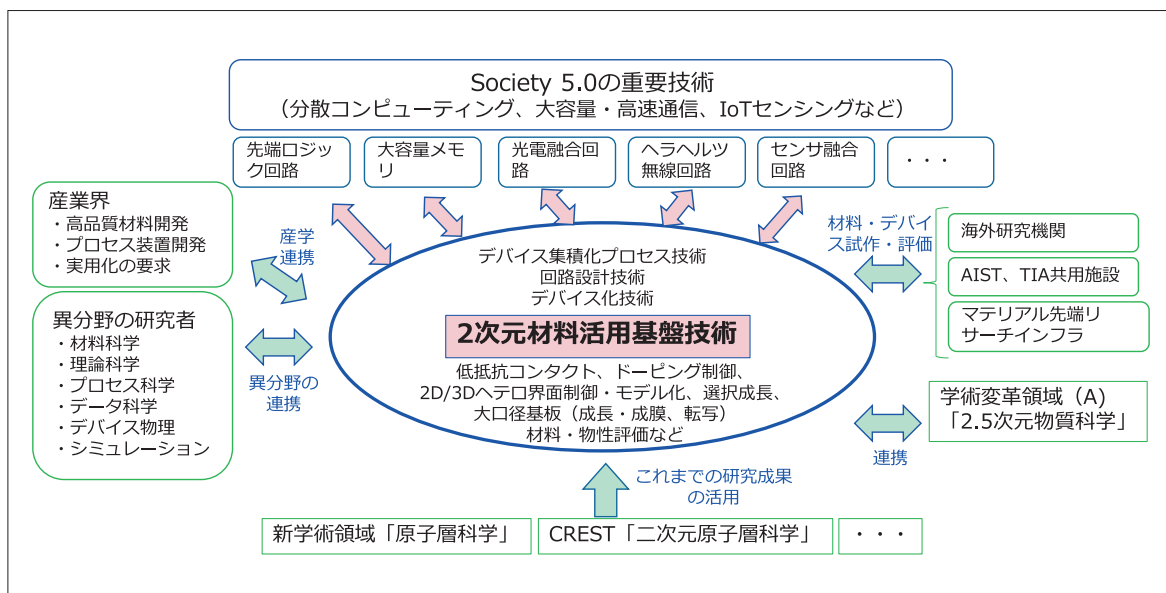


図4-1 2次元材料活用基盤技術研究開発の推進方法

4.1 多様なバックグラウンドの研究者の協力

3章で述べたような研究開発課題を国内で確実に進めていくためには、材料科学、理論科学、プロセス科学、計測・評価技術、データ科学などの2次元材料の材料・基礎科学分野と、デバイス物理、シミュレーション技術、集積化技術、デバイス特性評価・解析技術などのデバイス分野の連携を強化していく必要がある。特に、日本は材料分野では世界をリードしているが、そのデバイス応用、集積回路応用ではこれまでは必ずしもうまくいってなかった。その理由としては様々あると思われるが、集積回路が中心のデバイス研究者は新しい材料の品質や特性が安定しないと興味を示さず、またデバイス作製の基板が手に入らないと研究が始められないといったことが指摘されている。したがって、このような状況の改善を図るために、2次元材料の高品質膜や、それを成膜したウェハの供給体制を早急に構築する必要がある。このようなやり方の例としては、NIMSが高圧合成したh-BNを世界中に供給して、高品質な2次元物質の形成やデバイス応用に結び付けていると

いう成功例がある。後述するような共用施設を整備することで、材料研究者が2次元材料の高品質化や再現性の向上を図るとともに、高品質な2次元材料膜の成膜サービスを行ったり、2次元材料を成膜したSi基板をデバイス研究者に供給したりといったことが有効と考えられる。これにより2次元材料に興味を持つデバイス研究者が、容易に2次元材料やその成膜基板を手に入れて新たなデバイス研究を始めることができるようになる。

また、学会活動における2次元材料およびその応用デバイスに関するコミュニティの形成も重要と考えられる。応用物理学会や固体素子国際会議（SSDM）などで2次元物質に関わるセッションは以前からあるが、これらは材料の研究者が中心で新規デバイス応用に興味を持つデバイス研究者が加わっているという状況であり、集積回路応用を真剣に考えているデバイス研究者は少ない。一方で、2022年3月の応用物理学会で2次元物質の集積回路応用に関するシンポジウムが開催されたが、ここには多くのデバイス・集積回路研究者も参加していた。このため、学会で新たな研究領域の構築などを進めることも重要と考えられる。

4.2 デバイス作製のための共用施設の整備と活用

2次元材料を活用するデバイスの作製や作製プロセス技術の開発を大学内の設備だけで行うことは難しいため、デバイスのプロトタイプを試作・検証ができる共有施設・プラットフォームの整備が重要である。特に、微細加工のプロセス装置、有害なガスも扱える設備、2次元材料が扱える試作ラインなどは研究開発センターとして国の研究機関にまとめる形で整理することが望まれる。

図4-2にデバイスの試作などができるオープンプラットフォームの提案を示す。チャンネル材料がシリコンナノシートからTMDCなどの2次元材料までをカバーする300mm量産・実用化が10年程度後（2035年頃）に始まると仮定した場合、Phase-I（2024～）：150～200mm基板とArF液浸露光を用いた要素材料・プロセス技術およびトランジスタ開発、Phase-II（2027～）：300mm基板でのCMOSセル（トランジスタと

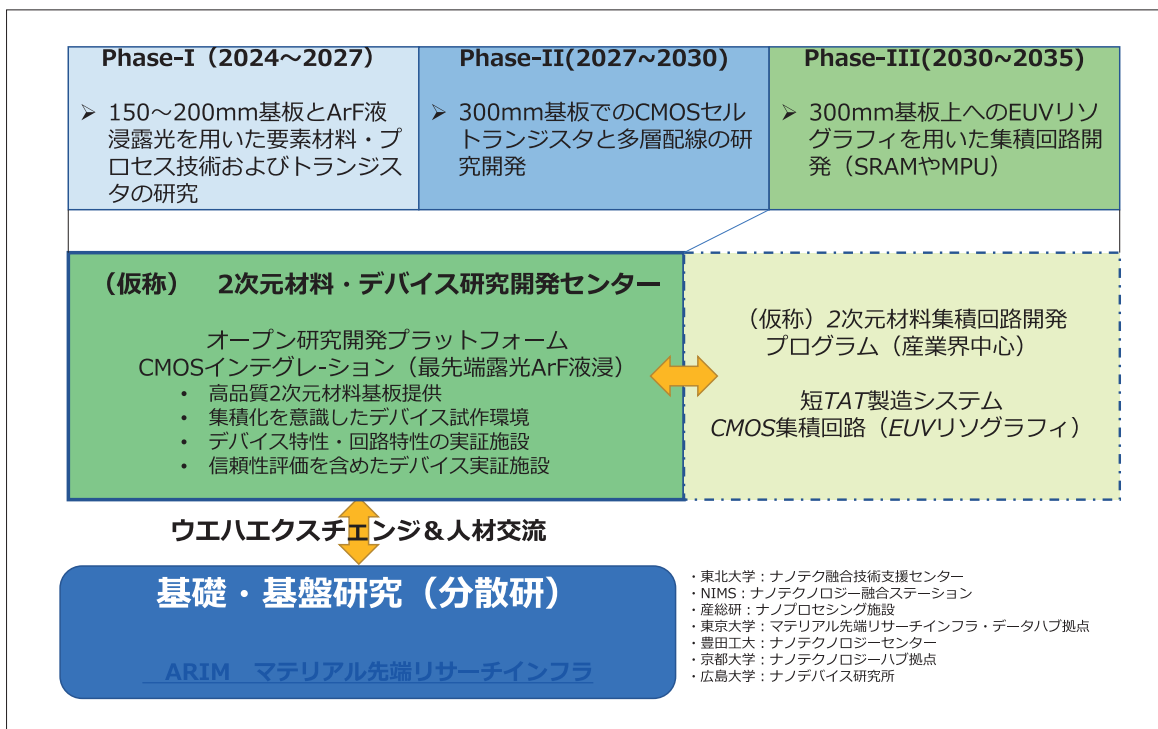


図4-2 プロセス・デバイス・回路試作・検証が可能なオープンプラットフォーム

多層配線、Phase-III（2030年～）：300mm基板上へのEUVリソグラフィを用いた集積回路開発（SRAMやMPU）が必要になると考えられる。この仮説の上立つと、研究開発の効率化を促進する意味において、Phase-IおよびPhase-IIに対応した要素プロセス装置やプロトタイプデバイスの試作・検証ができる共有施設を備えたオープンプラットフォームの整備が必要と考えられる。イメージとしては、2nm世代のGAAFETの研究開発（Phase-II）に対して実施されている産総研SCR（ポスト5G・前工程プロジェクト [https://unit.aist.go.jp/cpo-eleman2022/ASMA/ 先端半導体製造技術コンソーシアム]）の2次元材料対応版といった位置づけである。仮称として「2次元材料・デバイス研究センター」としている。この研究センターでは、基礎・基盤研究成果も取り入れながら、高品質の2次元材料結晶基板の提供、集積化を意識したデバイス試作を可能とし、さらにデバイス特性・回路特性の実証施設、信頼性評価を含めたデバイス実証施設の設置まで拡張し、そのフレキシブルな運用体制を構築する。量産・実用化（Phase-III）への展開も鑑み、産業界の参画や、文科省・経産省連携のオペレーションも期待される。

基礎・基盤研究に関しては、このオープンプラットフォームに対する分散研と位置づけ、基礎研究および応用研究の結果（試料・デバイス構造、物性値・デバイス特性の測定結果など）に自由にアクセスできるような開かれた研究・開発環境の構築を構築する。特に、文科省の2021年から始まった10年プログラムとして「マテリアル先端リサーチインフラ（ARIM）事業」[https://nanonet.mext.go.jp/]との連携を推進することが肝要と考える。ARIMは日本全国に分散した25の大学・国研で構成されており、先端の製造、計測、物質合成の装置群を用いて、日本のアカデミアと産業界で実施されている材料・デバイス研究の支援を行うことを目的としている。25の参加機関の中で、半導体の集積回路を扱う事が可能なラインを持っているのは、東北大学、NIMS、産総研、東京大学、豊田工業大学、京都大学、広島大学などであり、半導体集積回路製造の実習教育や、半導体の正規のラインでは導入が難しい新材料を用いたデバイス研究が可能としている。これらの研究開発機関との有機的な連携で、2次元材料に関する、材料・製造プロセス・デバイス技術とその研究者・技術者の人材育成が期待される。

4.3 様々なレベルでのファンディングとプロジェクト間の連携

（様々なレベルでのファンディング）

2次元材料を用いた半導体集積回路を開発・実用化するには、材料開発、開発材料や界面の物性・機能解明などの基礎研究から、高品質な結晶成長・成膜基盤技術の開発、デバイス作製プロセス技術の開発、結晶成長装置やプロセス加工装置などの装置開発、結晶成長の大口径化、試作拠点を活用したプロセスインテグレーション技術の開発、新規デバイスの評価技術、新規のデバイスを用いた回路設計技術の開発まで、様々な階層の技術開発を一貫して進めていくことが重要である。

基礎研究分野では、新たなアイデアや発想に基づくJSPSの科研費に加えて、重要な課題の克服に向けた挑戦的な基礎研究（あるいは目的基礎研究）が必要であり、2次元材料の有力研究者を結集できるJSTのCREST/さきがけ領域の立ち上げなどが非常に重要である。CREST/さきがけ領域の立ち上げは、現在の研究者のネットワーク化を促進するだけでなく、将来の本分野を担う若手研究者の育成にも有効であると考えられる。これらの基礎研究成果を、経済・社会的にインパクトのある出口やイノベーションに向けて具体的な機能を実現するデバイス開発に結びつけるファンディングも重要である。ここでは、ロードマップや将来の市場動向からバックキャストした挑戦的なPoCを設定し、材料からデバイス、プロセス、回路、システムまでのサプライチェーンを担うアカデミア、国研、企業を結集したチームを構成し、トップダウン的に研究を推進する大型の予算のプロジェクトを構築することが望まれる。

これらの基礎研究分野で得られた成果を、実際のチップ試作によって性能検証するためには、新規材料/

プロセスの導入を可能とする試作拠点の提供が重要となる。上記4.2で述べられた試作拠点の整備に加え、試作費用を手当てできるファンディングも必要と考えられる。試作拠点の整備としては、まずはある程度の大きさの2次元材料の基板を作製してデバイスの研究者に供給することを考えると、結晶成長装置の作製に数十億円、TMDCなどのプロセスラインへの導入に必要な装置の改良などに50億円程度、プロセスラインの維持に年間10億円程度が必要になると考えられる。試作費用としては、デバイス単体の試作であれば、年間数千万円から1億円程度でよいと考えられる。さらに、目標とする回路機能から、2次元材料を用いた簡単な半導体集積回路を設計し、性能検証をトップダウン的に研究推進するプロジェクトへのファンディングも必要と考えられ、この場合には年間数億円程度の試作費用になる。これらのプロジェクトでは、連携させることが重要であり、そのための仕組み・体制の工夫が必要である。特に、国内に2次元材料を用いた集積回路の試作設備・施設が整備できていない段階では、先端的な集積化プロセスラインと集積化プロセス技術を持つ海外研究機関との連携・国際共同研究は必須であり、海外でのデバイス試作・集積回路試作ができる予算規模の大きな国際共同研究プロジェクトの設計が望まれる。

これらの新たなプロジェクトを進める上では、長期的な視点や人材育成の視点で資金配分にも注意しておく必要がある。研究設備や直接研究に関わる原材料、試作などの経費の他に、共同で利用する研究プラットフォームの形成、国内外の研究者・研究機関との連携・交流を進めるための費用、若手の教育や人材育成を行うための費用なども用意しておくことが望まれる。

以上の取り組みで基盤の材料・デバイス技術が確立されたのちに、実用化研究への橋渡しを行うには、上記4.2で述べた300mm試作ラインでプロセスインテグレーション技術開発を行うことが必須であり、経産省・NEDOのファンディングが期待される。

(国内の文科省/経産省プロジェクトとの連携)

このような多くの階層の研究開発を効率的に行うためには、ボトムアップ型の基礎研究（JSPS/科研費、JST/CREST・さきがけ）から、トップダウン型の基礎研究、NEDO/経産省主導の応用研究への切れ目のない研究開発支援が必要である。特に半導体デバイスの研究開発から集積回路技術へと系統的に進めるには、最先端装置を導入した試作ライン、プロセスインテグレーション技術開発のための300mm試作ラインの整備が必須であり、文科省と経産省の府省連携による持続的な研究開発支援ファンド・プログラムの新設が重要であると考えられる。具体的には、文科省関係では、X-nics三拠点（東大、東北大、東工大）とアカデミアの基礎研究の連携や、2次元材料のさらなる高機能化・新機能開拓を目指した新学術領域「原子層科学」2.5次元との連携が重要である。また経産省・NEDOプロジェクトでは、「ポスト5G情報通信システム基盤強化研究開発事業/先端半導体製造技術の開発」との連携が重要であり、積極的に進めていくべきであると考えられる。

これまでは半導体に関するプロジェクトは主に経産省・NEDOで行われてきたが、最近では半導体研究を支える環境整備としてマテリアル先端リサーチインフラや、X-nicsなどの拠点での人材育成など文科省のプロジェクトとの連携も期待が大きくなっており、2次元材料の研究開発においてもなるべく早い段階から両省での情報共有を行い、連携・協力体制を構築していくことが重要である。

4.4 産学連携と日本の強みを活かした海外連携

(産学連携)

先端半導体技術の研究開発には、新しい材料の物性や成長メカニズム、デバイス特性の理解、それらのモデル化などの基礎的な研究を行うアカデミアと、結晶成長装置やデバイス作製プロセス技術、デバイスの高性能化などを行う産業界との連携が重要であり、65nm世代までは日本でも学会活動や経産省・NEDOのプ

プロジェクトなどで進められてきた。しかし、半導体メーカーがその先の技術開発を断念したために、現在は先端半導体における産学連携は希薄になっている。一方で、材料メーカーや装置メーカーは世界の半導体メーカーとの共同研究やコンソーシアムに参加して、世界の動向を把握している。2次元材料の先端半導体への利用にあたっては、新たな材料の成膜技術や基板作製技術、プロセス技術が重要であることから、材料・評価関係のアカデミアと材料メーカー、装置メーカーとの連携を強化していくことが重要である。

これまでの世界における半導体集積回路の研究開発においては、アカデミアの個別のシーズ技術が直接的に企業に技術移管されるというのはあまりないが、産学連携・アカデミアの貢献により新たな技術が導入されてきた多くの活動事例がある。例えば、現在の最先端半導体デバイス・プロセス技術開発で世界を牽引しているコンソーシアム imec はベルギーのルーベン大学が作った組織であり、米国のコンソーシアム Albany Nano Tech はニューヨーク州政府とニューヨーク州立大学が主導しており、大学が作った組織・施設で産学連携が進められている。また、半導体集積回路技術の開発の方向性を決める国際的な半導体ロードマップ作成活動は ITRS (International Technology Roadmap for Semiconductors : 1998年～2015年) および IRDS (2016年～) として進められてきたが、これらは日米欧を中心とする世界の大学・国研・企業の研究者・技術者がそれぞれの知見を持ち寄り、共同して作成してきている。日本での例としては、2003年から Selete を中心に「high-k Net」の活動が産学連携で進められ、high-k ゲート絶縁膜の様々な物性の理解が進んだ。シリコンチャネルの移動度を向上させるために、ソース・ドレイン領域の絶縁膜の組成を制御してチャネルに歪を加えるストレスエンジニアリングが適用されたが、この時には歪を掛けた時の半導体のサブバンド構造の理論計算でアカデミアが大きく貢献した。また、不揮発性メモリの分野では、MRAM (Magnetic Random Access Memory) のトンネル絶縁膜として Al_2O_3 に代わる MgO が産総研から提案され (2004年、JST さきがけ研究)、巨大なトンネル磁気抵抗効果 (TMR) が得られて MRAM の実用化に繋がっている。

産学連携の場としては、先に述べた学会での2次元材料デバイスに関する新たなコミュニティを作るとともに、大学や産総研・NIMSなどの国研の中に2次元材料を扱えるクリーンルームを整備し、文科省・JSTや経産省・NEDOのプロジェクトとして産学が一緒に研究開発を行う仕組みを入れることが考えられる。また、2次元材料の成長や特性がある程度制御できるようになった段階で、2次元材料に興味を持つデバイスメーカーも含めたコンソーシアムを作って産学連携を拡大・強化していくことが期待される。

(日本の強みを活かした海外連携)

大きな市場が期待される先端ロジック半導体などのビジネスにおいて、40nm 世代以降のプロセス技術を持たない我が国にとっては、先端半導体集積回路への再参入は大変困難な状況にある。しかし、最近になって、経産省の「半導体戦略」を基に、Beyond 2nm の次世代半導体技術の確保に向けて、次世代半導体プロジェクトとして研究開発拠点 LSTC と Rapidus による量産製造拠点が開始され、その活動の中で imec、IBM との 2nm 世代での提携が発表された。これは、2nm 世代のさらにその先の世代での実用化を狙う2次元材料の研究開発にとっても、重要な産業政策になってきている。このような産業政策と整合する形で、2次元材料の研究開発戦略として海外連携を考えていく必要がある。

TMDC などの2次元材料の物性や他材料との界面の特性はまだ解明できていない学理も多く、日本だけでこれらを解明して行くのは難しいため、基礎研究領域においてはより多くの海外との連携が重要である。これまでに、新学術研究領域「原子層科学」、CREST「二次元機能性原子・分子薄膜の創製と利用に資する基盤技術の創出」では EU の Graphene Flagship との連携を実施してきたが、このような活動は物性物理、評価解析の理解を深めることで有効に機能してきた。今後も同様な基礎研究に関する国際連携を継続していくべきであろう。また、Graphene Flagship では、2020年に2次元物質のデバイス試作と応用に向けたパイロットライン (The 2D Experimental Pilot Line : 2D-EPL) の構築が決定され、imec、AIXTRON などのメンバーの協力で2024年の稼働を目指しており、基礎研究領域だけでなくデバイス応用研究も連携できる素地ができつつあり、さらに連携を促進することが望まれる。

デバイス応用の研究開発にとっても、海外との連携は不可欠である。2次元材料を活用したデバイスの作製には、不純物ドーピング、ゲート絶縁膜形成、コンタクト抵抗低減などのプロセス技術の研究開発課題が山積であるが、先端的なプロセス技術を持っていない日本にとっては単独で取り組むのは難しい。また、デバイス特性の理解や性能改善にはシミュレーションを活用することが有効であるが、デバイスシミュレーションの研究開発やシミュレータの開発を行う国内の研究者は少ない。このため、国内に限らず海外に有望な研究機関・研究者が存在すれば積極的にアプローチすべきである。この時には、日本の強み（材料、結晶成長・成膜、デバイスなどの技術）を活かし、微細なトランジスタの作製プロセス技術に優れた欧州、米国、台湾、韓国など友好国の海外研究機関との連携の構築が望まれる。例えば、300mm ウェハでTMDCをチャンネルにしたトランジスタの試作を行っている欧州の半導体の研究開発拠点 imec との連携は非常に魅力的であり、集積化プロセスの問題点や課題を明確にして、基盤技術の研究開発にフィードバックすることが期待される。また、台湾との連携も魅力的と考えられる。最先端半導体の製造でトップの台湾のTSMCの周りには国立の研究機関である工業技術研究院（ITRI）や国家実験研究院 台湾半導体研究センター（TSRI）、台湾大学、清華大学などが存在し、TSMCからのサポートなどで最先端の半導体技術の研究開発が進められており、これらとの連携は日台ともに互いの優れたところを学ぶ機会になると考えられる。JSTではすでにAIチップ関連で日台研究交流のプログラムが進められており、このような国際連携の仕組みを2次元材料のデバイス研究に展開することが望まれる。集積回路の設計に重要となるデバイス・モデルの構築やシミュレーション技術に関しては、例えば米国のPurdue大学ではTMDCトランジスタモデルの検討を開始しており、このようなモデル化・シミュレーション技術を有する大学との連携も必要と考えられる。

上述した機関と海外連携を行うに当たっては、多様なデバイス構造の試作、新たな成膜装置・エッチング装置などを含む集積化プロセスの開発、デバイスシミュレータや設計ツール開発などを進めることができる予算の確保が重要であり、2次元材料活用基盤技術創出の大規模な国際共同プログラムの推進が望まれる。

4.5 人材育成

半導体サプライチェーンに大きなゆがみが生じている今日において、「半導体は国家なり」と称されるほどに半導体は戦略物資であり、それに携わる人材の戦略的育成・確保は世界各国の最重要課題である。特に、日本の半導体産業が凋落してしまった現状を鑑み、次世代半導体技術を基にした付加価値の高い情報サービスを社会に提供して半導体産業の再興を支えるためには、人材育成に関する抜本的な取り組みの強化が必要不可欠であり、日本の喫緊の課題である。

しかし、日本単独での半導体人材育成では不十分であり、台湾、米国、英国、ベルギー、ドイツ、オランダ、日本などを中心とした革新的国際研究ネットワーク強化、世界トップレベルの研究拠点形成とそれに基づく若手人材派遣交流の推進を果たすための日本側の制度・プログラムの充実化が急務である。2次元材料の高品質成膜・基板供給などで世界トップレベルの成果を創出するためにも、企業間連携や企業の人材育成を支えるオープンイノベーションを支援していく枠組みも必要である。そのためには、近未来社会で必要になる半導体技術を想定して、国内外の様々な組織が連携して研究開発ができる拠点として、国内での半導体の研究開発センターの設立や海外企業の研究所の国内誘致など、半導体分野への就業への魅力を増大させる必要がある。

戦略物資としての半導体に関する重要な研究開発情報の保護のためには、産官学連携・国プロの重要度による研究員の研究テーマの戦略的切り分けが必要となる。半導体教育人材が不足している現状を鑑み、半導体分野を直接研究対象とする若手大学・高専教員を増やすためには、産官学を連携して資金的・研究環境的サポートやポスドク・学生の支援を行うことは必須である。さらに、かつての日本の半導体産業をリードした

企業出身の熟練者をアドバイザーとして招へいする組織を作り、定期・不定期の戦略ワークショップや大学・高専教育へ参加させることで、直接的な指導を受ける機会を設けることが望ましく、そのための半導体人材教育組織の抜本的な改革が急務である。そのためには、大学間、大学と産業界との間の垣根の除去、クロスポイントメント制度などを活用した人材流動化、半導体教育システムの再構築などが必要となる。大学・高専機構が協力して、全国規模での（半導体の製造から企画・応用利用までをカバーする）「半導体人材育成事業」も必要であり、日本における半導体人材を増やし、半導体産業のボリュームゾーン人材やトップ人材の輩出を目指すためにも、産官学一体となった半導体教育の高度化・先鋭化・強靱化を目指す必要がある。

さらに、材料からデバイス、プロセスの知識と技術を有し、世界に注目されるような若手半導体人材の育成に加え、先端半導体の使い方や応用を提案したり、ユーザーとの間を繋げたりするような応用指向の人材の強化も期待される。研究者自身に応用分野や将来のビジネス展開までを考えさせることは難しく、社会の動向やICT分野の動向を把握し、将来のビジネスに対する目を持ち、ユーザー企業のニーズを把握して連携を図り、先端半導体の応用を提案できるような人材を育てていくことは、日本の半導体ビジネスの拡大を図っていく上でも重要である。

4.6 時間軸

先に述べた2次元材料を利用した先端半導体デバイスの基盤技術の研究開発を進めていくに当たっては、すでに公表されている経産省の「半導体戦略」、2021年度に開始されているNEDOのプロジェクト「ポスト5G情報通信システム基盤強化研究開発事業」（ナノシート先端半導体開発）に整合する形で、その次の世代の基礎研究・基盤技術研究開発を先行的に行い、産業戦略（応用研究）に繋げていくことが重要である。そのためには、図4-3に示すような産業戦略（応用研究）と研究開発戦略（基礎研究）の視点で先端半導体研究開発の全体像を把握するとともに、それぞれの技術の利用できる時期を示したロードマップを共有して進める必要がある。

2章の現状と問題点のところすでに述べたが、2021年の経産省の「半導体・デジタル産業戦略」、「半導体戦略」により半導体技術の強化の方向性が示され、NEDOの「ポスト5G」プロジェクトの中でBeyond 2nmの次世代半導体技術の確保に向けた研究開発が始まっている。これは2030年頃の実用化を目指したものであり、さらにその先の2035年頃に期待されるサブ1nm世代の技術へとつながっていく。しかし、ここではチャネル材料がこれまでのシリコンから2次元物質などの2次元材料に代わっていく可能性が高く、非連続的な技術開発が求められる。そのため、研究開発戦略としてはそこで必要になる材料やデバイスの基盤技術について基礎研究を10年程度先行的に行う必要がある。2次元物質の基礎研究は2013年度頃から新学術領域「原子層」やCREST「二次元」で進められてきており、さらに2021年からは学術変革領域「2.5次元」も始まっているが、デバイス応用や先端トランジスタ応用を目指した大規模なものはまだない。JSTのX-nicsや未来事業の一部のテーマとしては行われているが、多様な研究分野の多くの研究者が参加できる2次元材料に関する統合的なプロジェクトが求められる。例えば、2次元材料のデバイス応用を目指した基盤技術の研究開発を目指してCREST・さきがけのプロジェクトの早期の推進が望まれる。また、2次元材料の様々なデバイスのプロトタイプを試作や特性の検証を行えるような施設や研究拠点の整備を並行して進め、新たなデバイス・集積回路の試作と検証が迅速にできるようにすることが望まれる。これらを活用して多くのアカデミアが2次元材料のデバイス基盤技術を研究開発することで、デバイス応用に向けた多くの学術的な知見や基盤技術、基本特許などを取得するとともに、産業界に対してそのデバイスの優位性や魅力を示していくことが期待される。このような活動が進むことにより、産業界とアカデミアの連携によるサブ1nm世代の技術開発を見据えた実用化のプロジェクトへと繋がっていくと考えられる。

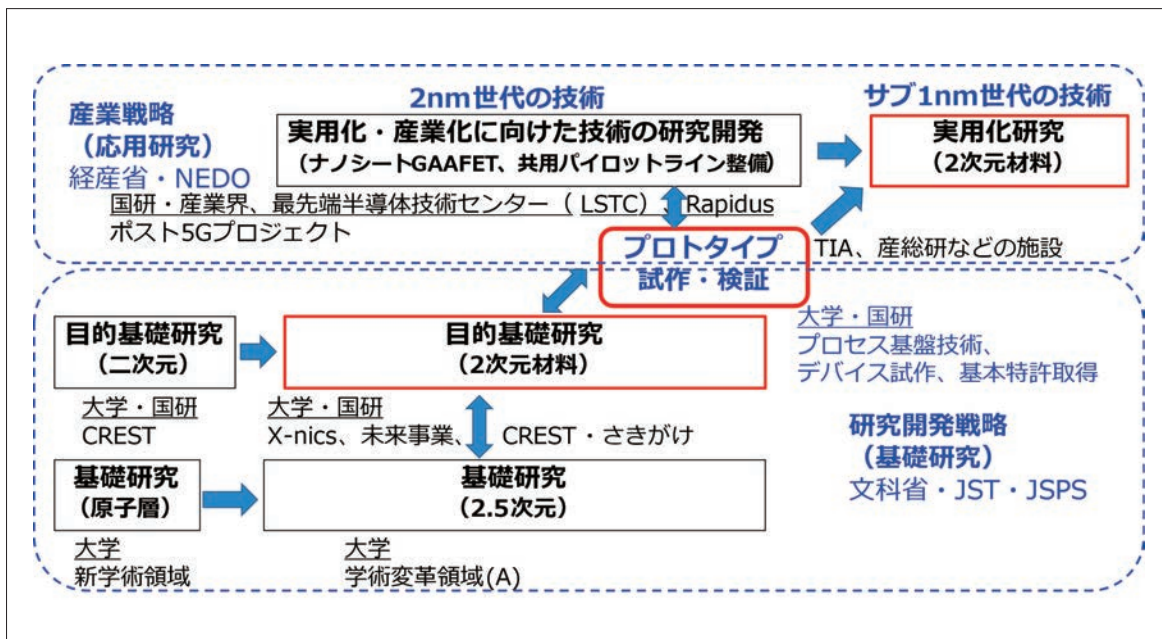


図4-3 2次元材料活用基盤技術研究開発の推進方法

具体的な年代と目標をアカデミアと産業界で共有するには、ロードマップの作成が有効である。半導体集積回路・システムの国際ロードマップについては、IEEEのIRDSに示されており、これに沿った形で、2次元材料に関する重要な技術開発の項目を記載していく必要がある。図4-4にはその例として、JST-CRDSで検討している2次元材料のデバイス応用に向けた研究開発ロードマップを示す。2次元材料のチャネルを用いた3次元構造のトランジスタが実用化されることが期待される2035年～2040年頃までの時間軸（横軸）に対して、その研究開発で必要となる技術項目として、計測・評価、材料（2次元材料の機能、結晶成長・成膜）、プロセス、デバイス応用として単体デバイス、集積回路を縦軸に示している。また、その上にはデバイス・集積回路を活用する応用領域を示している。本提案で進めるべき2次元材料基盤技術の研究開発領域については赤の点線で示している。



図4-4 2次元材料のデバイス応用に向けた研究開発ロードマップ案

技術レイヤーの研究開発については、より高性能・低消費電力なデバイスを実現するために必要な基盤技術を記載しているが、集積回路と単体デバイスに対する要求項目は、半導体集積回路の国際ロードマップ (IRDS)、および次世代無線通信のBeyond 5G/6Gから7Gといった世代の進展から予測したものである。デバイスレイヤーの下のプロセス技術、成膜技術、材料技術については、次の世代 (3年～5年) のデバイス構造や集積回路の要求に必要と考えられる項目を挙げている。計測・評価技術については、2次元材料を用いたデバイスの性能向上や高集積化、信頼性の向上に重要となる評価項目を示している。

図4-5には研究開発ロードマップ案の図に重ねて、2次元材料およびそれを用いたデバイスに関連してすでに実施されているプロジェクト (オレンジ色) と、今後必要と考えられるプロジェクト (黄色) について記載している。今後必要になるプロジェクトとしては、文科省・JSTが主となる基礎・基盤技術の研究開発プロジェクト、および経産省・NEDOが主となる応用・実用化研究の研究開発プロジェクトが考えられる。基礎・基盤技術の研究開発プロジェクトは単体デバイスまでの試作・性能実証までが主になると考えられるため、単体デバイスより下の技術レイヤーを含む形にしている。もちろん、応用・実用化研究についても集積回路より下の技術レイヤーの研究開発も含まれるが、便宜上このような表示にしている。

先にも述べたように、文科省・JSTのプログラムと経産省・NEDOのプログラムは成果の達成時期を考慮した連携が重要である。例えば、JSTの2次元材料の基礎・基盤技術のプロジェクトの成果をNEDOのプロジェクトに活かすこと (上向きの矢印) や、NEDOのプロジェクトで出てきた基礎・基盤技術の課題をJSTのプロジェクトの課題として提示すること (下向きの矢印) が期待される。このような連携を継続することで、我が国の基礎・基盤研究から応用・実用化研究のギャップを解消していくことが望まれる。

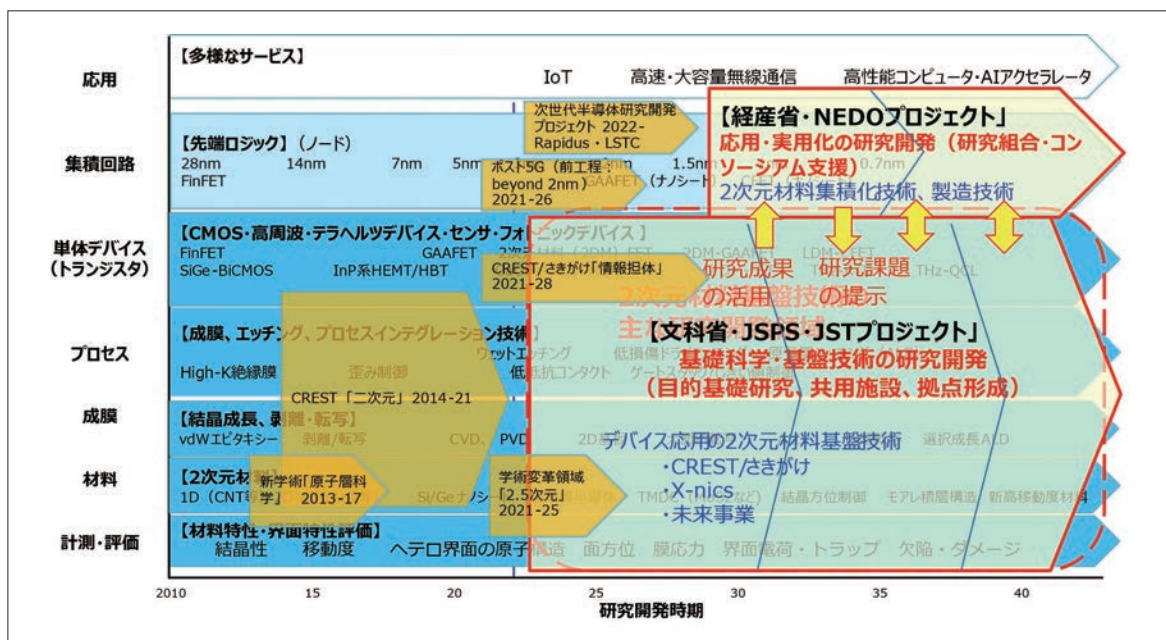


図4-5 2次元材料関連プロジェクトとプロジェクト間連携

付録1 検討経緯

- ・JST 研究開発戦略センター（CRDS）では、令和4年度に戦略プロポーザルを作成すべきテーマの候補を、CRDS戦略スコープ2022検討委員会を経て選定し、令和4年5月に検討チームを発足させた。その後、検討チームにおいて提言作成へ向けた調査・分析・検討を重ねた。
- ・チームの活動では、調査によって国内外の研究開発動向・技術水準を明らかにしながらスコープの焦点を絞り、その過程において提言の方向性を検討するため、以下の有識者へのインタビュー・意見交換を実施し、さらに研究開発戦略検討会（詳細後述）を開催した。
- ・その上で、先端半導体技術強化に向けた低次元マテリアル活用基盤技術に関する研究開発に関してCRDSが構築した仮説を検証する目的で、科学技術未来戦略ワークショップ（詳細後述）を開催した。ワークショップの結果は報告書（CRDS-FY2022-WR-08）として、令和5年2月にCRDSより発行した。
- ・CRDSでは以上の調査・分析の結果と、ワークショップにおける議論などを踏まえて、令和5年3月に本戦略プロポーザルを発行するに至った。

○インタビュー・意見交換を実施した識者（敬称略、所属・役職は実施時点）

吾郷 浩樹	九州大学 グローバルイノベーションセンター・教授
安藤 淳	産業技術総合研究所 デバイス技術研究部門・研究部門付
齊藤 雄大	産業技術総合研究所 製造領域研究企画室・企画主幹
張 文馨	産業技術総合研究所 デバイス技術研究部門・研究員
桐谷 乃輔	東京大学 大学院 総合文化研究科・准教授
黒田 忠広	東京大学 大学院 工学系研究科・教授
丹羽 正昭	東京大学 大学院 工学系研究科・シニアフェロー
長汐 晃輔	東京大学 大学院 工学系研究科・教授
黒部 篤	元 JST CREST[二次元] 研究総括
長田 実	名古屋大学 未来材料・システム研究所・教授
吹留 博一	東北大学 電気通信研究所・准教授
若林 整	東京工業大学 工学院・教授
町田 友樹	東京大学 生産技術研究所・教授
宮田 耕充	東京都立大学 大学院 理学研究科・准教授
森 伸也	大阪大学 大学院 工学研究科・教授
早川 崇	東京エレクトロン 技術マーケティング部・部長
入沢 寿史	産業技術総合研究所 デバイス技術研究部門・主任研究員
齋藤 理一郎	東北大学 大学院 理学研究科・教授
西山 彰	キオクシア メモリ技術研究所・技監
遠藤 哲郎	東北大学 大学院 工学研究科・教授
小林 正治	東京大学 生産技術研究所・准教授
高木 信一	東京大学 大学院 工学系研究科・教授
佐藤 信太郎	富士通 富士通研究所 量子研究所・所長
久本 大	日立製作所 電動化イノベーションセンタ・技術顧問
木村 紳一郎	日立製作所 計測イノベーションセンタ・技術顧問
尾辻 泰一	東北大学 電気通信研究所・教授

○研究開発戦略検討会

「低次元材料活用基盤技術の創出」

開催日時：2022年7月30日（土）13：30～18：00

開催形式：リアル（JST東京本部別館2階セミナー室）とオンライン（Zoom）のハイブリッド形式

プログラム（敬称略）

13：30～13：35	開会挨拶	曾根 純一（JST CRDS）
13：35～13：55	検討会の開催趣旨と骨子案の説明	馬場 寿夫（JST CRDS）
13：55～15：10	（話題提供1）低次元材料への期待	
	・2.5次元物質科学：2次元物質研究のその先へ	吾郷 浩樹（九大）
	・ナノシートの精密集積とその応用	長田 実（名大）
	・次世代高周波・光デバイス/回路応用に向けて	吹留 博一（東北大）
15：30～16：20	（話題提供2）低次元材料基盤技術の現状と問題点	
	・遷移金属ダイカルコゲナイドの成膜とヘテロ構造形成	宮田 耕充（都立大）
	・先端半導体応用に向けた基盤技術	長汐 晃輔（東大）
16：40～17：55	総合討論	ファシリテーター：勝又 康弘（JST）
	1. 我が国が強化する応用・技術領域	
	2. 重要な研究開発課題	
	3. 研究開発体制（多様な分野の融合、研究拠点、産学官連携、海外連携など）	
	4. その他（学会の役割、人材育成など）	
17：55～18：00	閉会挨拶	曾根 純一（JST CRDS）

話題提供者

吾郷 浩樹	九州大学 グローバルイノベーションセンター 教授
長田 実	名古屋大学 未来材料・システム研究所 教授
長汐 晃輔	東京大学 大学院 工学系研究科 教授
吹留 博一	東北大学 電気通信研究所 准教授
宮田 耕充	東京都立大学 大学院 理学研究科 准教授

コメンテーター

安藤 淳	産業技術総合研究所 デバイス技術研究部門 研究部門付
黒田 忠広	東京大学 システムデザイン研究センター センター長
西山 彰	キオクシア メモリ技術研究所 技監
早川 崇	東京エレクトロン コーポレートイノベーション本部 部長
若林 整	東京工業大学 工学院 教授

○科学技術未来戦略ワークショップ

「低次元材料のデバイス応用に向けた基盤技術の創出」

開催日時：2022年11月12日（土）9：30～16：00

開催形式：リアル（TKP市ヶ谷カンファレンスセンター バンケットホール9A）とオンライン（Zoom）のハイブリッド形式

プログラム (敬称略)

- 9:30～9:35 開会挨拶 曾根 純一 (JST CRDS)
- 9:35～9:55 ワークショップの開催趣旨と骨子案の説明 馬場 寿夫 (JST CRDS)
- 9:55～11:10 (話題提供1) 低次元マテリアルの新機能性創出とデバイス応用
- ・2次元異種材料のヘテロ接合形成と新機能創出 町田 友樹 (東大)
 - ・2次元原子薄膜ヘテロ接合材料のテラヘルツ波デバイス応用 尾辻 泰一 (東北大)
 - ・低次元マテリアルのデバイスシミュレーション 森 伸也 (阪大)
- 11:20～14:15 (話題提供2) 半導体集積回路における極薄チャンネル形成の要求
- ・極薄膜チャンネルの移動度低下と最適チャンネル材料 高木 信一 (東大)
 - ・エレクトロニクス応用を目指した2次元物質と2.5次元物質の創製 吾郷 浩樹 (九大)
 - ・ゲートスタックとしきい値制御技術 若林 整 (東工大)
 - ・ALE/ALDが可能な2次元材料 安藤 淳 (産総研)
 - ・3次元集積およびメモリデバイスへの極薄膜材料の可能性～酸化物半導体と遷移金属ダイカルコゲナイドを中心に～ 小林 正治 (東大)
- 14:25～15:55 総合討論 ファシリテーター: 林 喜宏 (JST)
1. 戦略的に強化すべきデバイス応用・産業領域とボトルネック研究開発課題
 2. 必要な研究支援策と効果的な研究開発体制 (研究拠点、産学・海外連携など)
 3. その他 (人材育成、情報の保護など)
- 15:55～16:00 閉会挨拶 曾根 純一 (JST CRDS)

話題提供者

- 吾郷 浩樹 九州大学 グローバルイノベーションセンター 教授
- 若林 整 東京工業大学 工学院 教授
- 高木 信一 東京大学 大学院 工学系研究科 教授
- 安藤 淳 産業技術総合研究所 デバイス技術研究部門 研究部門付
- 小林 正治 東京大学 生産技術研究所 准教授
- 町田 友樹 東京大学 生産技術研究所 教授
- 尾辻 泰一 東北大学 電気通信研究所 教授
- 森 伸也 大阪大学 大学院 工学研究科 教授

コメンテーター

- 長汐 晃輔 東京大学 大学院 工学系研究科 教授
- 西山 彰 キオクシア メモリ技術研究所 フェロー
- 横山 直樹 富士通 名誉フェロー
- 金山 敏彦 産業技術総合研究所 特別顧問

付録2 国内外の状況

○日本の状況

JST-CRDSより戦略プログラム「2次元機能性原子薄膜による新規材料・革新デバイスの開発」(2012年3月 CRDS-FY2011-SP-10)が発表されている。この戦略プログラムは、当時注目を集めていたグラフェンを始めとする2次元機能性原子薄膜を用いた新規材料やナノシステム・革新デバイスの研究開発に関するものであり、具体的な研究開発課題として、「アプリケーション・ニーズに応える機能性原子薄膜による革新デバイス基盤技術の創出」と「シーズ技術の先鋭化に資する新構造原子薄膜の機能研究とデバイス設計学理の創出」の2点を挙げている。アプリケーションを目指した研究開発はグラフェンを代表として、透明電極、導電性薄膜、LSI用配線、センサ、高速電子デバイスなどを挙げている

その後、科研費 新学術領域「原子層科学」が2013～17年度に実施された。ここでは、グラフェンを中心として「原子層が創る科学」を探索することを主目的として研究が行われ、バレーホール効果、2次元高温超伝導、超伝導接合や弾道的な電子の運動などの2次元材料に特徴的な現象を確認した。また、合成方法としては、従来の「剥離による原子層物質合成」でなく、気相成長や SIC の熱分解法による高品質の原子層物質の合成方法を実現した。アプリケーションとしては、2次元電界効果トランジスタ、有機 EL、NEMS、THzアンテナなどに取り組んでいる。

CREST「2次元機能性原子・分子薄膜の創製と利用に資する基盤技術の創出」(2014～21年度)では、原子・分子の2次元的構造、あるいはそれと等価な2次元的電子状態を表面・界面等に有する機能性を持った薄膜物質である2次元機能性原子・分子薄膜の様々な応用に向けた基礎学理の構築を目指した研究開発に取り組んだ。また、革新的部素材・デバイスへの応用を視野に入れ、トランジスタ動作の実証研究にも取り組んでいる。

現在は、科研費 学術変革領域(A)「2.5次元物質科学：社会変革にむけた物質科学のパラダイムシフト」(2021～25年度)が実施されている。ここでは、2次元物質が、材料や角度を任意に制御しながらファンデルワールス相互作用で積層できることや、積層した層間に特異的な2次元ナノ空間が存在することから、新奇な物理現象の発現や物質創出の場となり得ることに注目している。また、多種多様な2次元物質に、「集積の自由度」と「2次元ナノ空間」という新たな考えを導入した「2.5次元物質科学」という概念を提案している。具体的には、2次元物質の高品質膜成長・ウェハ合成、ファンデルワールス積層(異種積層、ツイスト角)や2次元物質に挟まれた特異なナノ空間の科学的理解に基づく新物性・機能などの探求を進めている。

また、NEDOエネルギー・環境新技術先導研究プログラム「2次元材料の産業化に向けた革新的製造プロセスとデバイス作製基盤技術の開発」(2021年～)では 産業創出に結びつく技術シーズとして、絶縁基板上大面積高品質グラフェン成膜技術の開発と光デバイス応用、2次元マテリアルの高速・液相コーティング技術の研究開発、高機能テープを用いた2次元マテリアルの革新的転写法の開発を行っている。

さらに、文科省は、「次世代X-nics半導体創生拠点形成事業」(2022～2031年)を開始した。ここで、異なる分野の掛け算(例：新しい材料 x 集積回路)から生まれる新たな切り口“X”による研究開発と将来の半導体産業を牽引する人材育成の推進を目指しており、「Agile-X～革新的半導体技術の民主化拠点」(代表機関：東京大学)、「スピントロニクス融合半導体創出拠点」(代表機関：東北大学)、「集積 Green-niX 研究・人材育成拠点」(代表機関：東京工業大学)が採択されている。

最近では、Pacifichem2021、物理学会、応用物理学会、高分子学会などの材料系主要学会の各講演会でも、2次元材料・低次元材料それを用いたデバイスに関するシンポジウムなどが数多く開催されており、研究開発が活発化している状況である。

○米国の状況

ブルックヘブン国立研究所 ナノ機能材料センター（Center for Functional Nanomaterials：CFN）は、材料とプロセスのナノスケールでの特徴的な特性を研究しており、国のエネルギー問題に対処するためのナノマテリアルの科学を前進させるとともに、ナノマテリアルの研究を推進ための共用可能施設としての役割をもった組織である。

ロボット技術により、親結晶からの2次元マテリアル単分子シート剥離、スタンプによるヘテロ積層などを自動で実施するシステムを開発している。単分子シートのツイスト角度や、貼り合わせ時の加熱・冷却の精密制御も可能であり、層状モアレ・ヘテロ構造など2次元材料の研究加速に寄与することが期待される。

○欧州の状況

グラフェンの2010年度ノーベル物理学賞受賞を契機として欧州に設立された研究イニシアチブ：Graphene Flagshipが、Horizon 2020のFuture and Emerging Technologies（FET）の一部として2013年に設立され、10億ユーロ/10年間の巨額な競争的資金で研究開発を実施し、欧州の本領域の科学技術水準の向上と産業応用の加速化を推進する原動力として機能している。Graphene Flagship Work Packageでは、6：Sensor（主幹：デルフト工科大学、オランダ）、7：Electronic Devices（主幹：AMO GmbH）、10：Wafer Scale Integration（主幹：CNIT、イタリア）などが検討されている。

Horizon 2020のFET Flagshipsは「グラフェン」「脳研究」「量子技術」の3テーマで進められていたが、これらは2021年スタートのHorizon Europeにおいても第二の柱のクラスター（市場創出の支援：欧州イノベーション会議（EIC））で継続されている。

ドイツでは、基礎から応用にいたる2次元材料とそのデバイス応用研究をMax Planck Institute、大学、Fraunhofer Instituteが相互に役割分担し切れ目のない強固な研究開発体制を構築している。特に、Graphene FlagshipとパートナーのRWTH（アーヘン工科大学）とAMO GmbH（産学連携オープンイノベーションを促進する非営利団体）とが共同で、Aachen Graphene & 2D-Materials Centerを2017年に設立し、CVDによるウェハスケールでのグラフェンおよび遷移金属カルコゲナイド等の2次元材料による大規模集積デバイス・回路・システムの先端研究を国家的に推進している。

英国でも、独自の大規模かつ多面的な研究振興施策を講じている。National Graphene Research Center in Univ. Manchester（Director：Prof. V. Falco、2015年設立、6100万ポンド）がEPSRC（英国工学物理科学研究評議会）によるファンデルワールスヘテロ2次元材料やフレキシブル光電子材料開拓など（総額3700万ポンド）をはじめとする総額1.4億ポンド規模の研究投資を行っている。

○中国、韓国、台湾、その他の状況

中国では、泰州巨納新能源有限公司が中国初のグラフェン国家基準「ナノテク専門用語 第13部分：グラフェン及び関連2次元材料」（GB/T 30544.13-2018）」を2018年に制定し、グラフェン、CNT、および関連2次元材料の基礎から産業応用にいたる全領域を対象として35億円/年規模の研究投資を行っている。

韓国では、政府主導のKorean Graphene Hubが2013～2018年の6年間で約200億円の研究投資を行っている。また、半官半民のGraphene Materials and Components Commercialization Projectが産業応用に重点を置いて2013～2018年の6年間で230億円規模の研究投資を行っている。

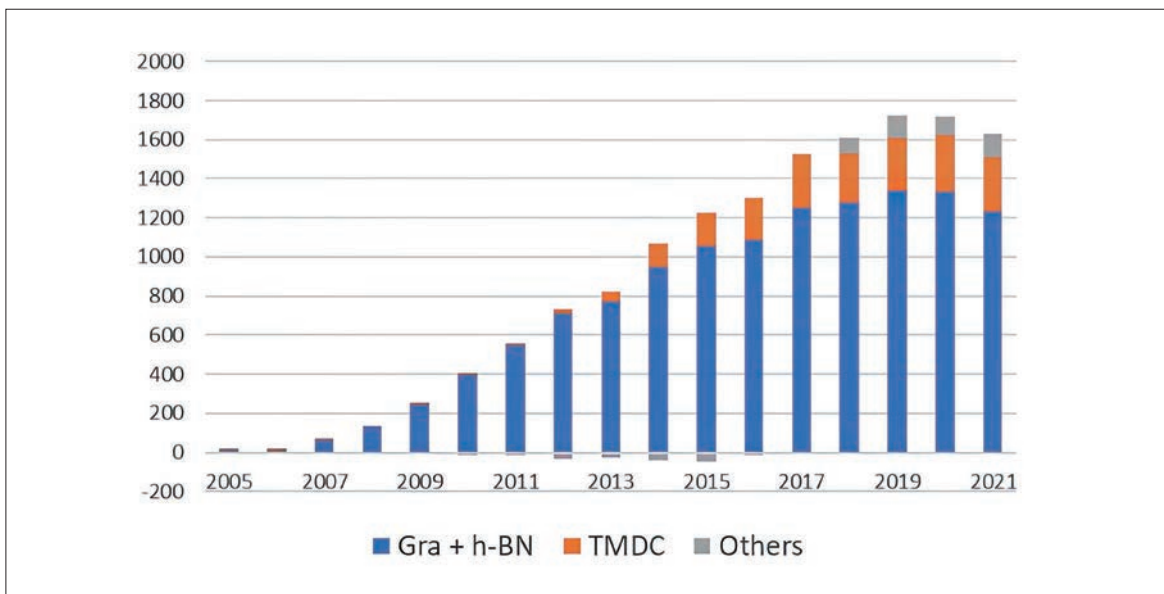
台湾では、経済部（経産省）が推進している次世代半導体（オングストローム先端半導体）技術プロジェクト計画の中で、台湾中央大学で2次元物質の成膜・成長技術、基板形成技術、低次元半導体材料のデバイス化・シミュレーション・トランジスタとメモリ集積技術などの研究開発、国家実験研究院（国研）で2次元物質の製造装置、2次元物質の成膜とデバイス検証を行うプラットフォームの構築が進められている。また、TSMCは台湾大学などとの産学連携を進めており、例えば、台湾大学とMITとの共同で低次元材料と半金属のビスマスとの低抵抗接合技術についてNatureに発表している。

シンガポールにおいても2次元材料の研究開発に80億円規模の研究投資を行っていると思われる。

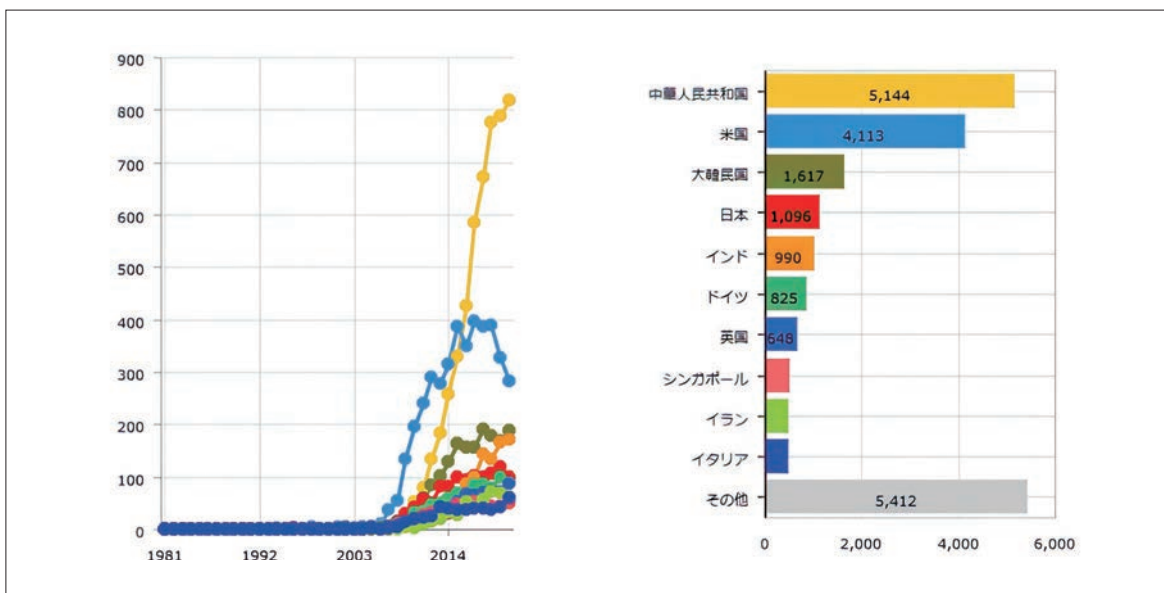
○論文の推移

図S2-1および図S2-2に、下記検索式で検索した2次元物質のトランジスタ応用に関する論文の年度別の総論文数と国別論文数を示す。論文数の推移を見ると、2次元物質を用いたトランジスタの研究開発は2010年頃から増加している傾向にある。まず、グラフェンやh-BNに関連する研究（Gra + h-BN）が立ち上がり、その後、遷移金属カルコゲナイド（TMDC）の研究の論文数が増えている。2017年ごろからは、グラフェンやh-BNに関連する論文数が頭打ちになっている傾向が見て取れる。

また、国別に見ると、2010年ごろは米国がリードしていたが、近年が中国の伸びが著しく、2016年以降、論文数第1位となっている。日本は論文数で4位であり、材料やテラヘルツ関係（NIMS、東北大）で存在感を示している。



図S2-1 2次元物質のトランジスタ応用に関する論文数



図S2-2 2次元物質のトランジスタ応用に関する論文数 (国別)

【検索式】

("2D material" OR "two dimensional material" OR graphene OR h-BN OR TMDC OR TMD OR "transition metal dichalcogenide") AND (FET OR transistor OR channel OR LSI OR "integrated circuit")

【サマリ】 文献数：14,695、被引用数：551,465、著者数：約45,000

【対象期間】 1981～2021年

【対象文献】 Article、Letter、会議録、総説

【データソース】 2022年9月21日時点

- ・文献データ (Scopus)：2021年12月末データ (2021/12/31)
- ・JST成果、科研費成果 (FMDB)：2022年6月末データ (2020年度報告書含む、科研費2021年12月末まで (奨励研究、特別研究費奨励費除く))
- ・文献データ (Hot Paper)：Hotpaper 2012年v1-2022年v1

付録3 専門用語解説

アニール処理

ウェハを加熱することで、Siなどの結晶性を向上させる工程。特にイオン注入後のアニールを回復熱処理と呼ぶ。

EDA (Electric Design Automation) ツール

半導体デバイスや電子機器の設計作業の自動化を支援するソフトウェアやハードウェア。開発スピードや安全基準を保つために、EDAツールを利用することが不可欠である。

in situ (その場) 測定

結晶成長やエッチングなどの実際のプロセス環境で、結晶の表面状態や雰囲気中のガスの組成・濃度などを調べるような測定である。

インターカレーション

層状物質の隙間に他の物質を挿入すること。可逆反応である。入り込むイオンや分子の種類や量によって電気的特性を制御することができる。

ウェットエッチング

酸・アルカリ溶液とウェハとの化学反応で不要部を除去する方法。ウェハを薬液槽に浸すことでエッチングを行う。全方向に同一の速度でエッチングが進行する（等方性）があり微細パターンの加工には不向きである。

ArF液浸リソグラフィ (露光技術)

光源に波長193nmのArFエキシマレーザー光を用いた液浸リソグラフィ。液浸リソグラフィは、露光装置のレンズとウェハの間に液体を満たして露光処理を行うものである。ArFエキシマレーザー光の水に対する屈折率 n は1.44であり、空気 ($n=1$) の場合よりもウェハへ入射する露光光の角度が緩和され、レンズの開口数、つまり解像力を向上させることができる。

SoC (System-on-a-Chip)

ある装置やシステムの動作に必要な機能のすべてを、一つの半導体チップに実装する方式。ターゲットとなる装置により構成は異なるが、マイクロプロセッサを核に各種のコントローラ回路やメモリなどを統合したチップが多い。米AppleはCPU、メモリ、GPU等を一つのチップに統合したSoCを開発し、省電力と高い性能を両立させた。

SRAM (Static Random Access Memory)

半導体メモリの種類。記憶素子にフリップフロップ回路などを利用し、記録した情報は通電が維持される限り保持される。同規模の回路で比べるとDRAMより消費電力が少ない。構造が複雑なため高密度化が難しく、記憶容量あたりの製造単価が高額となる。

オーミックコンタクト

電流の方向と電圧の大きさによらず抵抗値が一定の2つの導体間の接点。整流作用が無く抵抗だけを持つ。

オペランド（動作中）測定

材料をその機能が発現する真の動作環境に置きながら、構造、電子状態、分光特性等の時間変化を観測する手法。

化学気相成長（CVD, Chemical Vapor Deposition）法

気相中の化学反応によって基板表面に固体材料の薄膜を結晶軸を揃えて堆積（エピタキシャル成長）する方法。

極端紫外線リソグラフィ（EUVL, Extreme Ultraviolet Lithography）

物質への強力なレーザ光照射や高電圧印加によって生成される高温プラズマからの波長13.5nmの極端紫外線を利用した次世代リソグラフィ技術。EUVL装置の価格が高価なこと、光源増強が難しくスループット向上が難しいこと、メンテナンスが難しいこと、等から現時点ではチップ上の適用先を絞り込んで使用されている。TSMCでは、2019年に最初にEUVLを量産適用したプロセスでは孔パターンだけであったが、2020年の5nmプロセスノードでは配線層に適用分野を拡大している。

金属酸化膜半導体電界効果トランジスタ（MOSFET, Metal-Oxide-Semiconductor Field Effect Transistor）

FETの一種。シリコンの表面を酸化させ電極として金属をつけた構造を持つ。高速動作、低損失が特長。LSIの中では最も一般的に使用されている。

ゲートスタック

MOSFETで半導体チャネル上に薄い絶縁膜とゲート電極を載せた積層構造。

原子層エッチング（ALE, Atomic Layer Etching）技術

エッチングプロセスにおける吸着過程と反応過程を分離し、それぞれの過程を繰り返すことで原子層オーダーの加工性能を可能にする技術。

原子層堆積（ALD, Atomic Layer Deposition）法

CVD法の一つ。原子の自己制御性を利用し一層ずつ原子を堆積することができる。多くの場合ALDでは2種類のプリカーサを順番に繰り返し暴露することで薄膜を形成する。

高誘電率（high-k）ゲート絶縁膜

一般的にMOSFETのゲート絶縁膜にはシリコン酸化膜（ SiO_2 ）が用いられているが、膜厚が数nm以下になるとトンネル効果による漏れ電流が増大し、消費電力の増大や信頼性低下を引き起こす。 SiO_2 に代えてhigh-kゲート絶縁膜を用いると、漏れ電流の抑制に大きな期待ができる。高い熱的安定性と SiO_2 の約6倍の比誘電率を有するHf系材料がhigh-kゲート絶縁膜として注目されている。

仕事関数

金属から伝導電子を外部に取り出すために必要な最小のエネルギー。

ショットキー障壁

金属と半導体との接触面に生じる整流作用をもつ界面。金属の仕事関数と半導体の持つ電子親和力の差に相当する。

スピン軌道相互作用

電子のスピンと軌道の角運動量間の相互作用。一般的傾向として原子番号の大きな元素の方が強いスピン軌道相互作用を有する。

スピントロニクス

固体中の電子が持つ電荷とスピンの両方を工学的に応用する分野であり、電荷の自由度のみに基づく従来のエレクトロニクスでは実現できなかった機能や性能を持つデバイス実現をめざす研究開発領域。ハードディスクの大容量化、不揮発性メモリの実現など、すでに実用化している技術もある。

SPICE (Simulation Program with Integrated Circuit Emphasis)

電子回路のアナログ動作をシミュレーションするソフトウェアである。1973年にカリフォルニア大学バークレー校で開発され、現在では回路シミュレータのスタンダードとして使用されている。等価回路、数式、係数を定めたSPICEパラメータを与えることによって半導体デバイス特性を精密に表現できる。

全周ゲートFET (GAAFET, Gate-All-Around Field-Effect Transistor)

電流が流れるチャンネルの4面をゲートが完全に囲んだ3次元構造を持つトランジスタ。FinFETよりも短チャンネル効果の抑制が期待できる。2nmプロセスノードの半導体素子製造では不可欠とされる。

選択成長法

基板上に部分的に半導体結晶を形成する技術であり、例えばSiO₂やSi₃N₄などの絶縁膜をマスクとして、Si基板露出部のみにSiを選択的にエピタキシャル成長させる技術がある。新しいデバイス構造の形成や微細デバイスの素子分離などへの応用が検討されている。

相補型FET (CFET, Complementary FET)

n型チャンネルのFETとp型チャンネルのFETを組み合わせて1つのゲートを共有させたもの。原理的には同じ規模の回路を半分の面積で作れる。

ダングリングボンド

半導体のような共有結合性の固体の清浄表面の第一層の原子は隣の原子がなく結合手が余る。この余った結合手のことを表面ダングリングボンドと呼ぶ。

短チャンネル効果

FETのゲート長を微細化すると生じる静電特性（漏洩電流等）への影響。短チャンネル効果は消費電力の増加や特性のばらつきを招くため、幾何学的スケールアップだけではFETの性能向上が見込めなくなっている。

DRAM (Dynamic Random Access Memory)

半導体メモリの種類。コンデンサに電荷を蓄えることで情報を保持するが、この電荷は時間とともに減少し、放置しておくと放電しきって情報を失ってしまうため、一定時間ごとに再び電荷を注入するリフレッシュ動作が必要である。構造が単純で比較的安価で大容量の製品を製造できる。

転位

結晶欠陥の一種。結晶格子内の線状の原子変位を伴う格子欠陥。半導体デバイス特性の不均一性や劣化の原因となる。

電界効果トランジスタ（FET, Field effect transistor）

電界を利用して半導体に流れる電流を制御するトランジスタの一種。ソース、ゲートおよびドレインの3つの電極を持ち、ゲート電圧によってドレイン-ソース間の電流を制御する。

転写法

CVD法で作製したグラフェンを電子デバイス材料として活用するには、触媒金属基板から剥離テープやポリメタクリル酸メチル（PMMA）を用いてグラフェンを分離し、別の基板に転写する。現在では、ラボレベルで数cm角の単層グラフェンを転写する技術が確立している。

ドライエッチング

反応性ガスやプラズマで生成したイオンを用いウェハ上の不要部を除去する方法。垂直方向だけをエッチングする異方性があり、マスクに忠実な加工が可能である。

ナノシート

1～100nmの厚みを持つ2次元のナノ構造体。2021年5月、米IBMはシリコンナノシートのチャネルの4面をゲート電極が取り囲む構造のテストチップの作製に成功したと発表した。演算性能の向上や消費電力低減が期待できる。

2次元材料

バルク材料や通常の薄膜材料とは異なる2次元的な構造や特性を持つ材料である。ここでは、2次元物質（グラフェン、MoS₂、h-BN等）、シート状の1次元物質（CNT等）、および2次元的な性質が顕著になる膜厚5nm以下のナノシートを2次元材料と定義している。エレクトロニクス応用だけでなく、エネルギー変換・貯蔵などの応用分野において、新しい機能や従来材料の特性を凌駕する機能を発現することが期待されている。

ニューロモルフィック・プロセッサ

脳の神経細胞であるニューロンの役割を担い、推論・学習などAIシステムを支えるデバイスとして期待されている。

パッシベーション

半導体素子の表面に不動態膜をコートして、外気の影響やごみの付着を防ぐこと。

バレーエレクトロニクス

バレー自由度を工学的に応用する分野。エレクトロニクス、スピントロニクスに継ぐ第3のエレクトロニクスと言われる。バレーとは軌道角運動量の一種で、空間的に広がった電子の波束が結晶中で自転するという描像で解釈される。

ファウンドリー

半導体デバイスの生産を専門に行う企業・工場。半導体デバイスの生産設備には莫大なコストがかかるため、1990年代以降一つの企業が開発から生産までを一貫して行う業態から、ファウンドリーとファブレスの分業化が進んだ。

ファブレス

工場（fabrication facility）を持たずに製造業としての活動を行う企業およびビジネスモデル。

ファンデルワールス・エピタキシー

ファンデルワールス力を介して進行するヘテロエピタキシャル成長。格子整合の制約を離れ各種層状物質を自由に組合せて積層できるため、ヘテロ積層やツイスト積層による新規物性発現が期待されている。

FinFET（Fin Field-Effect Transistor）

電流が流れるチャンネルの3面にゲートが接しているトランジスタ。その構造が魚のひれ（Fin）に似ているということからFinFETと呼ばれている。従来のチャンネルの1面にのみゲートが接している平面型トランジスタは、微細化すると漏洩電流等の短チャンネル効果が生じやすいが、ゲートとの接触面積を増やすことで短チャンネル効果を抑制する。

フォトレジスト

ポリマー（高分子）・感光剤・溶剤を主成分とする液状の化学薬剤。ウェハ表面にフォトレジストを塗布後、マスクに描画された回路パターンを光で転写し現像する。

プリカーサ

ALD法で前駆体となる有機金属材料。真空チャンバー内にプリカーサを導入して基板の表面に吸着させた後、チャンバー内を一度排気して余剰プリカーサを取り除いたのちに、酸化・窒化させて薄膜を形成する。

フローティングゲート

MOSFETのゲートを開放した構造で、どこにも電氣的に接続されていないゲート。主にメモリー構造として使用される。

プロセス・インフォマティクス

従来からの実験科学、理論科学、計算科学と、近年の進展が著しいデータ科学を、統合的・融合的に活用することにより、目的材料の合成プロセスを効率的かつ統合的に探索する方法。近年のデータ科学の進展、シミュレーション技術の高度化、オペランド計測技術の開発およびハイスループット実験技術の確立などにより材料合成プロセスを効率的かつ統合的に探索するプロセス・インフォマティクスに取り組む環境が整いつつある。

プロセスノード

プロセスルールともいう。もともとはトランジスタ内部の配線幅のことであったが、近年は必ずしもこの数値が実際の物理的サイズにあてはまらず、チップ面積に応じて0.7倍ずつ数値を更新するものとして慣例的に用いられている。

分子線エピタキシー（MBE, Molecular-Beam Epitaxy）法

超高真空下で成分元素または構成分子を分子線として発生させて結晶基板上に供給し、基板の結晶系を反映した結晶構造の薄膜を成長させるエピタキシャル成長法。

メモrista

電流を流すことによりその抵抗値が変化し、電流を流すのをやめるとその時点での抵抗値を記憶しておく

いう性質を持つ電気回路素子。

有機金属気相成長（MOCVD, Metal Organic Chemical Vapor Deposition）法

CVD法の一つ。単結晶または多結晶薄膜の製造に用いられる。MBEとは異なり、結晶の成長は物理的な蒸着ではなく、化学的な反応によって行われる。そのため、熱力学的に準安定な合金を用いたデバイス作製に適している。

量子ドット

量子力学に従う特殊な光学特性を持つナノスケールの半導体結晶。通常、2～10 nmの直径で、10～50個ほどの原子で構成される。

量子輸送計算

電子が量子力学に従って運動するという量子輸送理論に基づく計算。半導体デバイスが極度に微細化されると量子性を無視することができなくなるため、それらを考慮したシミュレータの開発が急務となっている。

レチクル

ウェハ上に回路パターンを露光するための使用するフォトマスク。

作成メンバー

総括責任者	曾根 純一	上席フェロー	(ナノテクノロジー・材料ユニット)
リーダー	馬場 寿夫	フェロー	(ナノテクノロジー・材料ユニット)
メンバー	林 喜宏	特任フェロー	(ナノテクノロジー・材料ユニット)
	福井 弘行	フェロー	(ナノテクノロジー・材料ユニット)
	佐藤 隆博	フェロー	(ナノテクノロジー・材料ユニット)
	的場 正憲	フェロー	(システム・情報科学技術ユニット)
	勝又 康弘	主任専門員	(戦略研究推進部)
	伊藤 顕知	主任専門員	(未来創造研究開発推進部)

戦略プロポーザル

CRDS-FY2022-SP-06

半導体デバイス革新に向けた材料開発戦略

～2次元半導体材料の新規導入～

STRATEGIC PROPOSAL

Material Development Strategy Toward Innovations in Semiconductor Devices:

Utilization of Two-Dimensional Materials as Semiconductor Channels

令和 5 年 3 月 March 2023

ISBN 978-4-88890-832-0

国立研究開発法人科学技術振興機構 研究開発戦略センター

Center for Research and Development Strategy, Japan Science and Technology Agency

〒102-0076 東京都千代田区五番町7 K's 五番町

電話 03-5214-7481

E-mail crds@jst.go.jp

<https://www.jst.go.jp/crds/>

本書は著作権法等によって著作権が保護された著作物です。

著作権法で認められた場合を除き、本書の全部又は一部を許可無く複写・複製することを禁じます。

引用を行う際は、必ず出典を記述願います。

This publication is protected by copyright law and international treaties.

No part of this publication may be copied or reproduced in any form or by any means without permission of JST, except to the extent permitted by applicable law.

Any quotations must be appropriately acknowledged.

If you wish to copy, reproduce, display or otherwise use this publication, please contact crds@jst.go.jp.

FOR THE FUTURE OF
SCIENCE AND
SOCIETY



CRDS

<https://www.jst.go.jp/crds/>