

## 2.3.1 革新半導体デバイス

### (1) 研究開発領域の定義

従来のCMOSの限界性能を超える新動作原理のデバイスを開発し、超高速・超低消費電力でデータ処理する集積システムの実現をめざす研究開発領域である。材料として従来の半導体だけでなく、二次元材料、磁性材料、強誘電材料などの様々な材料が組み合わせたデバイスや、新奇なデバイス構造から得られる新たな機能を利用したデバイスが含まれる。また、量子ビットの読み出し・制御を行うための、極低温(4 K)での集積回路動作が可能なクライオCMOS技術も含まれる。さらには、システムレベルでの機能向上のための、IGZOなどの酸化物半導体やGaNをチップ上に混載する技術、あるいはチップレット集積も取り上げる。研究開発課題はデバイスレベルからシステムレベルあるいはアーキテクチャレベルまで多階層に及んでいる。

### (2) キーワード

More Moore、Beyond CMOS、立体構造トランジスタ、三次元実装、ロジック・イン・メモリ、不揮発性メモリ、不揮発性ロジック、抵抗変化メモリ、相変化メモリ、トンネル・トランジスタ(TFET)、スピントロニクス、トポロジカル絶縁体、IRDS、二酸化ハフニウムベース強誘電体、ナノシート、二次元材料、CNT、クライオCMOS

### (3) 研究開発領域の概要

#### [本領域の意義]

ロジックデバイスに関しては、2010年代に予想されたように、単純なスケーリングに拠ったシリコン半導体デバイスの高集積化は限界に達したといえる。14nm世代以降停滞が見られるようになったゲート長のスケーリングは、過去10年の間ロードマップから遅れ続け、各メーカーのゲート長スケーリングはロードマップ上では、ほぼ横並びとなっている。

一方、チップ面積を決める多層配線ピッチ(Mx)のピッチスケーリングは過去10年ロードマップどおりに、継続的に縮小された。その結果、先端ロジック集積回路上のトランジスタ数は継続的に増大しつづけている。2020年において7nm世代技術におけるトランジスタはチップ当たり100億個程度となったが、2019年には、微細パタン形成に必要な不可欠なEUV露光技術が実用化され、半導体デバイスの微細化と高集積化は、少なくとも2035年ごろまでは継続される見込みであり、その時の1チップ上のトランジスタ集積数は約1兆個以上になると予想される。

Si-CMOSロードマップの先にある技術も精力的な研究開発が必要になっている。スケーリング限界を超えた世代をターゲットに、チャンネル材料にSiやSi混晶系以外の材料(二次元材料など)を使う検討や、量子コンピュータ実用化に必要な低温で動作するCMOSの検討などがそうした例に当たる。

メモリに関しては、電子機器の小型高性能化の要求から、引き続き高速・大容量化が続く汎用のDRAMの他に、小型機器でのHDD置き換えが進むフラッシュメモリや、相変化メモリ、MRAMなどの不揮発メモリの重要性もますます増している。機器側から高容量を求める強い要請に応えるため3次元化がいち早く進んだメモリの分野においては、フラッシュメモリで100層を超える積層が当たり前のものとなり、スケーリング則の停滞をものもしない高集積化が続いている。

今後、リアルタイムコンピューティング空間を支える半導体デバイスを実現するには、半導体物理・材料物理化学等に基礎科学に基づいた、新機能ナノデバイスおよびその実現に必要な製造プロセス・装置の研究開発が必要不可欠といえる。

## [研究開発の動向]

### • ロジック半導体 (Si CMOS)

#### →ロジックトランジスタのスケーリング

3nm世代のゲート長 $L_g=16\text{nm}$ までFinFET構造が適用できる可能性があるが、そのあたりで、シリコン半導体の微細化スケーリングが終焉すると予想されている。2.x nm世代以降には、チャネル材料としてシリコンナノシート(シリコンナノリボン)やシリコンナノワイヤを用いたゲートオールアラウンド(GAA)構造FET(GAAFET)を構成単位とし、それらを積層した3次元構造トランジスタとなる。

GAAFETを用いるデバイス構造としては、CMOSを回路構成単位であるn型GAAFETとp型GAAFETの配置を、第1世代では並列配置するが、1.x nm世代(2028年~)では、それらを面内で絶縁分離して一体化したForksheet型に、0.x nm世代(2030年~)では、それらが積層配置されたCFET型CMOSとなる。さらに、これらCMOS回路を薄膜化して積層する3D集積回路構造へ突入すると考えられている。

その後、チャネル材料として、シリコンナノシートに替わり2次元分子層材料(TMD: Transition Metal Di-chalcogenideなど)が導入される可能性もある。現在、P型およびN型の2次元分子層材料の探索および300 mm材料成長装置の研究開発が精力的に進められている。

#### →ロジック多層配線のスケーリング

配線微細化により、金属中の電子の平均自由行程と配線幅とが近づき、配線界面や粒界における電子の反射散乱の影響による比抵抗上昇といった材料物性の影響が出始めている。その結果、金属の電子物性および配線信頼性の両面から、現在の配線材である銅に替わる金属材料の探索が活発化してきている。5nm世代対応のピッチ36nmのMx配線においては、従来のCu配線金属を使える見込みであるが、3nm世代以細(すなわち、24nmピッチ以細)においては決着がつかない。代替金属としては、RuあるいはCoが最有力である。近年、電源配線をシリコン基板の素子分離領域に埋め込んだり、基板裏面に電源配線を設置したりすることで、セルのレイアウトを容易にする試みも提案されている。

#### →ロジックスタンダードセルのスケーリング

2020年から2025年までの3世代で、スタンダードセルで2.2倍、SRAMセルで1.7倍密度が維持される見込みである。その結果、ロジックゲート密度、SRAMセル密度向上により、GPU/NPUコアはマルチ化が促進され、アクセスに必要なバンド幅が確保することができる。2031年以降、さらなる高密度化を実現するには、多層スタック構造が必要不可欠となる。トランジスタレベルの3D化により、NANDやSRAMといったプリミティブセルの単位面積あたりの集積度は一段と向上と予想される。但し、それに伴う熱発生が増大といった課題を解決する必要がある。消費電力低減がなされないと電力密度の増大による発熱の問題はシステム全体の動作周波数を低下させる。放熱性を考慮したあるいはエレクトロンとフォノンとの相互作用を考慮したデバイス構造/アーキテクチャや、熱発生を分散させるために、高速スイッチング動作がある領域に集中しないようにする並列演算アルゴリズムなどの開発も期待される。

### • ロジック半導体 (特殊用途、Si以外の材料、新原理)

#### →クライオCMOS

10 mK台の極低温で動作する量子コンピュータ(超伝導量子ビット、半導体量子ビットなど)を実用化する際に、量子コンピュータの制御を行う高周波信号を多数、量子ビットチップに与える必要がある。現在のように、100本程度の信号線であれば室温の制御デバイスから同軸ケーブルで配線することが可能であるが、実用的な量子コンピュータが持つと予想される、数百万から数億ビットの制御信号を室温のエレクトロニクス機器から極低温まで配線で持っていくことは、冷凍機の熱負荷の点からまったく現実的ではない。そこで、室温からわずかな配線数で制御信号を極低温部近く(4 K程度)まで送り、そこで量子ビットチップ向けの多数の高周波信号を作り出す、CMOSデバイス(クライオCMOS)の開発が

行われている。要求される性能は、通常のSi CMOSが想定していない低温環境において、量子ビットチップに必要な多数の高周波信号を、量子ビットチップの動作に影響を与えるような発熱や電磁的ノイズを発生させずに入出力することにある。

#### →新しいアーキテクチャのための新材料デバイス

ブール論理およびフォンノイマンアーキテクチャを超えた新しいコンピューティングに向け、新しいデバイスとアーキテクチャをインタラクティブに研究する必要がある。デバイスとアーキテクチャの共同最適化は、従来のソリューションの限界を超えるパフォーマンスと効率を達成するために重要な役割を果たす。低消費・高効率演算を可能とするアナログコンピューティングデバイスとしては、トポロジカル絶縁体ロジックデバイス、スピントルクゲートデバイス、磁壁ロジックデバイスの開発が進展した。また、クロスバーベースのコンピューティングアーキテクチャとして、MVM (Matrix Vector Multiplication)、VMM (Vector Matrix Multiplication)、大スケールFPGA (Large-Scale Field Programmable Analog Arrays)、抵抗変化メモリクロスバーソルバーなどの開発が活発化している。生体神経網を模したスパイクニューラルネットワークや、MTJ (Magnetic Tunnel Junction)、SEBAT (Single-electron bipolar avalanche transistor) など動作不良確率を盛り込んだプロバビリティック回路システムの研究が進められている。

### ・不揮発メモリ

#### →NAND型フラッシュメモリ

フラッシュメモリは、電界効果型トランジスタのゲート電極とゲート絶縁膜の間に電荷を蓄積するための浮遊ゲート電極や電荷蓄積層を持つことを特徴とした不揮発型メモリであり、浮遊ゲート電極または電荷蓄積層にトンネリング等によりチャンネルからの電子を注入することでトランジスタの閾値を変化させてデータを記録する。従来はトランジスタの接続方法により直列接続のNAND型と並列接続のNOR型が開発されていたが、低コストで大容量化できるNAND型が現在の主流になっている。大容量化の手法は、従来の平面でのメモリサイズ縮小(シュリンク)による平面型から、3次元(高さ)方向に複数層メモリを積層し大容量化する3次元積層型へ移行した。最新の開発は、更なる高積層化実現のための課題に注力している。特に、高積層構造の形成に必要な成膜技術とドライエッチング(RIE)技術が重要分野となっている。

#### →Phase change memory (PCM)

電圧印加によりカルコゲナイド材料の結晶相を変化させて抵抗を数桁変調させるのが、相変化型抵抗変化メモリ(Phase change memoryあるいはPCMと称される)である。メモリ機能を持たず高い非線形性を有したセレクトア素子もPCM素子同様にカルコゲナイド材料を用いて開発が進められている。用途に応じた幾つかのPCM素子が既に製品化されている。高速(例えば100ナノ秒程度)なPCMをセレクトアと共にクロスポイント型(基盤の目型)に2層積層した128Gbitと大容量な3D-XP(3D cross-point memory)が上市され、Storage領域とMemory領域のLatency gapを埋めるStorage class memory(SCM)領域での応用が展開されている。ロジック素子との混載も検討されており車載および半田付け温度以上の高温でもPCMの記憶領域の結晶状態が変化しないPCM材料も開発され、車載マイコン用記憶素子として実装され市販されている

PCMに関する報告は2000年代後半にセレクトア付きのXPデバイス発表後、一時下火となっていたが、2016年にIntel/Micron社がクロスポイント構造の平面型1S1R(1セレクトア-1抵抗)素子を2層積層した128Gbitと大容量な3DXPのプレスリリースした後、再び活発化した。製品開発の点では、米国が先行し、韓国が追隨して発表している。多値化、縦型BL構造のためのALD成膜などの基礎開発は米国、米国と共同開発の台湾で盛んである。日本は、iPCM(interfacial PCM)、新規カルコゲナイド系材料の開発などの点で基礎研究を行っており、規模は小さいながらも研究開発は維持している。中国、

米国からも異なる材料を用いて作製されたiPCMの低電流動作が報告されている。欧州では車載マイコンメーカー主導で高温耐熱性を持つPCM材料開発が盛んである。更に2021年にimecからカルコゲナイド系セレクトラ素子が電圧印加の極性履歴に依存した閾値を持つ機能を応用したメモリ素子も提案されている。

#### →Magnetic Random Access memory (MRAM)

MRAMは、磁性体/トンネルバリア層/磁性層という基本構造を有し、2層の磁化方向が平行か反平行かの磁化状態に応じて抵抗が変化する、磁気トンネル接合 (MTJ: Magnetic Tunnel Junction) を用いた不揮発性抵抗変化型メモリである。磁化状態を変化させる方式 (書き込み方式) として、配線誘導磁場書き込み方式、スピントルク (Spin Transfer Torque: STT) 書き込み方式、スピン軌道トルク (Spin Orbit Torque: SOT) 書き込み方式、電圧制御 (Voltage Controlled Magnetic Anisotropy: VCMA) 書き込み方式がある。MRAMは磁化反転を動作原理としており、書込/読出動作において原子の移動を伴わないことから、高速書込/読出 (原理的には100ピコ秒~10ナノ秒)、低書込みエネルギー、高信頼性の原理的なメリットをもつ。また、磁性体は原理的には10nmサイズの素子でも10年を超える情報保持時間をもち、超微細化による大容量化が可能である。MRAMの持つ上記特色から、高速動作、長時間不揮発性、大容量を併せ持つメモリの実現が期待される。

STT書き込み方式のMRAM (以降STT-MRAM) は、1989年にIBMのSlonzewskiにより原理が提案されて以降、2000年代から米国、日本を中心に実用化に向けた研究開発が進められてきた。当初、半導体企業 (IBM、東芝 (現Kioxia)、NEC、EverSpin) およびベンチャー企業や新興企業 (TDK/Headway、Grandis (現Samsung US)、Spin Transfer Technologies (現Spin Memory)) が開発を牽引した。2021年頃を境にSTT-MRAMは研究開発フェーズから製品開発ステージに移行しており、上記ベンチャー企業、新興企業は役目を終えて閉鎖・撤退・売却等となっている。近年では、主要半導体企業 (IBM、TSMC、Global Foundry、Samsung、Kioxia (旧東芝メモリ)、SKhynix、Sony、Renesas、Intel、EverSpin、Huawei) により実用化・応用検討が進められている。混載型STT-MRAMでは、韓国 (Samsung)、台湾 (TSMC)、シンガポール (Global Foundry)、日本 (Sony) が製品出荷開始をアナウンスしている。米国 (EverSpin) はStandalone型の誘導磁場MRAMおよびSTT-MRAMを出荷している。高密度大容量なSTT-MRAMでは依然として日本 (Kioxia)、韓国 (SKhynix) が先行している。

MRAMに関する基礎研究開発は、STT書き込み方式から、SOT書き込み方式・電圧制御書き込み方式などの新原理を適用したものに移行している。これらの新規書き込み技術は、米国、日本、フランス、ベルギー、韓国、台湾、中国など幅広い国で研究開発されており、国立研究所、大学を中心に半導体主要企業を巻き込んだ研究開発が加速している。SOT-MRAMに関しては、フランス (Antios) と日本 (SOTI: Spin Orbit Torque Inc.) のそれぞれでベンチャー企業の設立も相次いでおり、実用化に向けた技術開発も活発化している。

## (4) 注目動向

### [新展開・技術トピックス]

#### • ロジックデバイス

##### →TSMC

2018年から2019年にかけて、7 nmプロセスでの製造を受託できた唯一の専門ファウンドリであり、ファブレスIC各社からの7 nmプロセスによる生産委託件数が増加している。結果として、TSMCはウェハあたりの売上高を大きく伸ばし、2014年比でも13%増と、唯一、専門ファウンドリとして同時期で比べた場合のウェハあたりの売上高を上回ることができている。2021年に5 nm世代の製品集荷を開始し、現在3 nm世代の量産化開発を実施している。3次元構造トランジスタGAAFETの実用化は2 nm世代

からとしている。

#### →Samsung

7 nm世代から4 nm世代までの4つのFinFETプロセスを極端紫外線 (EUV) 露光技術で製造し、その後、同じくEUVを利用して3 nm世代 GAA (3GAE)、MBCFETの製造を行なう。7 nm世代プロセスと比較して、3GAEではチップ面積を最大45%削減でき、50%消費電力を削減または35%の性能向上の実現しており、また、早くも3 nm世代プロセスICの設計が可能になり、PDK (Process Design Kit) v. 0.1の提供も開始している。

#### • 2Dデバイス

2次元デバイスでは、コンタクト抵抗低減が課題の一つであるが、低融点金属堆積により欠陥準位形成を抑制し、低抵抗化を達成している。また、2D-FINFETや2Dナノシート構造が実証され、3次元構造化の検討も進んでいる。トンネルFETにおいても、電氣的に不活性なダングリングボンドフリー界面を利用し電流5桁平均でのサブスレッショルドスイング (SS) が26 mV/decと急峻スロープのFET動作が報告された。また、成膜技術に関してサファイア基板の面方位を選択することで99%方位の揃ったMoS<sub>2</sub>成長を達成している。

#### • NANDフラッシュメモリ

更なる大容量化に必要なキー技術は (1)高積層構造形成プロセス、(2)超多値化、(3)高速インターフェースである。特に、(1)のプロセス技術は、①高アスペクト比の微細ホールの加工技術、②2種類の異なる薄膜の連続成膜技術、③大面積構造での均一成膜および高選択比の等方エッチング技術に代表される。今後、高積層構造を形成するプロセス技術の高コスト化が大きな課題となる。積層数の増加に伴い、必要な装置台数が増加し多額の追加投資が必要となっており、将来的には高積層化により大容量化しても低コスト化しない懸念もある。ブレークスルーとなるプロセス技術の開発が望まれる。

#### • PCM

AIなどの分野への応用が米国主導で進められている。クロスポイントのハードウェア的並びそのものを機械学習での積和演算用に利用する試みで、メモリ上で計算を行うことからin-memory computingと呼ばれている。PCMへアクセスするインターフェースとしては、SSD以外にもより高速なDDR4が検討されている。DDR4とDIMM形状を採用したOptane DC Persistent MemoryをIntelが製品化し、第2世代Xeonスケーラブルプロセッサからアクセスが可能な1ソケットあたり128GB~512GBと大容量で高速アクセス可能かつ不揮発なメモリが市販されている。ただしMicronはIntelと共同開発した3DXP製品を製造していた工場を2021年7月TIに売却しPCM事業から撤退し、Intel社も2022年8月にPCM事業を終息することを宣言している。

#### • MRAM

STT-MRAMの機械学習への応用が、米国、フランス、ベルギー、日本、韓国から提案され検討が加速されている。MTJを用いた確率コンピューティング、リザーブコンピューティングの応用が、米国、フランス、日本から提案されている。超大容量化 (>100Gbit) が可能なMTJとセレクトアの組み合わせによるクロスポイント型STT-MRAMが、米国、ベルギー、台湾などから提案されている。

#### [注目すべき国内外のプロジェクト]

##### (A) 日本

国内にない先端性を持つロジック半導体技術の開発として、令和元年補正予算として、ポスト5G情報通信システム基盤強化研究開発事業 (1,100億円) の内、先端半導体製造技術の開発 (補助) に関するNEDO

プロジェクトが2021年より開始された。経済産業省から「半導体戦略」が公表され、さらに、2022年には、その具体策となる「次世代半導体の設計・製造基盤確立に向けて」が公表された。それに基づき、2022年熊本県にTSMCの28nm世代（平面型トランジスタ）の量産工場の誘致・建設が開始された。今後、20～14nm世代のFinFET（2.5次元トランジスタ）の実生産も計画されている。さらに、国際連携をベースとし、国内2nm世代ロジック半導体（3次元トランジスタ：積層GAAFET）の量産体制の確立（Rapidus社）とそれ以降の研究開発組織であるLSTC（Leading-edge Semiconductor Technology Center: 技術研究組合最先端半導体技術センター）の開設を含む国策としての半導体ロードマップも明らかにされた。また、文部科学省からも、2022年に、半導体技術に関する先行研究と人材育成を目的とした「次世代X-nics半導体創生拠点形成事業」が開始されている。

## (B) 米国

### • “CHIPS (Creating Helpful Incentives to Produce Semiconductors) for America” :

この法案は、国内の半導体製造を復活させ、研究開発に資金を提供し、技術サプライチェーンを確保することを目指している。CHIPS for Americaは、マーケティングとは別に、米国防総省が既に実施しているエレクトロニクス『復活』に向けた取り組みに少なくとも120億米ドルを投入する他、半導体の研究開発に向けてその他の連邦政府機関に50億米ドルを投資することを提案している。世界最先端の半導体の微細化を牽引しているTSMCに対して、米国が国内へ半導体工場を建設するよう要請。5月15日にTSMCがアリゾナ州に半導体工場を建設することを発表。2021年から120億ドルを投じて、5nmプロセスの半導体工場を建設し、2024年から月産2万枚のウエハで半導体を製造するとしている。

### • “American Foundries Act of 2020 (AFA)”

CHIPS for Americaは米国防総省をはじめとする政府機関によるプロジェクトへの資金提供を主とした法案であるが、AFAでは、米国の各州に対し、商業的な半導体製造施設の拡大を促すための助成金を提供する。各法案での資金提供額はAFAが250億米ドル、CHIPSが220億米ドルであり、その合計は470億米ドル（約5兆円）にのぼる。AFAは米商務省に対して、150億米ドルの資金を提供する権限を与えることにより、州政府が、半導体工場の他、アセンブリやテスト、最先端パッケージング、最先端の研究開発を行う関連施設の建設や拡張、近代化をサポートできるようにする。

## (5) 科学技術的課題

シリコン半導体の微細化はゲート長（Lg）= 16nmあたりで止まるが、積層シリコンナノシート、2次元材料ナノシート等、ロジックトランジスタの3次元化が進み、単位面積あたりのトランジスタ（トランジスタ密度）のスケールアップは継続される見込みである。すなわち、3Dスケールアップ（Effective Scaling）は継続される。一方、チップの張り合わせによる機能積層による3Dパッケージング技術により、1mm<sup>2</sup>あたり百万個超の張り合わせ接続も期待されている。

3Dトランジスタでは、放熱性を加味した電子とフォノンの挙動を制御する新材料・新構造の研究開発が重要となる。一方、3次元パッケージングでは、積層に先立つ非接触ウエハテスト技術やBuilt-in Test (BIST) 回路や接続不良に対応した冗長インターフェースなど3D対応アーキテクチャの開発も必要となる。

3次元積層型NAND型フラッシュメモリでは高積層化により高密度化をしているが、高積層化にはセル電流の低下という技術課題が存在する。この問題が起こるのは、3次元積層型NAND型フラッシュメモリでは、縦方向にGAA（Gate all around）縦型トランジスタを直列接続しているため、高積層化と共に直列抵抗が高くなりセル電流値が低下するためである。NANDフラッシュに使われるGAAトランジスタでは芯材のポリシリコンにチャンネルを形成するが、ポリシリコンは単結晶シリコンと比較すると電子の移動度や電子密度が低く、結果として、単結晶シリコン上に形成するトランジスタより電流値が低くなる。セル電流値が低下すると、GAAトランジスタのオン/オフをセンス回路で高速に判定することが困難となり、性能劣化や動作不良に繋が

る。ポリシリコンチャンネルの移動度の改善のため、Metal induced lateral crystallization (MILC) 等による単結晶化技術の開発が進んでいる。

PCMを用いた3DXPは、抵抗変化させるための動作電流が大きく、HP縮小時の配線抵抗の増大(細線化)と相まって、微細化スケールを困難にしている。このため、iPCM、新規カルコゲナイド系材料の開発、相変化膜への熱閉じ込め効果増大による動作電流の低減、配線抵抗増大の抑制、多値化などが検討されており、如何にバランスの良いデバイス開発を行うかが重要である。SCM以外の応用である機械学習への適用は、その他のメモリ材料(MRAM、ReRAMなど)でも行われており、どの材料系が突出するのか、用途ごとに併存するのか、見極めが必要である。

MRAMで用いるMTJの磁気抵抗変化率(MR)は、他メモリ(ReRAM、PCM)と比べて小さく、安定した高速読み出しと大容量化を両立するためには、高MR化が課題である。磁性元素(Fe、Co等)はガス化しても揮発性が低く、化学的エッチング手法で容易に特性劣化することから、通常の半導体微細パターン形成プロセスで用いる反応性イオンエッチング(RIE)の適用が困難である。磁性体の微細化・高密度化が可能なエッチング技術開発が必要である。磁性体の磁化スピンは書き換えによる劣化がなくほぼ無限大の耐性を持つ一方で、MgOトンネルバリアは通常の絶縁体と同じく、絶縁破壊寿命をもつ。STT書き込み方式において、セル微細化時にMTJを貫通する駆動電流を確保するには、MgOトンネルバリアを薄膜化し抵抗を下げる必要がある。しかし、これによって、MgO膜の絶縁破壊寿命が短くなる。STT-MRAMの大容量化に向けては、MgOに替わる低抵抗トンネルバリア材料開発あるいは極薄膜MgO形成技術の開発が必要であり、絶縁破壊耐性の向上が課題である。

二次元材料集積に関しては、現状でエネルギー効率の悪いNMOSが使われており、安定なP型トランジスタを構築し、PNによるCMOSを開発することが不可欠である。また、置換型ドーピングは重要であるが、層数低減により不純物準位のイオン化ポテンシャルが増加するため活性化度が下がり単層では高濃度化に難しさが残る。二次元材料に適したプロセスの検討が必要である。ロジック用デバイスにおける大面積転写を適用する場合には、転写を科学的に理解し実用化に繋げる必要がある。

**(6) その他の課題**

米国における半導体関連規制に対応し、特に半導体関連の政策情報(特に、政府系ロビー活動も含め)のサーチ機能を強化するべきである。ポスト5Gでは、分散サーバとエッジ半導体との通信アーキテクチャの標準化も重要になってくる。通信と半導体との融合した標準化活動のサーチ、あるいはそれを基にした仕様提案ができる人材育成なども重要である。

新材料の研究開発を進める場合、その材料に関する知見が全く無いと研究開発への新規参入は困難である。共用施設を整備し、新材料への試行を容易にする仕組みの整備が重要である。これは、人材の流動性にも大きく寄与する。

ハードウェア開発にかかわる若手人材の育成も急務である。大学で作製できるデバイスのレベルと産業界で量産する技術との乖離が大きいうえ、材料開発も多岐にわたり、また進展も早いので、材料開発の基盤技術を共有化することができ、大学でのアイデアを検証するための場が必須である。

**(7) 国際比較**

国・地域	フェーズ	現状	トレンド	各国の状況、評価の際に参考にした根拠など
日本	基礎研究	○	→	<ul style="list-style-type: none"> <li>ナノエレクトロニクスの基礎研究は、若い世代の研究者が減ってきており、厳しい状況。</li> <li>2次元デバイス関係では、高品質・大面積・位置選択成長、及び面内/面外ヘテロ成長に強み。</li> <li>学術変革領域「2.5次元物質科学」による基礎物性開拓が進む。</li> </ul>

2.3  
俯瞰区分と研究開発領域  
ICT・エレクトロニクス応用

	応用研究・開発	○	↗	<ul style="list-style-type: none"> <li>・ポスト5G情報通信システム基盤に対応した半導体デバイス・半導体製造装置に対する大型の研究投資が強化されつつある。米中と比較するとまだその規模が小さい。</li> <li>・2次元デバイス関係では、光、バイオセンサー応用が進む。</li> </ul>
米国	基礎研究	◎	→	<ul style="list-style-type: none"> <li>・国家安全保障と産業競争力の確保を基本的な価値観としている。</li> <li>・国家ナノテクノロジー・イニシアティブ (NNI)</li> </ul>
	応用研究・開発	◎	↗	<ul style="list-style-type: none"> <li>・半導体に関するすべてのサプライチェーンを自国に押さえるべく、研究開発投資を拡大。</li> <li>→ CHIPS for America</li> <li>→ American Foundries Act of 2020</li> </ul>
欧州	基礎研究	◎	↗	<ul style="list-style-type: none"> <li>・Horizon 2020 (2010–2020年)</li> <li>・クライオCMOSなどでは存在感がある。地道なデータの取得、高精度なモデリングで優位。</li> <li>・imecが2次元トランジスタの開発を牽引。トランジスタ特性のばらつきも報告しており、集積化を目指した研究が進む。</li> </ul>
	応用研究・開発	◎	↗	<ul style="list-style-type: none"> <li>・Innovation for the future of Europe: Nanoelectronics beyond 2020.</li> <li>・AIなどを対象とした10年間のデジタル戦略</li> <li>・Graphene flagship 10年継続</li> </ul>
中国	基礎研究	○	→	<ul style="list-style-type: none"> <li>・国家中長期科学技術発展計画要綱 (2006–2020年)</li> <li>・国家イノベーション駆動発展戦略綱要 (2016–2030年)</li> </ul>
	応用研究・開発	◎	↗	<ul style="list-style-type: none"> <li>・米国に対応するため、巨額な半導体関連投資が行われている。</li> <li>・半導体ファンド「国家集成电路産業投資基金」</li> <li>・大躍進政策</li> </ul>
韓国	基礎研究	○	↗	<ul style="list-style-type: none"> <li>・半導体素材・部品に関する自国生産強化にむけ、大型の研究投資が行われている。</li> <li>・「素材・部品・装備2.0戦略」</li> </ul>
	応用研究・開発	△	→	<ul style="list-style-type: none"> <li>・人工知能 (AI) 半導体産業の発展戦略。</li> </ul>
その他の国・地域 (台湾)	基礎研究			
	応用研究・開発	◎	↗	<ul style="list-style-type: none"> <li>・世界No.1の先端半導体工場、TSMCを中心に、巨額な半導体関連投資が行われている。</li> <li>「高科技研发中心－領航企業研発深耕計画」</li> </ul>

(註1) フェーズ

基礎研究：大学・国研などでの基礎研究の範囲

応用研究・開発：技術開発（プロトタイプの開発含む）の範囲

(註2) 現状 ※日本の現状を基準にした評価ではなく、CRDSの調査・見解による評価

◎：特に顕著な活動・成果が見えている

○：顕著な活動・成果が見えている

△：顕著な活動・成果が見えていない

×：特筆すべき活動・成果が見えていない

(註3) トレンド ※ここ1～2年の研究開発水準の変化

↗：上昇傾向、→：現状維持、↘：下降傾向

関連する他の研究開発領域

- ・プロセッサアーキテクチャー (システム・情報分野 2.5.2)
- ・脳型コンピューティングデバイス (ナノテク・材料分野 2.3.2)

参考・引用文献

- 1) IEEE, “International Roadmap for Devices and Systems™ (IRDS), 2020 Update, More



- Moore,” <https://irds.ieee.org/editions/2020>, (2023年1月5日アクセス).
- 2) Daniel Gall, “The search for the most conductive metal for narrow interconnect lines,” *Journal of Applied Physics* 127, no. 5 (2020) : 050901., <https://doi.org/10.1063/1.5133671>.
  - 3) Anshul Gupta, et al., “High-Aspect-Ratio Ruthenium Lines for Buried Power Rail,” in *2018 IEEE International Interconnect Technology Conference (IITC)* (IEEE, 2018), 4-6., <https://doi.org/10.1109/IITC.2018.8430415>.
  - 4) Jack Y. -C. Sun, “System scaling for intelligent ubiquitous computing,” in *2017 IEEE International Electron Devices Meeting (IEDM)* (IEEE, 2017), 1.3.1-1.3.7., <https://doi.org/10.1109/IEDM.2017.8268308>.
  - 5) Ming-Fa Chen, et al., “System on Integrated Chips (SoIC (TM) for 3D Heterogeneous Integration,” in *2019 IEEE 69th Electronic Components and Technology Conference (ECTC)* (IEEE, 2019), 594-599., <https://doi.org/10.1109/ECTC.2019.00095>.
  - 6) Pablo Solís-Fernández, et al., “Isothermal Growth and Stacking Evolution in Highly Uniform Bernal-Stacked Bilayer Graphene,” *ACS Nano* 14, no. 6 (2020) : 6834-6844., <https://doi.org/10.1021/acsnano.0c00645>.
  - 7) Toshifumi Irisawa, et al., “CVD Growth Technologies of Layered MX<sub>2</sub> Materials for Real LSI Applications -Position and Growth Direction Control and Gas Source Synthesis,” *IEEE Journal of the Electron Devices Society* 6 (2018) : 1159-1163., <https://doi.org/10.1109/JEDS.2018.2870893>.
  - 8) Yu Kobayashi, et al., “Continuous Heteroepitaxy of Two-Dimensional Heterostructures Based on Layered Chalcogenides,” *ACS Nano* 13, no. 7 (2019) : 7527-7535., <https://doi.org/10.1021/acsnano.8b07991>.
  - 9) Nan Fang, et al., “Full Energy Spectra of Interface State Densities for n- and p-type MoS<sub>2</sub> Field-Effect Transistors,” *Advanced Functional Materials* 29, no. 49 (2019) : 1904465., <https://doi.org/10.1002/adfm.201904465>.
  - 10) Keigo Nakamura, et al., “All 2D Heterostructure Tunnel Field Effect Transistors: Impact of Band Alignment and Heterointerface Quality,” *ACS Applied Materials & Interfaces* 12, no. 46 (2020) : 51598-51606., <https://doi.org/10.1021/acsnano.0c13233>.
  - 11) Hiroki Ago, et al., “Science of 2.5 dimensional materials: paradigm shift of materials science toward future social innovation,” *Science and Technology of Advanced Materials* 23, no. 1 (2022) : 275-299., <https://doi.org/10.1080/14686996.2022.2062576>.
  - 12) Chin-Sheng Pang, et al., “Sub-1nm EOT WS<sub>2</sub>-FET with IDS > 600 μA/μm at VDS=1V and SS < 70mV/dec at LG=40nm,” in *2020 IEEE International Electron Devices Meeting (IEDM)* (IEEE, 2020), 3.4.1-3.4.4., <https://doi.org/10.1109/IEDM13553.2020.9372049>.
  - 13) Quentin Smets, et al., “Sources of variability in scaled MoS<sub>2</sub> FETs,” in *2020 IEEE International Electron Devices Meeting (IEDM)* (IEEE, 2020), 3.1.1-3.1.4., <https://doi.org/10.1109/IEDM13553.2020.9371890>.
  - 14) Taotao Li, et al., “Epitaxial growth of wafer-scale molybdenum disulfide semiconductor single crystals on sapphire,” *Nature Nanotechnology* 16, no. 11 (2021) : 1201-1207., <https://doi.org/10.1038/s41565-021-00963-8>.
  - 15) Weisheng Li, et al., “Uniform and ultrathin high-κ gate dielectrics for two-dimensional electronic devices,” *Nature Electronics* 2 (2019) : 563-571., <https://doi.org/10.1038/s41928-019-0334-y>.

## 2.3

俯瞰区分と研究開発領域  
ICT・エレクトロニクス応用

- 16) Lan Liu, et al., “Ultrafast non-volatile flash memory based on van der Waals heterostructures,” *Nature Nanotechnology* 16, no. 8 (2021) : 874-881., <https://doi.org/10.1038/s41565-021-00921-4>.
- 17) Li Wang, et al., “Epitaxial growth of a 100-square-centimetre single-crystal hexagonal boron nitride monolayer on copper,” *Nature* 570, no. 7759 (2019) : 91-95., <https://doi.org/10.1038/s41586-019-1226-z>.
- 18) Pin-Chun Shen, et al., “Ultralow contact resistance between semimetal and monolayer semiconductors,” *Nature* 593, no. 7858 (2021) : 211-217., <https://doi.org/10.1038/s41586-021-03472-9>.
- 19) T. Morooka, et al., “Optimal Cell Structure/Operation Design of 3D Semicircular Split-gate Cells for Ultra-high-density Flash Memory,” in *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)* (IEEE, 2022), 308-309., <https://doi.org/10.1109/VLSITechnologyandCir46769.2022.9830513>.
- 20) Daewon Ha and Hyung-Sub Kim, “Prospective Innovation of DRAM, Flash and Logic Technology for Digital Transformation (DX) Era,” in *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)* (IEEE, 2022), 417-418., <https://doi.org/10.1109/VLSITechnologyandCir46769.2022.9830465>.
- 21) Ho-Nam Yoo, et al., “First Demonstration of 1-bit Erase in Vertical NAND Flash Memory,” in *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)* (IEEE, 2022), 304-305., <https://doi.org/10.1109/VLSITechnologyandCir46769.2022.9830445>.
- 22) S. Rachidi, et al., “At the Extreme of 3D-NAND Scaling: 25 nm Z-Pitch with 10 nm Word Line Cells,” in *2022 IEEE International Memory Workshop (IMW)* (IEEE, 2022), 1-4., <https://doi.org/10.1109/IMW52921.2022.9779303>.
- 23) Laurent Breuil, et al., “High-K incorporated in a SiON tunnel layer for 3D NAND programming voltage reduction,” in *2022 IEEE International Memory Workshop (IMW)* (IEEE, 2022), 1-4., <https://doi.org/10.1109/IMW52921.2022.9779307>.
- 24) Alessio Spessot, et al., “Thermally stable, packaged aware LV HKMG platforms benchmark to enable low power I/O for next 3D NAND generations,” in *2022 IEEE International Memory Workshop (IMW)* (IEEE, 2022), 1-4., <https://doi.org/10.1109/IMW52921.2022.9779308>.
- 25) Hitomi Tanaka, et al., “Toward 7 Bits per Cell: Synergistic Improvement of 3D Flash Memory by Combination of Single-crystal Channel and Cryogenic Operation,” in *2022 IEEE International Memory Workshop (IMW)* (IEEE, 2022), 1-4., <https://doi.org/10.1109/IMW52921.2022.9779301>.
- 26) Weishen Chu, et al., “An Analytical Model for Thin Film Pattern-dependent Asymmetric Wafer Warpage Prediction,” in *2022 IEEE International Memory Workshop (IMW)* (IEEE, 2022), 1-4., <https://doi.org/10.1109/IMW52921.2022.9779248>.
- 27) Lars Heineck and Jin Liu, “3D NAND Flash Status and Trends,” in *2022 IEEE International Memory Workshop (IMW)* (IEEE, 2022), 1-4., <https://doi.org/10.1109/IMW52921.2022.9779282>.
- 28) Sunghyun Yoon, et al., “Highly Stackable 3D Ferroelectric NAND Devices: Beyond the Charge Trap Based Memory,” in *2022 IEEE International Memory Workshop (IMW)* (IEEE, 2022), 1-4., <https://doi.org/10.1109/IMW52921.2022.9779278>.

- 29) Devin Verreck, et al., “Understanding the ISPP Slope in Charge Trap Flash Memory and its Impact on 3-D NAND Scaling,” in *2021 IEEE International Electron Devices Meeting (IEDM)* (IEEE, 2021), 1-4., <https://doi.org/10.1109/IEDM19574.2021.9720506>.
- 30) Siva Ramesh, et al., “Understanding the kinetics of Metal Induced Lateral Crystallization process to enhance the poly-Si channel quality and current conduction in 3-D NAND memory,” in *2021 IEEE International Electron Devices Meeting (IEDM)* (IEEE, 2021), 10.2.1-10.2.4., <https://doi.org/10.1109/IEDM19574.2021.9720571>.
- 31) Shogo Hatayama, et al., “Electrical transport mechanism of the amorphous phase in Cr<sub>2</sub>Ge<sub>2</sub>Te<sub>6</sub> phase change material,” *Journal of Physics D: Applied Physics* 52, no. 10 (2019) : 105103., <https://doi.org/10.1088/1361-6463/aafa94>.
- 32) Mario Laudato, et al., “ALD GeAsSeTe Ovonic Threshold Switch for 3D Stackable Crosspoint Memory,” in *2020 IEEE International Memory Workshop (IMW)* (IEEE, 2020), 1-4., <https://doi.org/10.1109/IMW48823.2020.9108152>.
- 33) Hsinyu Tsai, et al., “Inference of Long-Short Term Memory networks at software-equivalent accuracy using 2.5M analog Phase Change Memory devices,” in *2019 Symposium on VLSI Technology* (IEEE, 2019), T82-T83., <https://doi.org/10.23919/VLSIT.2019.8776519>.
- 34) Nanbo Gong, et al., “A No-Verification Multi-Level-Cell (MLC) Operation in Cross-Point OTS-PCM,” in *2020 IEEE Symposium on VLSI Technology* (IEEE, 2020), 1-2., <https://doi.org/10.1109/VLSITechnology18217.2020.9265020>.
- 35) Camille Laguna, et al., “Innovative Multilayer OTS Selectors for Performance Tuning and Improved Reliability,” in *2020 IEEE International Memory Workshop (IMW)* (IEEE, 2020), 1-4., <https://doi.org/10.1109/IMW48823.2020.9108130>.
- 36) Shoichi Kabuyanagi, et al., “Understanding of Tunable Selector Performance in Si-Ge-As-Se OTS Devices by Extended Percolation Cluster Model Considering Operation Scheme and Material Design,” in *2020 IEEE Symposium on VLSI Technology* (IEEE, 2020), 1-2., <https://doi.org/10.1109/VLSITechnology18217.2020.9265011>.
- 37) Taehoon Kim, et al., “High-performance, cost-effective 2z nm two-deck cross-point memory integrated by self-align scheme for 128 Gb SCM,” in *2018 IEEE International Electron Devices Meeting (IEDM)* (IEEE, 2018), 37.1.1-37.1.4., <https://doi.org/10.1109/IEDM.2018.8614680>.
- 38) Huai-Yu Cheng, et al., “Si Incorporation into AsSeGe Chalcogenide for High Thermal Stability, High Endurance and Extremely Low V<sub>th</sub> Drift 3D Stackable Cross-Point Memory,” in *2020 IEEE Symposium on VLSI Technology* (IEEE, 2020), 1-2., <https://doi.org/10.1109/VLSITechnology18217.2020.9265039>.
- 39) Taras Ravsher, et al., “Polarity-dependent threshold voltage shift in ovonic threshold switches: Challenges and opportunities,” in *2021 IEEE International Electron Devices Meeting (IEDM)* (IEEE, 2021), 28.4.1-28.4.4., <https://doi.org/10.1109/IEDM19574.2021.9720649>.
- 40) Asir Intisar Khan, et al., “First Demonstration of Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>-Based Superlattice Phase Change Memory with Low Reset Current Density ( $\sim 3$  MA/cm<sup>2</sup>) and Low Resistance Drift ( $\sim 0.002$  at 105°C),” in *2022 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)* (IEEE, 2022), 310-311., <https://doi.org/10.1109/VLSITechnologyandCir46769.2022.9830348>.
- 41) Sadahiko Miura, et al., “Scalability of Quad Interface p-MTJ for 1X nm STT-MRAM

- with 10ns Low Power Write Operation, 10 Years Retention and Endurance  $> 10^{11}$ ,” *IEEE Transactions on Electron Devices* 67, no. 12 (2020) : 5368-5373., <https://doi.org/10.1109/TED.2020.3025749>.
- 42) Sung-Woong Chung, et al., “4Gbit density STT-MRAM using perpendicular MTJ realized with compact cell structure,” in *2016 IEEE International Electron Devices Meeting (IEDM)* (IEEE, 2016), 27.1.1-27.1.4., <https://doi.org/10.1109/IEDM.2016.7838490>.
- 43) Juan G. Alzate, et al., “2 MB Array-Level Demonstration of STT-MRAM Process and Performance Towards L4 Cache Applications,” in *2019 IEEE International Electron Devices Meeting (IEDM)* (IEEE, 2019), 2.4.1-2.4.4., <https://doi.org/10.1109/IEDM19573.2019.8993474>.
- 44) Yueh Chang Wu, et al., “Deterministic and Field-Free Voltage-Controlled MRAM for High Performance and Low Power Applications,” in *2020 IEEE Symposium on VLSI Technology* (IEEE, 2020), 1-2., <https://doi.org/10.1109/VLSITechnology18217.2020.9265057>.
- 45) Taeyoung Lee, et al., “Fast Switching of STT-MRAM to Realize High Speed Applications,” in *2020 IEEE Symposium on VLSI Technology* (IEEE, 2020), 1-2., <https://doi.org/10.1109/VLSITechnology18217.2020.9265027>.
- 46) Kay Yakushiji, et al., “3-Dimensional Integration of Epitaxial Magnetic Tunnel Junctions with New Materials for Future MRAM,” in *2021 Symposium on VLSI Technology* (IEEE, 2021), 1-2.
- 47) B. Jinnai, et al., “Fast Switching Down to 3.5 ns in Sub-5-nm Magnetic Tunnel Junctions Achieved by Engineering Relaxation Time,” in *2021 IEEE International Electron Devices Meeting (IEDM)* (IEEE, 2021), 1-4., <https://doi.org/10.1109/IEDM19574.2021.9720509>.
- 48) Miao Jiang, et al., “GOL-03 Spin-orbit torque magnetization switching in a perpendicularly magnetized full Heusler alloy  $\text{CO}_2\text{FeSi}$ ,” 15th Joint MMM-Intermag Conference (January 10-14, 2022), <https://magnetism.org/past-conferences/>, (2023年1月5日アクセス).
- 49) Y. Takeuchi, et al., “GOP-01 Chiral-spin rotation of non-collinear antiferromagnetic  $\text{Mn}_3\text{Sn}$  by spin-orbit torque,” 15th Joint MMM-Intermag Conference (January 10-14, 2022), <https://magnetism.org/past-conferences/>, (2023年1月5日アクセス).
- 50) S. Tsunegi, et al., “HOG-10 Physical Reservoir Computing Using Spin Torque Oscillator with Loop Circuit,” 15th Joint MMM-Intermag Conference (January 10-14, 2022), <https://magnetism.org/past-conferences/>, (2023年1月5日アクセス).