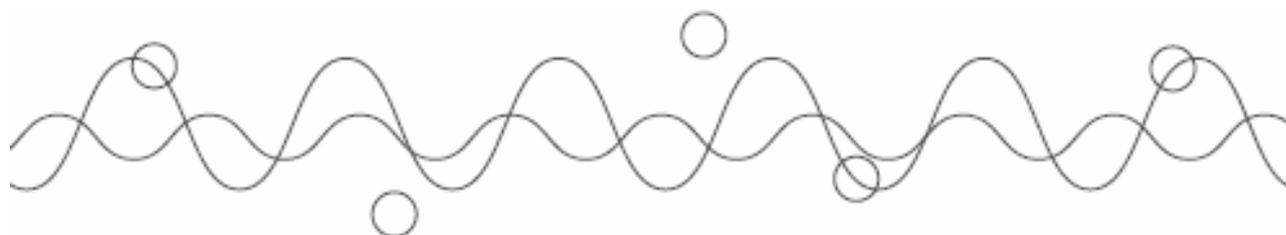


CRDS-FY2009-WR-02

科学技術未来戦略ワークショップ
「次世代を拓くナノエレクトロニクス」
～2030年の先を求めて～
報告書

平成21年3月9日(月)開催



独立行政法人科学技術振興機構 研究開発戦略センター
Center for Research and Development Strategy Japan Science and Technology Agency

Executive Summary

本報告書は、独立行政法人科学技術振興機構（JST）研究開発戦略センター（CRDS）が2009年3月9日に開催した科学技術未来戦略ワークショップ「次世代を拓くナノエレクトロニクス～2030年の先を求めて～」の結果をまとめたものである。

これまでの Si-CMOS を中心に進展してきたエレクトロニクス分野では、微細化、集積化に向けて様々な技術が開発されてきた。しかし、微細化の物理限界が顕在化しつつあり、また、集積化に伴う消費電力の増大が問題となっている。これらの課題を解決するために、今後のナノエレクトロニクスへの取り組みが重要となっている。本ワークショップ（以下 WS）では次世代に向けて我が国が推進すべきナノエレクトロニクス戦略を議論することを目的として企画した。この WS で期待したアウトプットは下記の通りである。

- (1) 微細化・集積化・低消費電力化の限界を突破できる技術の可能性はあるか否か、ある場合はそれを明確化する。
- (2) 新材料・新アーキテクチャによるエレクトロニクスデバイスの課題を抽出する。
- (3) エレクトロニクスの潮流を変える新しい技術の芽があるか否か、ある場合はそれを明確化する。
- (4) 次世代エレクトロニクス分野で世界に勝つための戦略を提案する。

上記の期待するアウトプットに対し、今後のナノエレクトロニクスへの取り組みに対する CRDS としての仮説とそれに関連する設問を作成し、事前に参加者へアンケートを依頼した。WS では、この仮説と事前調査結果も踏まえて議論を行った。

上記(1)の「微細化・集積化・低消費電力化の限界を突破できる技術の可能性はあるか否か」については、事前アンケート結果では全員が「Yes」であり、WS でさらに議論が深められた。

(2)に関する議論では、演算回路用不揮発メモリの開発、スピン流に関する基礎物理の開拓、高効率スピン生成／低スピン緩和の材料開発、グラフェンの電子物性制御、ナノカーボンの新規物性予測、有機分子系におけるリジッドな分子架橋の実現、単電子デバイスの高温度動作化、強相関酸化物材料における新しい状態変数の開発、原子スイッチの集積化技術と回路制御技術の開発、量子情報技術から派生する技術の活用などが課題として挙げられた。

(3)に対しては、生物に倣った分子新型デバイス、グラフェンの化学修飾に

よる新規物性発現、究極の姿として原子をきちんと使うアトム・デバイス・コンセプト等が議論された。

(4)の「世界に勝つための戦略」に関連して、研究推進体制、人材育成、研究開発拠点に関する以下のような議論が行われた。

- ・ 異分野技術や異種材料技術の融合的なデバイス化研究が可能な共同利用施設
- ・ 国際的ノウハウの集約拠点、人材育成の拠点
- ・ 幅広い分野の研究者からの貢献、意見交換を推進する場、また、基礎研究から応用技術開発までの垂直統合を可能として、迅速な原理実証を可能とする場が必要

以上の議論に基づき、本 WS 企画チーム（CRDS）として、以下の研究開発の推進が重要と考える。

- [1] 微細化、集積化の限界を突破または回避するためのナノエレクトロニクス基盤技術の研究開発
- [2] ナノエレクトロニクスデバイスのための新材料探索とデバイス適用可能性の実証

研究開発戦略センターでは、今回の WS での議論を踏まえ、国として重点的に推進すべき研究領域、課題を検討し、研究推進体制も含めて戦略提言として関連府省へ発信する予定である。

目次

Executive Summary

1. 本ワークショップの趣旨

- 1.1 はじめに1
- 1.2 主催者挨拶： 田中一宜（JST CRDS）2
- 1.3 趣旨説明： 波多腰玄一（JST CRDS）5

2. 仮説と事前アンケートのまとめ7

3. 議論の進め方／CMOSの原理限界と課題

金山敏彦（産総研）11

4. セッションⅠ

「微細化・集積化・低消費電力化の限界を突破できる技術の可能性」

- 4.1 不揮発性論理素子実現のための課題： 大野英男（東北大）19
- 4.2 純スピン流、超スピン伝導を利用したデバイスの可能性：
齊藤英治（慶應大）25
- 4.3 計算科学に基づくナノカーボンの電子物性：若林克法（広島大）32
- 4.4 グラフェンの伝導機構： 神田晶申（筑波大）38

5. セッションⅡ

「新材料・新アーキテクチャによるエレクトロニクスデバイスの課題」

- 5.1 分子設計に基づくナノ電子デバイス： 田中一義（京大）45
- 5.2 単電子デバイス： 藤原 聡（NTT）51
- 5.3 酸化物エレクトロニクス： 川崎雅司（東北大）59
- 5.4 原子スイッチ： 長谷川剛（NIMS）66
- 5.5 量子コンピューティング素子／システム： 伊藤公平（慶應大）72

6. セッションⅢ

- 6.1 ナノエレクトロニクスへの期待： 横山直樹（富士通研）78
- 6.2 ITRSにおけるナノエレクトロニクス： 石内秀美（東芝）85

7. 全体討論

7.1 セッションサマリー：	秋永広幸（産総研）	88
7.2 全体討論		100

8. まとめ

8.1 議論のまとめ		108
8.2 閉会挨拶：	田中一宜（JST CRDS）	111

Appendix

A.1 ワークショッププログラム		112
A.2 仮設/アンケートプレリサーチシート		113
A.3 ワークショップ参加者		117

1. 本ワークショップの趣旨

1.1 はじめに

独立行政法人科学技術振興機構（JST）研究開発戦略センター（CRDS）では、科学技術に求められる社会的・経済的ニーズを踏まえて国として重点的に推進すべき研究領域や課題を選び、そのファンディング戦略を明確にするための活動を行っている。この活動の一環として、専門家により重点研究領域について、具体的研究開発課題や研究開発推進方法等を抽出し、その研究領域で推進すべき戦略を議論するワークショップ（WS）を開催している。

この度、科学技術未来戦略 WS「次世代を拓くナノエレクトロニクス ～2030年の先を求めて～」を企画した。本 WS では、次世代に向けて我が国が推進すべきナノエレクトロニクス戦略を議論する。

これまでの Si-CMOS を中心に進展してきたエレクトロニクス分野では、微細化、集積化に向けて様々な技術が開発されてきた。しかし、微細化の物理限界が顕在化しつつあり、また、集積化に伴う消費電力の増大が問題となっている。これらの課題を解決するために、今後のナノエレクトロニクスへの取り組みが重要となっている。さらに 20 年先のエレクトロニクスを考えると、新概念や新材料を含む新しい技術の導入が必須である。

本 WS では、『微細化・集積化・低消費電力化の限界を突破できる技術の可能性』、『新材料・新アーキテクチャによるエレクトロニクスデバイスの課題』、『エレクトロニクスの潮流を変える新しい技術の芽』、『次世代エレクトロニクス分野で世界に勝つための戦略(人材育成を含む)』等について議論し、重要研究課題を明確化することを目的としている。(WS プログラムについては Appendix A.1 参照)

本 WS 開催に先立ち、今後のナノエレクトロニクスへの取り組みに対する CRDS としての仮説とそれに関連する設問を作成し (Appendix A.2 参照)、事前に参加者からの回答を頂いた。この纏めについては 2 章で述べる。WS では、この仮説および事前調査結果も踏まえて議論を行った。

CRDS では、この WS での議論を今後の戦略提言策定に活用していく予定である。

1.2 主催者挨拶

オーガナイザ 田中一宜（JST CRDS）

ナノテク・材料は、総合科学技術会議の中で第3期科学技術基本計画における重点4分野の一つに指定されており、本WSは、その中のナノエレクトロニクスに関するワークショップである。

現在のエレクトロニクスを支えているCMOS技術は、そろそろその限界が見えてきている。それを越える新しいコンセプトや技術の実現可能性については、既に10数年前から議論されている。欧米、そしてアジアの幾つかの国が戦略的にそれに対応する策をつくりつつある一方、日本は、基本とする学術ポテンシャル（物理学や材料科学）は十分持っているものの、戦略がないことが問題である。特に人材育成や人材獲得、そのための国際施策についての戦略がない。

しかしこの1～2年の間に、省横断、特に文科省、経産省を横断して国全体の構想を作ろうという動きがあり、文科省、経産省、COCN（産業競争力懇談会）、NEDO、JST、産総研、物質・材料研究機構、大学、を全て巻き込んだシナリオが描かれつつある。今回のナノエレクトロニクスについては、経産省と文科省がナノエレクトロニクスの合同戦略会議を2年前に発足させ、そこに産業界も入ってシナリオの議論が始まっており、拠点構想も含めて、全日本の構想になりつつある。このような背景の中で、「2030年の先を求めて」実際何があり得るのかということについて議論するのが本日のWSの位置付けである。今回のWSでは、2030年においても力を発揮して国を支えているであろう若手の方にも議論して頂きたいと考え、御参加頂いている。

CRDSでは、研究開発戦略を中立、公正、衡平にエビデンスベースで立案するために、研究者・技術者ネットワークとコンタクトをとり、その中で研究開発領域を俯瞰し、研究開発領域俯瞰図を作成している。これに沿って、その中から色々な優先度を考えて重要課題をピックアップし、社会ビジョン／社会ニーズあるいは他のあらゆる政策ニーズや現実とすり合わせた上で、重点的に推進すべき領域・課題として、戦略プロポーザルを提言している。

この過程で俯瞰図を作成する際に、俯瞰WSを行っている。その中から課題を抽出して深掘りする深掘りWSというのがあり、本日のWSはこれに相当する。

物質・材料分野の俯瞰WSは昨年7月に開催した。このWSはナノテクノロジーユニットと物質・材料ユニット合同で、物質・材料を中心にしてナノテクがどうかかわってニーズに対応していくかという視点で行った。この俯瞰WSで作成した物質・材料分野の俯瞰図を図1.2-1に示す。この中の「ナ

「ノテク融合の場」にある様々な極限技術、複合技術、あるいはそれを再構成していく技術を通じて、下段の材料がどのように上段のデバイスの応用につながり、社会ニーズに対応していくかということ、両方対面させて議論した。右欄には、材料設計の問題、計測・評価、さらに国際的制約と国内の競争的インフラ、教育、社会受容の問題等、共通の問題が記されている。これらを俯瞰的に検討し、重要課題を抽出した。

この俯瞰図を90°回転させて整理し直したのが図1.2-2である。右端に俯瞰WSで抽出された重要課題が記載されている。この中で、赤字で示されているのが本日のナノエレクトロニクスに関連するものである。本日のWSでは、このナノエレクトロニクスについて、戦略的に何をどうやるのかということについて議論したい。

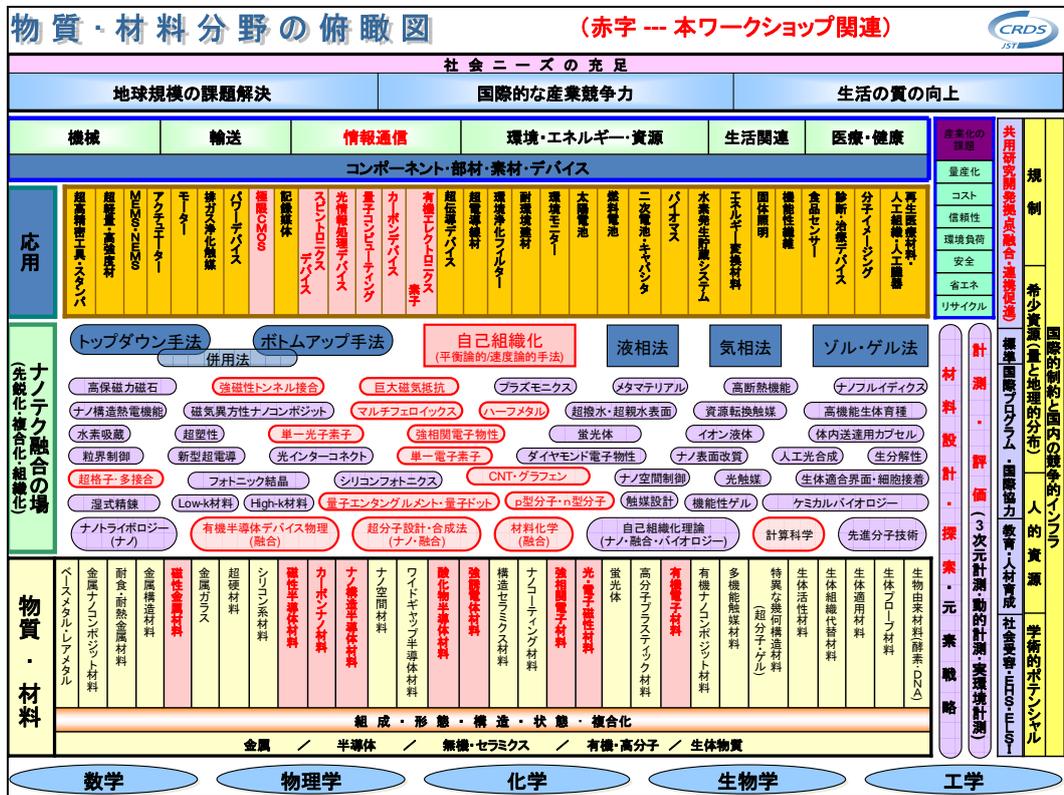


図 1.2-1 物質・材料分野の俯瞰図(1)

1. 本ワークショップの趣旨

2. 仮説と事前アンケートのまとめ

3. 議論の進め方/CMOSの原理限界と課題

4. セッションI

5. セッションII

6. セッションIII

7. 全体討論

8. 終り

Appendix

物質・材料分野俯瞰図(ユニット2008年度版)				(赤字 --- 本ワークショップ関連)			
物質・材料		生成・加工・構造 ナノテク融合の場		デバイス・部材		産業	
性質・機能		社会		重要研究領域			
<p>金属</p> <p>ベースメタル・レアメタル 金属ナノコンポジット材料 耐食・耐熱金属材料 金属構造材料 磁性金属材料 金属ガラス 超硬材料 シリコン系材料 磁性半導体材料 カーボンナノ材料(CNT, グラフェン) ナノ構造半導体材料 ワイドバンドギャップ半導体 酸化半導体材料 強相関電子材料 光・電子・磁性材料 強誘電体材料 構造セラミックス材料 ナノコネクティング材料 高分子プラスチック材料 有機電子材料 蛍光体 有機ナノコンポジット材料 ナノ空間材料 多機能触媒材料 幾何構造制御材料(膜分子・ゲル)</p>	<p>半導体</p> <p>量子ドット 超格子 クラスレート ケージ型 多孔体 超微粒子 ナノシート ナノワイヤ 階層構造 高次階層 トップダウン法(T) ボトムアップ法(B) TとBの併用法 固相法 気相法 液相法 印刷 焼結 ナノ空間制御 自己組織化 界面制御 ナノ表面改質 精密塑性加工 電気泳動堆積 湿式精錬 ゾル・ゲル法 高機能生態育種</p>	<p>デバイス・部材</p> <p>極限CMOS スピントロニクス 光情報処理デバイス パワーデバイス 単電子分子素子 カーボンデバイス 有機エレクトロニクス 記録媒体 固体照明 超軽量・高強度材 新(高)機能セラミックス MEMS/NEMS アクチュエータ・モータ 超高精密工具・スタンパ 超伝導線材 エネ変換材料・システム 太陽電池 二次電池、キャパシタ 燃料電池 水素発生・貯蔵システム 耐環境建材 高断熱建材 機能性繊維 食品センサ 環境モニタ 環境浄化フィルタ 診断治療デバイス 分子イメージング 人工組織・臓器 再生医療材料</p>	<p>産業</p> <p>情報通信 機械 輸送 環境 エネルギー資源 生活関連 医療・健康</p> <p>生産化 コスト 信頼性 環境負荷 安全 省エネ リサイクル</p>	<p>社会</p> <p>地球規模の課題解決 国際的な産業競争力 生活の質の向上</p>	<p>重要研究領域</p> <p>量子コンピューティング スピントロニクス CMOS新チャネル材料 新状態変換エレクトロニクス カーボン・ナノエレクトロニクス 単分子機能素子 データストレージ エネ・半導体エレクトロニクス 省エネルギー構造材料 エネ変換・貯蔵・輸送材料 高効率熱電変換デバイス 新型超伝導 無機/有機複合材料 超塑性セラミックス創成加工 アクティブソフトマテリアル 液体による材料創成・プロセス 新機能材料開発 材料設計・合成 材料インフォマティクス 元素戦略 分子戦略 資源対応型機能触媒科学 資源対策・リサイクル技術 有機原料の脱化石資源化 ハイオ融合再生医療材料 再生医療バイオマテリアル 生体機能医療材料 産業用ナノテク材料の社会受容促進戦略 ナノ国際研究開発拠点 エネルギー・環境国際共同プログラム</p>		
<p>分子・金属界面物性 有機半導体デバイス物理 自己組織化理論 ナノライロジジー ナノフルイドイクス ナノ構造熱物性 計測・評価(3次元ナノ計測、動的計測、THz計測、実環境計測) 標準化(ナノ物性の計測評価・標準資料) 計算科学</p>		<p>共用施設・研究開発拠点(融合・連携) 教育・人材育成 国際プログラム・協力 社会受容・EHS・ELSI(リスク評価・標準化、国際協力)</p>		<p>国際的規制 希少資源量と地理的分布 競争的・自立的インフラ 人的資源 學術ポテンシャル</p>			

図 1.2-2 物質・材料分野の俯瞰図(2)

1.3 趣旨説明

波多腰玄一（JST CRDS）

本 WS では、次世代に向けて我が国が推進すべきナノエレクトロニクス戦略を議論する。この WS で期待するアウトプットは図 1.3-1 に示した通りである。今後重要な研究開発領域・課題の抽出、研究開発促進のための研究システム提案については、具体的にはこの図の青字で示した内容について議論したい。事前をお願いしたアンケートについては別途まとめた（2章参照）。この中で、例えば微細化・集積化・低消費電力化の限界を突破／回避できる新原理、新材料、新アーキテクチャの候補と重要課題については様々なものが挙げられた。これらの関連デバイスを情報記憶・処理・伝送という視点でまとめてみると、図 1.3-2 のようになる。本 WS のプログラムは、この中の情報処理、即ち論理デバイスを中心としたプログラム構成になっている。

本ワークショップで期待するアウトプット

次世代に向けて我が国が推進すべきナノエレクトロニクス戦略

- ・ アンケートと仮説による事前調査をベースとした議論
- ・ 今後重要な研究開発領域・課題の抽出、研究開発促進のための研究システム提案
 - (1) 微細化・集積化・低消費電力化の限界を突破できる技術の可能性はあるか否か、ある場合はそれを明確化する
 - (2) 新材料・新アーキテクチャによるエレクトロニクスデバイスの課題を抽出する
 - (3) エレクトロニクスの潮流を変える新しい技術の芽があるか否か、ある場合はそれを明確化する
 - (4) 次世代エレクトロニクス分野で世界に勝つための戦略を提案する

図 1.3-1 本ワークショップで期待するアウトプット

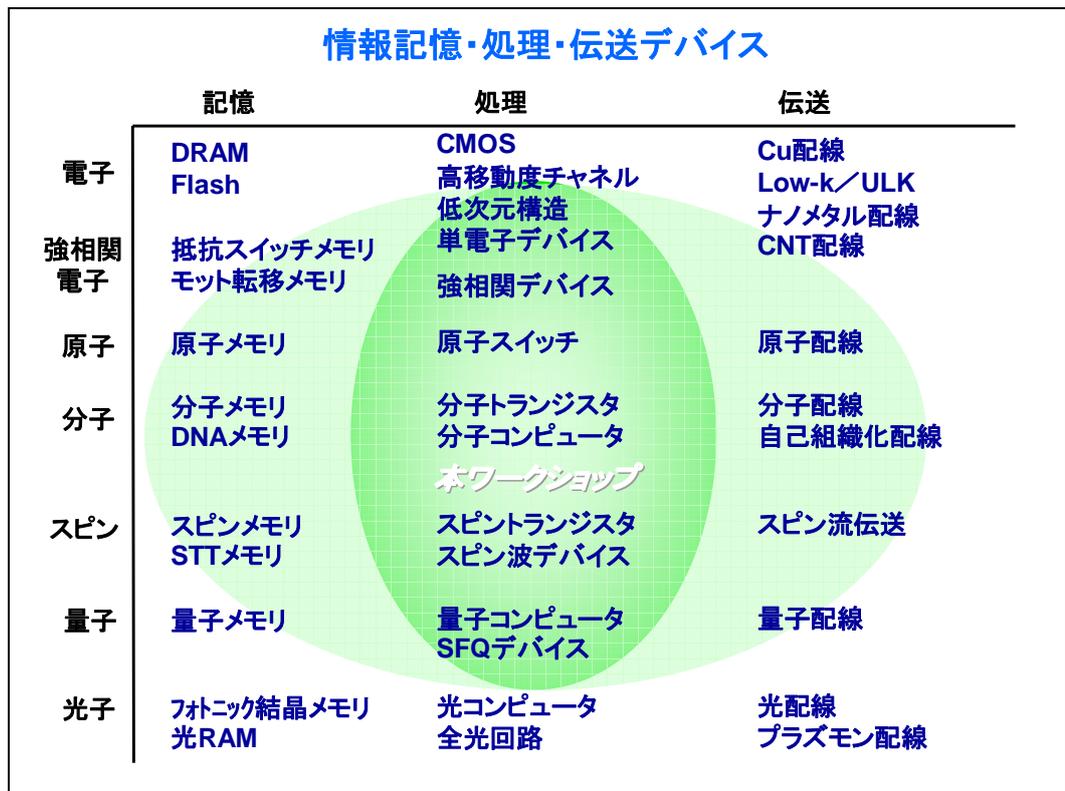


図 1.3-2 情報記憶・処理・伝送デバイス

プログラム後半の全体討論では、本日の議論全体の整理と、仮説アンケートの整理、また重要研究領域と課題の整理を行いたい。重要研究領域と課題については、難易度／不確実性と技術インパクトという視点、および CMOS の現状および将来予測に照らしての位置づけ（CMOS の限界要因のどれをどのように突破するのか）の視点からも議論を行いたい。これについては、この後のセッション（議論の進め方について／CMOS の原理限界と課題）で御説明頂く。

2. 仮説と事前アンケートのまとめ

本 WS プログラムの企画に際し、ナノエレクトロニクス戦略を議論するための CRDS としての仮説を設定し、それに関連する設問を作成して、WS 出席者に事前アンケートをお願いした。このアンケートに対する回答を仮説毎に集計・分析した結果の概略を図 2-1～図 2-7 に示す。

5 つの仮説のうち、(1)～(3)に対しては、ほぼ「Yes」の回答であった。仮説(4)に対しては反対意見（寄与できるフォトニクス技術がある）の方が多かった。今回の WS ではフォトニクス分野を中心とした話題は含まれていないため、これ以上の議論は行わないが、エレクトロニクスにおける光技術の位置付けという点で参考になった。フォトニクス技術については別途検討したい。仮説(5)-1 の共同利用施設の必要性についてはほぼ全員が「Yes」であった。

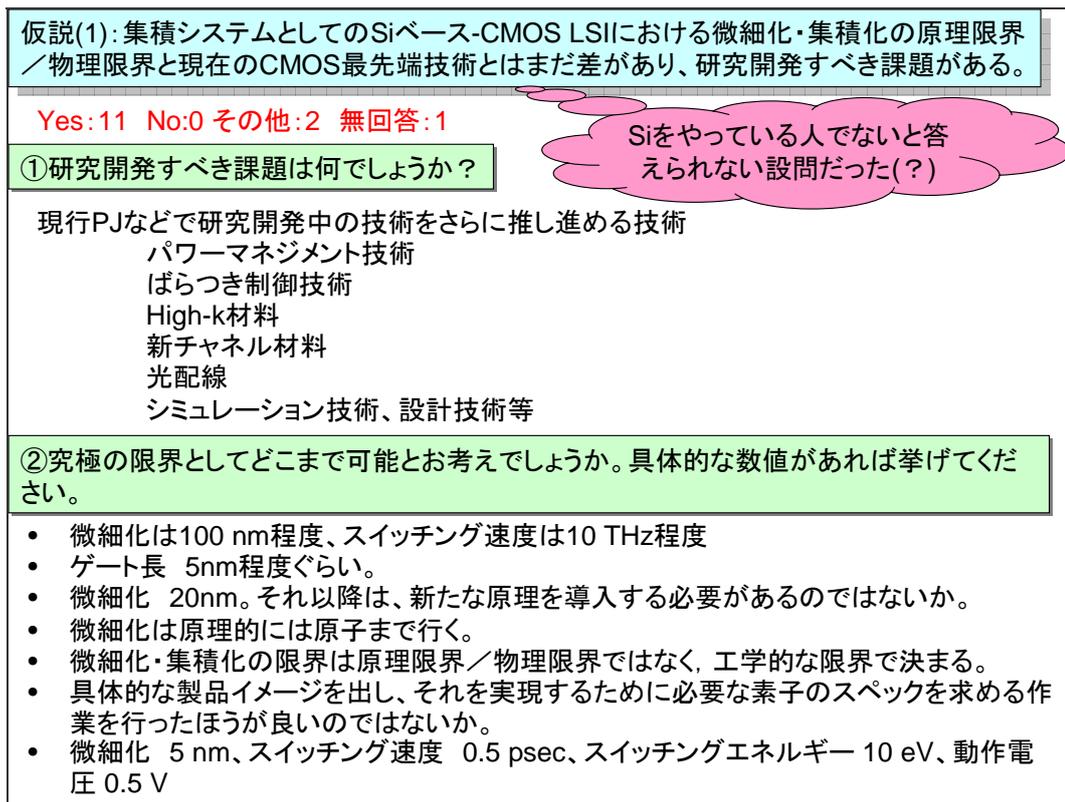


図 2-1 仮説(1)に対する回答の概略

仮説(2): エレクトロニクスデバイスの微細化・集積化・低消費電力化における現在のSiベース-CMOS技術の限界(原理限界または物理限界)を突破または回避できる新原理、新材料、新アーキテクチャの実現可能性がある。Yes:14 No:0

①それはどのような技術(原理、材料、アーキテクチャ)ですか？

- 「これが判れば苦労はしない」が皆さんの本音と思われる。
- 予想したキーワードがすべて出揃った。
- 「Siベース-CMOS技術の限界」が高いことを認識し、「実現可能性がある」に止めた意見もあった。
- CMOS+新原理

②その技術はいつ頃実現可能でしょうか？／またいつ頃必要となるとお考えでしょうか？

「実現/必要」の解釈が、実験室検証から実用化まで分かれてしまい、2015年から2030年までの大きな幅を持っている。

③実現のための重要課題は何でしょうか？ またその課題解決のためには何が必要でしょうか？(研究体制、人材育成等も含む)

- 大半の回答に共通していたのが、『材料からアーキテクチャまで』、あるいは『基礎から応用まで』という表現の統合・融合型の研究開発プラットフォーム(組織・ファンディング)構築の必要性であった。
- これまでの拠点運営・体制の不具合点の改善に触れたご意見もあった。
- ファンディングの仕方については、「集中的」と「小額でも幅広く」、「課題設定型」と「斬新且つ挑戦的」と意見が分かれている。
- 候補材料や動作原理が不明なテーマなので、幅広い探索が必要

図 2-2 仮説(2)に対する回答の概略

仮説(3): 20年後(2030年)の先のエレクトロニクス(実用化レベル)を考えた場合、上記(1)(Siベース-CMOSの極限追求)の推進のみでは限界があり、ナノエレクトロニクスにおける(2)(新原理、新材料、新アーキテクチャ)の研究開発が必須となる。そのためには、今から(2)に公的資金を投入すべきである。

Yes:13 No:0

その理由

- 大掛かりな仕掛けを構築するには、大型の公的資金投入と有効活用のための組織設計が必要。
- 昨今の経済環境から、自助努力だけでは開発できない。優れた基礎研究の担い手にニーズを理解してもらい研究開発に参画してもらう方策・投資が必要。
- 分野横断的・融合的・戦略的研究開発体制を構築するために公的資金が必要。
- 海外の研究拠点をしのぐ研究開発体制をとるために公的資金が必要。
- SiベースCMOSに対して優位性を示せるデバイスに実用化には15~20年かかる。国策として長期にわたってリーディングする必要がある。
- 新技術が実用化されるまで、研究開発の着手から20年を要している場合が多い。そのため、今、着手すべき。
- 米国は先行者リスクを取って、様々な幅広い可能性にチャレンジしている。

図 2-3 仮説(3)に対する回答の概略

仮説(4): エレクトロニクスとフォトニクスは、材料技術等で共通基盤技術があるが、光配線(シリコンフォトニクス)以外に、フォトニクス技術でエレクトロニクスデバイスの超微細化・超集積化・超低消費電力化に寄与できる技術はない。(情報処理デバイスを構成する機能への直接的な利用を主に考えていますが、リソグラフィ等のプロセス技術も含めてお答え下さい。)

寄与できる技術がある:7 寄与できる技術はない:3 回答なし:3

その理由

- ・『寄与できる技術がある』とする方は、量子コンピューティング/光コンピューティングを挙げているが、『最終的なデバイスには光技術を使うことは困難と思うが、原理検証実験には光技術は極めて有用である。また、大きな波及効果が期待できるので、最終的なデバイスに光技術を使う可能性を追求する研究を排除すべきでない。』という御意見もあった。
- ・具体的な寄与できる技術としては、フォトニック結晶・全光ロジック回路・光スイッチが挙げられている。
- ・『寄与できる技術はない』とする方は、光コンピューティングの可能性は否定していないが、エレクトロニクスデバイスと比較して、サイズ(微細化/集積化)と消費電力に対する懸念を挙げられている。

図 2-4 仮説(4)に対する回答の概略

仮説(5)-1: ナノエレクトロニクスの研究開発プログラムの推進にあたり、異分野技術や異種材料技術の融合的なデバイス化研究が可能な共同利用施設が不可欠である。

Yes:12 No:1

その理由

- ・『Yes』とされた方々は、おおむね既存の施設の有用性を認め、ナノエレクトロニクス分野ではより融合的な研究を進める為に共同利用施設が必要とされていた。
- ・『No』とされた方が一名おられたが、『「共同」である必要性はないかもしれない。研究をするためには、「融合的なデバイス化研究が可能な共同利用施設」か、同等の機能を持つ施設が必要。』とのことであり、実質的には『Yes』のご意見と推測される。逆に『Yes』とされた方の中で、『「異分野技術・異種材料技術の融合的なデバイス化研究」はケースバイケースであり、共同利用施設を立ち上げたからといって**効率的**に進むという性質のものではない。(逆に無駄が増えることを危惧します。)個別の案件に対して、効率的に研究費が分配されればそれでいいのではないか。』というご意見や、『技術蓄積、試作水準維持のためにも、これまで日本で行なわれてきた各社寄り合いで出向者が2～3年で入れ替わる方式や、現状の複数大学・公的研究機関に分散したCRを設置し、運営・試作も大学・研究機関のスタッフ・学生で賄う方式では**限界**がある。』と既存の施設に対するご意見もあった。

図 2-5 仮説(5)-1 に対する回答の概略

<p>仮説(5)-2:文部科学省の「先端研究施設共用イノベーション創出事業」における「ナノテクノロジー・ネットワーク」事業 (http://nanonet.mext.go.jp/) は、日本における共同利用施設としての期待に応えたものになっている。</p> <p>Yes:4 No:2 無回答:1 Yes/No: 1 この事業について知らない:1 利用したことがないのでわからない:4</p> <p>その理由</p> <ul style="list-style-type: none"> ・『Yes』と答えた方は、すべてこれまでの利用実績を評価されたご意見だった。 ・『No』と答えた方は、『使いにくさ』を挙げた方が1件。『新技術の優位性を見極めるに足る試作水準を想定していない』が1件 <p>共同利用施設に、今後、期待するものは何でしょうか。</p> <ul style="list-style-type: none"> ・ 回答された方(5件)すべてが、デバイス化に必要な共通基盤プロセスの開発と提供を望んでいると思われる。具体的には、『使いやすさ』、『スタッフの充実』、『企業経験者の採用』、『管理者のマインド』が挙げられている。 ・ 新技術の優位性を見極めるに足る評価ができるだけの完成度を提供できる必要がある <p>Noの場合:今後の具体策についてお考えがありましたら挙げて下さい。</p> <ul style="list-style-type: none"> ・ 研究者のボランティアベースの運営を改善し、サポートに徹するべき。そのための予算処置が必要。 ・ 『デバイス作製の際に必要な微細加工装置は、各研究機関・大学に共同利用として一通り揃っているような体制が必要である。』 →現状の共同利用施設の使いにくさからのご意見と思われる。

図 2-6 仮説(5)-2 に対する回答の概略

<p>その他、ご意見があればご自由にお書きください。</p> <ul style="list-style-type: none"> ・ 大学及び研究機関の研究は、社会に還元できる有用なものであるべきことは勿論であるが、一方で数十年のオーダーでの先駆的な研究を開始しておかなければ、近未来的に我が国の科学技術の足腰が弱ると懸念される。この意味で、2030年を射程距離に入れた研究のための政策立案は非常に重要である。 ・ 化学の現状は、ある意味では沈滞していると憂慮している。「元素戦略」もその活性化のための一環と捉えられるが、化学がエレクトロニクスに対して真に寄与をすることができる時代が始まりつつあることを、これからの若い研究者が実感して近い将来の我が国のサイエンスの牽引力の一つとなって欲しい。 ・ ナノ研究のターゲットはエレクトロニクスだけに限らず、例えば電極界面や電解液のナノ相互作用の解析を通じて、より高効率の二次電池の設計・開発などにとっても有用な武器となる。これは卑近な言葉で言えばグリーンナノに分類されるかも知れないが、環境・エネルギー分野においても、物質・材料の特性を根本から見直して理解することは今後の技術開発において必要不可欠になろう。特に、同時に全体を俯瞰することができて、かつナノの視野も持った研究者の養成が必要。 ・ 現状のような経済環境のもとでは、将来を見通すことが難しい先端的なテーマに企業が、しかも、個々に取り組むのは難しい(ほとんど不可能な)状況であると認識している。 ・ 国の関与への期待が高まっており、各省庁の構想も出始めているが、一体的に議論されているようには見えません。また、大学や国研でも、関係しそうなテーマでも別々のファンドで運営されており、壁があるように思えます。ぜひ、それらを全て取り去った議論、検討が行われることを希望。 ・ ナノエレクトロニクス関係でも、かつての半導体共同研究体のような体制を国がサポートして立ち上げる必要もあるのでは無いか。大学・国研に無い技術も多いし、企業には先物を開発する余裕はあまり無い。予算的に企業は人員を派遣する余裕もない。大学院重点化によって、一部の日本人ポスドクのレベルは極めて低い状態にあり、研究のレベルを維持するためには、ポスドクに頼るのではなく、企業と大学・国研の連携をさらに深める施策が求められる。

図 2-7 その他のご意見

3. 議論の進め方について／CMOSの原理限界と課題

コーディネータ 金山敏彦（産総研）

本ワークショップの目的は、20年後（2030年）のエレクトロニクスに向けて展望を描くことにある（図3-1）。20年後には、現在まで情報処理の根幹であったSiベースCMOSが、色々な意味で限界を迎えることが予想され、また、どのような技術も着手から実現に20年程度の時間がかかっていることを考えると、20年後のエレクトロニクスの展望を今から議論しておく必要がある。このためには、研究者の興味に基づいた個別探索的な研究も非常に重要であるが、それに加えて戦略と構想に基づいた着実な取り組みが必要である。今主流のCMOSの限界が議論の動機の一つであるので、本WSでは、CMOS技術を基準点として、それぞれの技術を議論してみたい。

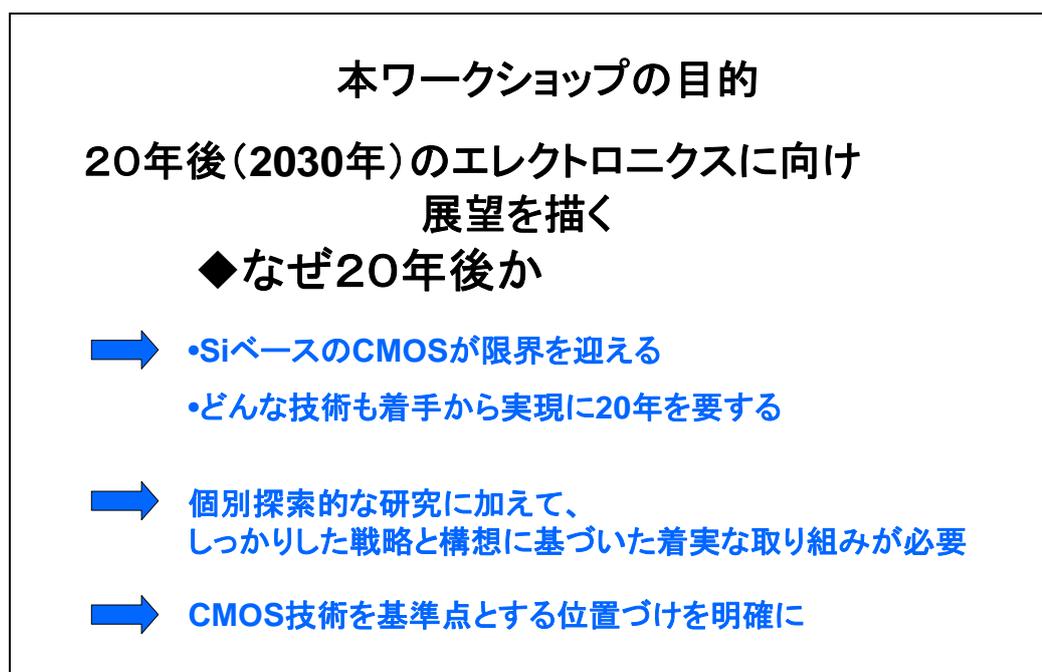


図 3-1 ワークショップの目的

CMOSは、非常にすぐれた技術であり、1990年ごろまでには、LSIデバイスのほとんどでCMOS技術が採用されるようになった。このCMOSの消費電力は、年々増加し、現在では、バイポーラーLSIがCMOSに置き換わった頃の消費電力レベルに到達している。そこでCMOSに代わる別の技術が必要だという議論がよくあるが、この消費電力増大を根拠とした議論はミスリーディングである。実際、CMOS技術とは関係なく、サーバ等の電力をたくさんとれる機器は100W、たくさんとれない携帯機器等は1Wで飽和している。

1. 本ワークショップの趣旨

2. 仮説と事前アンケートのまとめ

3. 議論の進め方／CMOSの原理限界と課題

4. セッションI

5. セッションII

6. セッションIII

7. 全体討論

8. まとめ

Appendix

これは技術限界ではなくて、使い方で限界が決まっていることを示している。なお、デバイスの機能そのものはかなり高度化しているので、機能当たりの消費電力というのは極端に下がっている。これはまさに微細化により成し得たものである。以上の例からもわかるように、CMOSのどこがすべての情報処理デバイスに共通な基本的な限界か、どれがCMOS固有の限界かということを見極めた上で議論する必要がある。そこで、そもそも電荷を用いた情報処理装置そのものの限界、熱力学的な限界に対して、CMOSの限界がどのような位置関係にあるかを整理してみたい。

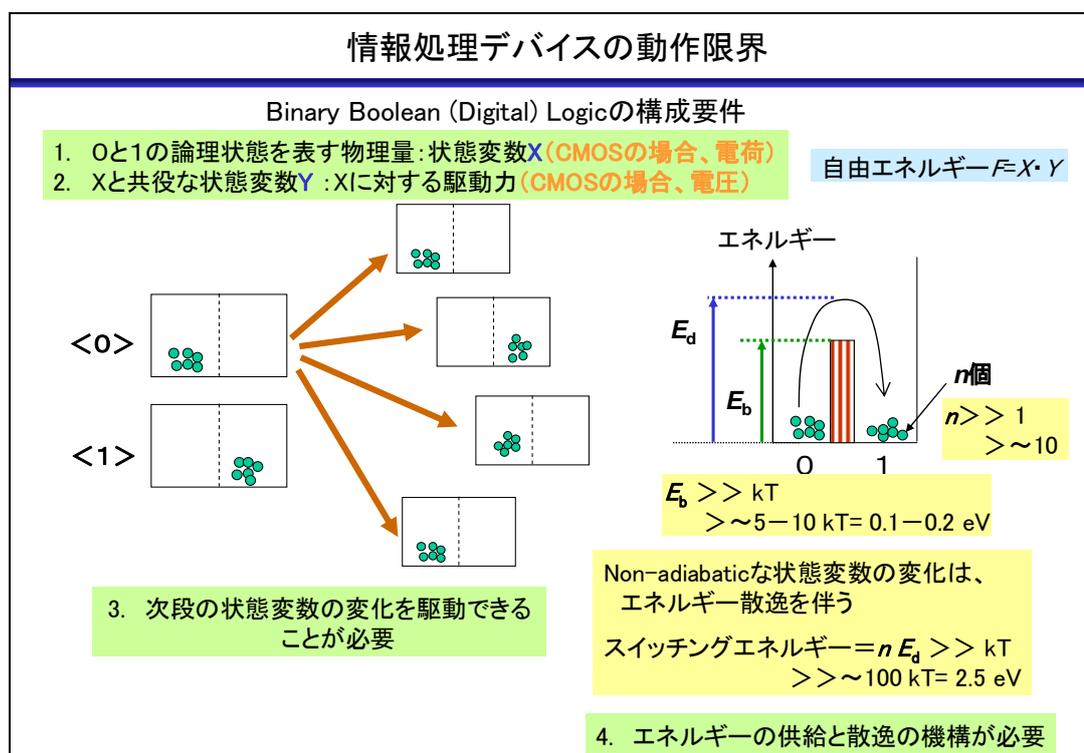


図 3-2 情報処理デバイスの動作限界

図 3-2 に示したように、2 値ブール代数論理デバイスでは、通常、 $\langle 0 \rangle$ $\langle 1 \rangle$ の論理状態をある状態変数 X で表す。この状態変数は熱力学的な物理量で、必ずこれと共役な物理量 Y がある。CMOS の場合、 X 、 Y はそれぞれ電荷と電圧である。上述の $\langle 0 \rangle$ $\langle 1 \rangle$ の論理状態を保持できること、およびこれら一つの状態が次の段の状態に影響を与えて演算を行えることが、論理デバイス動作の要件である。これは熱力学的なシステムとして動いているので、 $\langle 0 \rangle$ と $\langle 1 \rangle$ の間を隔てるバリアが必要である。バリアの大きさは、ユニットチャージに対して kT よりも大きい必要があり、実際はおよそ 5-10 倍必要である。状態変数の変化（演算）には、エネルギーが必要で、エネルギー変換を非断熱的に行うとその散逸を伴う。状態を安定させるには、このエネルギー

を散逸させる機構が必要である。また熱的な擾乱による状態遷移を避けるためには kT の 100 倍程度 (~ 2.5 eV) のスイッチングエネルギーが必要であり、これが情報システムそのものの消費エネルギー限界を与える。

CMOS は状態変数である電荷を蓄えるキャパシタンスとしての作用、電荷を移すスイッチの作用、および電荷を移すときにエネルギーを消費する抵抗、の3つの機能を一つで兼ね備えたデバイスである。つまり、CMOS は、情報処理の基本的な構造、電荷をためてそれを移すということを実現できるという意味で、非常に基本性能が高い。

CMOS トランジスタは、1回の動作で CV_{dd}^2 のエネルギーを捨てるので、クロック周波数を f とすると、消費電力は $f \cdot CV_{dd}^2$ に比例する。これが成り立つためには、リーク電流や貫通電流がなく、CMOS のスイッチが理想的に作用する必要がある。しかし、実際には、リーク電流が存在し、それに比例する待機電力が生じている。理想的な CMOS を実現するために、その要素トランジスタには、かなり厳しい条件がつく。第1要件として、トランジスタはスイッチなので、電流のオンとオフの比がとれること、第2要件として、集積回路として動作するためには、このオンとオフの境目、しきい値電圧が全部そろっていることが必要である。

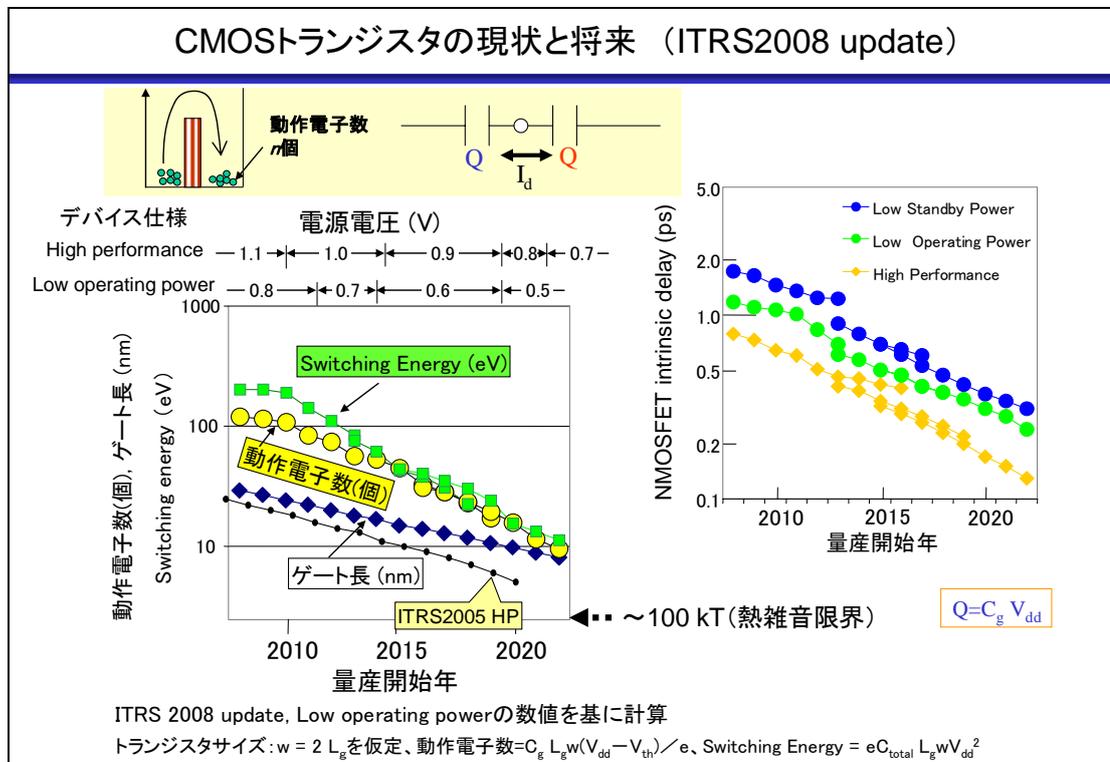


図 3-3 CMOS トランジスタの現状と将来

1. 本ワークショップ
2. 仮説と事前アンケートのまとめ
3. 議論の進め方 / CMOS の原理限界と課題
4. セッション I
5. セッション II
6. セッション III
7. 全体討論
8. まとめ
Appendix

以上を踏まえて、CMOSのトランジスタの微細化限界を考えてみる。トランジスタそのものの微細化限界は、かなり先にあると考えられる。例えば、既にゲート長4 nmあるいは5 nmのMOSトランジスタというのは、通常のシリコン技術を使って作られていて、動作する。しかし、オンとオフの比が取れず、しきい値電圧の制御ができていないので、集積回路の要素としてのCMOSに使用できる要件はまだ満たしていない。

ここで、国際半導体技術ロードマップ(ITRS)でCMOSの現状と将来がどのように記載されているかを図3-3に示す。左側に示したスイッチングエネルギーと動作電子数はITRSの数値を基に計算した値である。この図から、現在のCMOSは、動作電子数が約100個、スイッチングエネルギーは200 eV程度で動いていることがわかる。熱雑音限界が100 kTだとすると、その100倍程度で動いていることになり、実は情報処理システムの基本限界まであと1/100しかないことになる。ITRSの予測では、2020年にはスイッチングエネルギーが10 eVになり、基本限界に相当近づく。

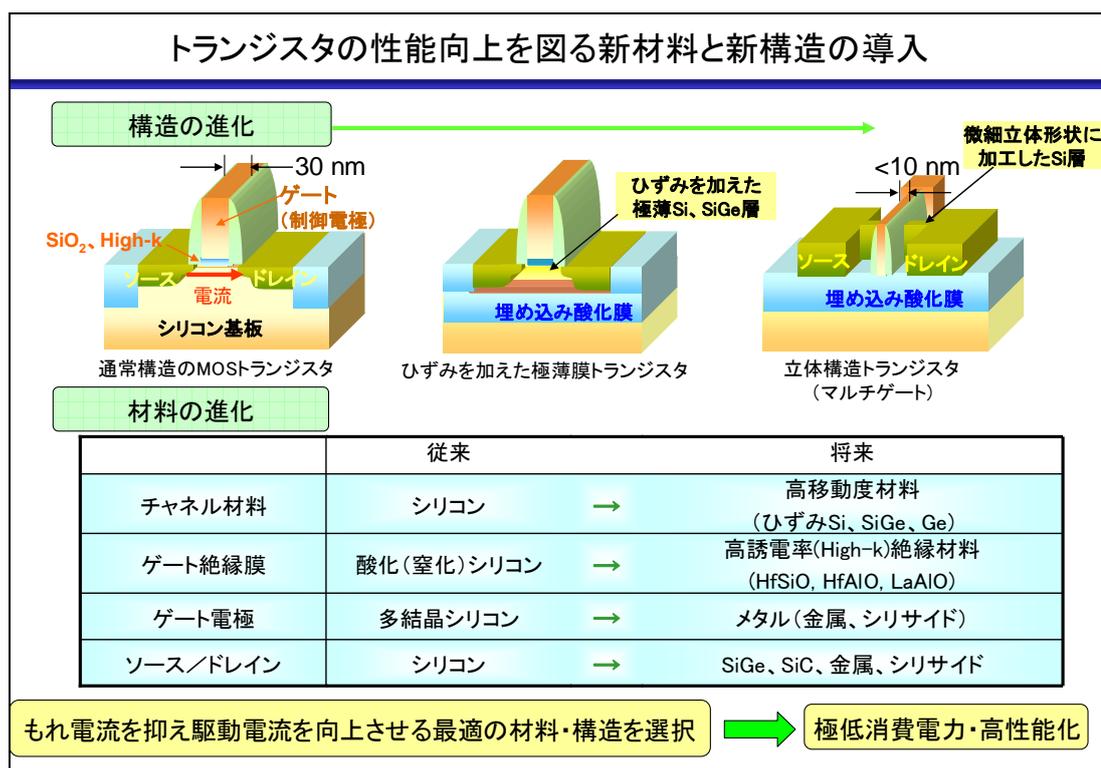


図 3-4 トランジスタの性能向上を図る新材料と新構造の導入

これまでCMOSのトランジスタそのものの改良を進めてきた原動力は、スケールリング、比例縮小であったが、今や比例縮小そのものではなかなかCMOSに要求される性能が実現できなくなっている。これを打ち破るために色々な新材料が、導入されつつある。従来、CMOSを構成するトランジスタは、シ

リコン基板上に、シリコン系の材料を使って作製されてきた。現在進行している技術開発は、図 3-4 に示したように、これを最適な材料にかえて、かつ構造も最適にする方向に進んでいる。つまり、(1)物性限界により比例縮小しようとしても縮小できないパラメータの存在、(2)ばらつきや kT 等のランダムネスの要因へ対抗するために、材料を最適にしつつ、かつ原子レベルできちんとしたものを完全につくること、これが今取り組んでいる課題である。

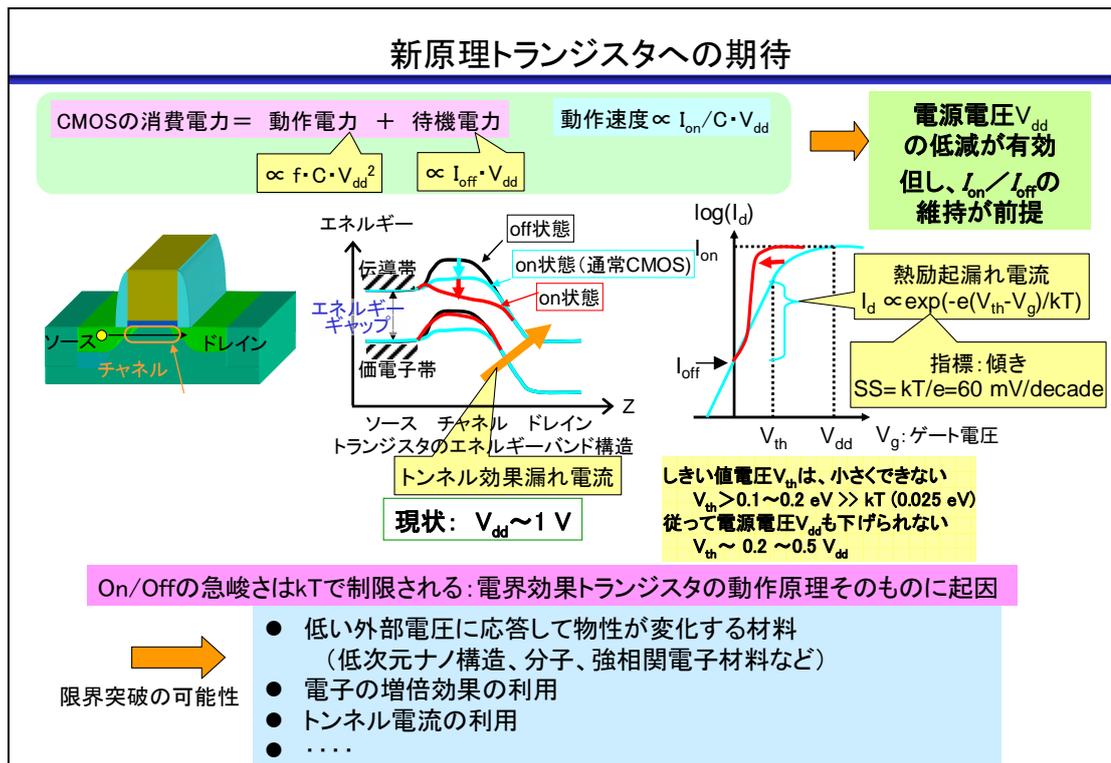


図 3-5 新原理トランジスタへの期待

これらの課題は工学的な限界へのチャレンジであるが、その先は、 kT という本質的な課題が待ち受けている。CMOS の大きな限定要因の一つに消費電力があるが、この消費電力を下げるには電源電圧を下げるのが有効である。一方、同時に CMOS としての能力は維持しなければいけないので、高いオンオフ比を保持しなければならない。しかし、熱的な擾乱 (kT) によりこのバリアを超えて流れる成分がオフ電流を決める1つの要因になっているので、閾値電圧は下げられない。このため現状では、電源電圧を1V以下にできない。これを打開しないと、その先の微細化による低消費電力化はできないが、上述のように、CMOS の動作原理そのものにかかわる本質的な問題である。これはなかなか難しい問題であるが、解決策はある。図 3-5 に示したように、熱励起漏れ電流の限界を決める指標は kT/e なので、電荷 e が大き

1. 本ワークショップの趣旨
2. 仮説と事前アンケートのまとめ
3. 議論の進め方 / CMOSの原理限界と課題
4. セッション I
5. セッション II
6. セッション III
7. 全体討論
8. まとめ
Appendix

くなれば kT/e を小さくできる。つまり、1 電子ではなくてたくさんの電子がまとまって応答するシステムを作ればよい。例えば強相関電子系や、ナノ構造、分子など外部電界で物性が変化する材料を用いる方法である（ただし、低い外部電圧が条件で、高い電圧で応答する材料では意味がない）。あるいは、電子が 1 個ではなくて、1 個流れると増倍することが可能であればよい。このようなことができれば、原理的な CMOS の限界を突破して本来の物理的な限界に近づくことが期待できる。

以上のような CMOS の限界のとらえ方は、単体デバイスでのかなり狭い見方であり、回路的な工夫でも、消費電力を低減できる可能性がある。例えば、既に、マルチコアが提案されている。マルチコアは、少し性能は低いが、動作電力が小さいものを集めれば、トータルとしては能力が上がることを基本原理にしている。無限個の極低消費電力のコアをたくさん集めて、相互の情報伝達を行うことができるようにすれば、理想的なシステムができるかも知れない。

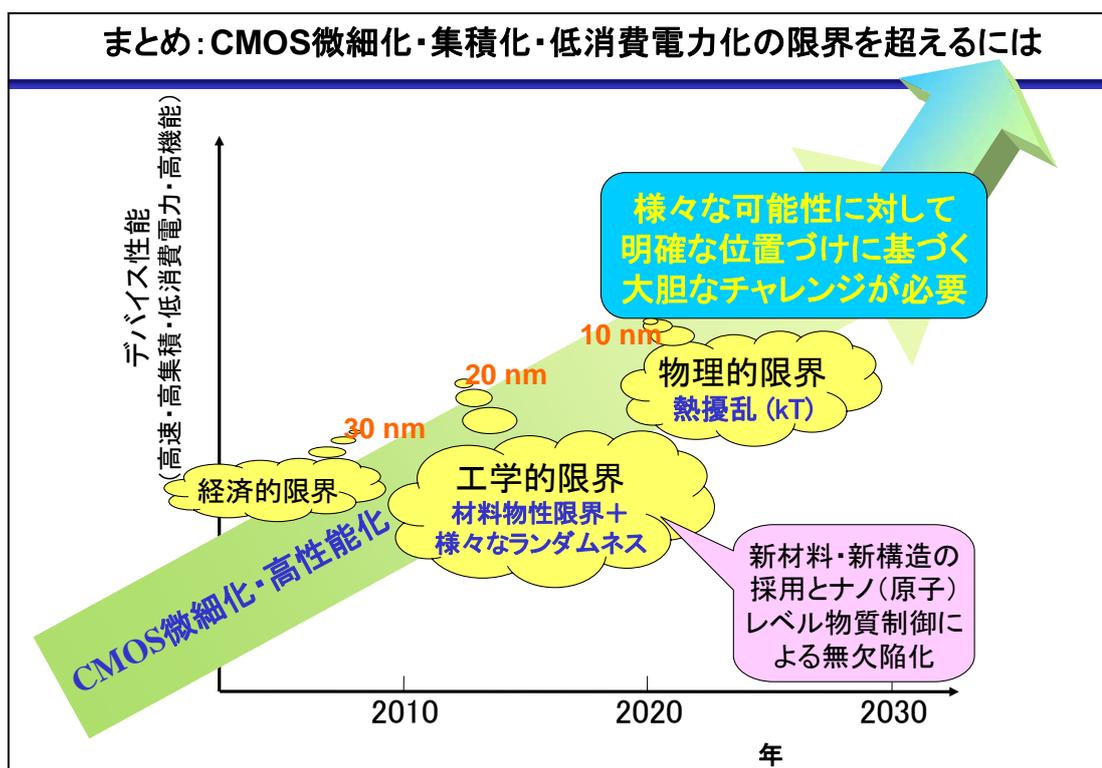


図 3-6 CMOS の微細化・集積化・低消費電力化の限界を超えるチャレンジ

以上をまとめると、図 3-6 に示したように、2030 年に行くまでには、工学的限界と物理的限界という二つの限界が重大な技術的バリアとして存在している。工学的限界の一つは、材料物性的な限界であり、もう一つは、非常に

小さいものを、しかも多種の材料を使ってつくるときに発生する様々なランダムネス（例えば、不純物の揺らぎ、界面の不完全性、欠陥の問題）である。物理的限界としては、熱的な擾乱、つまり kT の限界が非常に大きな限界として存在している。現在は、これらの限界をアタックするために、新材料・新構造のそれぞれに最適の材料、最適の構造を取り入れると同時に、構造あるいは材料の制御を完璧に行うことにチャレンジしている。これが実現できれば、限界を少し先延ばしすることができるかも知れない。しかし、相当本質的な限界に立ち向かわなければならないので、2030年までこの流れで行くかどうか非常に難しい。そのためには、新しい可能性を否定せずに、きちんと位置づけを明確にした上で大胆にチャレンジする必要がある。

質疑：

Q: 図 3-2 の熱雑音限界のところで、 E_0 と E_0 に対する二つの制約があるが、 E_0 が kT 以上ではなく、 nE_0 が kT 以上ということではよいのか。

A: この2つの制約はそれぞれ違う。 E_0 は1電子当たりの E_0 で、現実のシステムとしては kT よりも大きいことが必要だが、これはかなり低くても動作を速くするとか何かで回避できるようになる。 nE_0 は本来の意味でのスイッチングエネルギーで、本質的に情報処理システムそのものの限界になる。スイッチングエネルギーは kT に比べてかなり大きい必要があり、大体100倍。一方 E_0 は、この系がどのくらい時間的に安定かを左右する話で、 E_0 が低いとだんだん漏れていって状態が変化する。一気に kT のエネルギーが入ると、状態は0から1に変わってしまうというファクターなので、現象としては両者は異なる。

Q: 小さくなっていくと、熱揺らぎやドーピングの原子の揺らぎなどが、本質的になる。生物系では、その揺らぎそのものを積極的とりいれてシステムが成り立っている。揺らぎの積極的な利用については、触れていなかったが、それはもっと（2030年よりも）先の話なのか。それとも、やはりパラレルに考えていかななくてはいけない問題なのか。

A: パラレルに考えていくべきものだと思う。 kT の熱揺らぎの中でシステムをつくる話は魅力的であり、将来的には非常に重要なファクターである。アイデア自体は古く、昔からそれなりに研究されているが、確実に動作をするという、デバイスに対して有効なオルタナティブというのは出ていないのが現状。エレメンタルな物理的な実在として何を使うかということと、それがやはりかなり低消費電力で動くことが重要。一個一個のゲートの動作は非常に不確実でも、全体を見てしまえば、例えば確率的に正しい答えを与えるということになる。このような話は、本日の材料的な話とは離れるので、別の機会に議論したい。

Q: スイッチングエネルギーの nE_d は、実際にはその情報を配線に充電することによって保持されていると思うので、この場合、配線の容量も含まれた値と理解すればよいか。それとも、デバイス単体なのか。

A: ここの議論では、デバイス単体である。実際には、消費エネルギーという意味では、配線をチャージするエネルギーが、かなりのエネルギー消費になっている。こういう議論をするときに、どこまでがデバイス単体で、どこまでが配線かという、その境目を決めないといけないが、そこはなかなか難しい。図 3-3 の動作電子数を見積もるときには、トランジスタのゲートの下チャンネルにたまっている電荷を使い、スイッチングエネルギーのときは、ITRS のトータルキャパシタンス（ゲートだけではなくて周辺のストレイのものも含めたもの）を使用した。しかし、どこまでがロジックエレメントで、どこが配線かというのは、概念的な切り分けは難しいので、情報処理デバイスの極限の議論をするときには、配線は非常に負荷が少ないと仮定をしてやらざるを得ない。現実の消費電力はかなり配線の部分が入っている。

4. セッション I : 「微細化・集積化・低消費電力化の限界を突破できる技術の可能性」

4.1 不揮発性論理素子実現のための課題：大野英男（東北大）

CMOS で不揮発性の論理回路をつくるためのアプローチを考える。CMOS 自身は不揮発ではないが、演算の結果を不揮発にすることで、実効的に不揮発な CMOS を実現できる。半導体の集積回路として Bipolar や NMOS が CMOS に置き換わったのは、CMOS が省エネルギーであることによる。CMOS を更に省エネルギーとするには、不揮発性メモリと組み合わせるべきである。

CMOS のゲート長を短くすると電流リークが大きくなるために、記憶保持に用いる静的消費電力が大きくなる。また、配線遅延は局所的に小さくなるが、大局的には増える。消費電力密度は現在 100 W/cm^2 程度であり、これはほぼ上限であると考えられる。この中で更に多くの機能を単位面積あたりに収めるためには、演算回路用不揮発性メモリを用いるべきである。

演算回路用不揮発性メモリ



- 不揮発
- $> 10^{15}$ 書き込み回数
- $< 10 \text{ ns}$ 読み出し・書き込み
- CMOS 配線/BEOLコンパチブル
- 高オン・オフ比
- 微細化可能
- 低エネルギー書き込み
- 非破壊読み出し

図 4.1-1 演算回路用不揮発性メモリ

図 4.1-1 に演算回路用不揮発性メモリの満たすべき特徴を示した。演算回路用不揮発性メモリは演算素子と一緒に用いるため、書き込み回数に制限が無く、動作が高速であることが必要である。また、CMOS 外（周り）にこのメモリを配置するため、CMOS の配線やバックエンドプロセスにコンパチブルであることが重要である。更に、メモリの2つの状態の隔たりが十分であること、微細化が可能であること、低エネルギーでの書き込みができること、非破壊読み出しが可能であることが必要である。このリストの要求を十分に満たす不揮発性メモリは、現在存在しないが、磁気トンネル接合が最も近い位置にいると考えている。高性能な不揮発性メモリが開発されれば、集積回路の様相が現在と大きく変わると予想されるので、極めて重要な技術と考える。

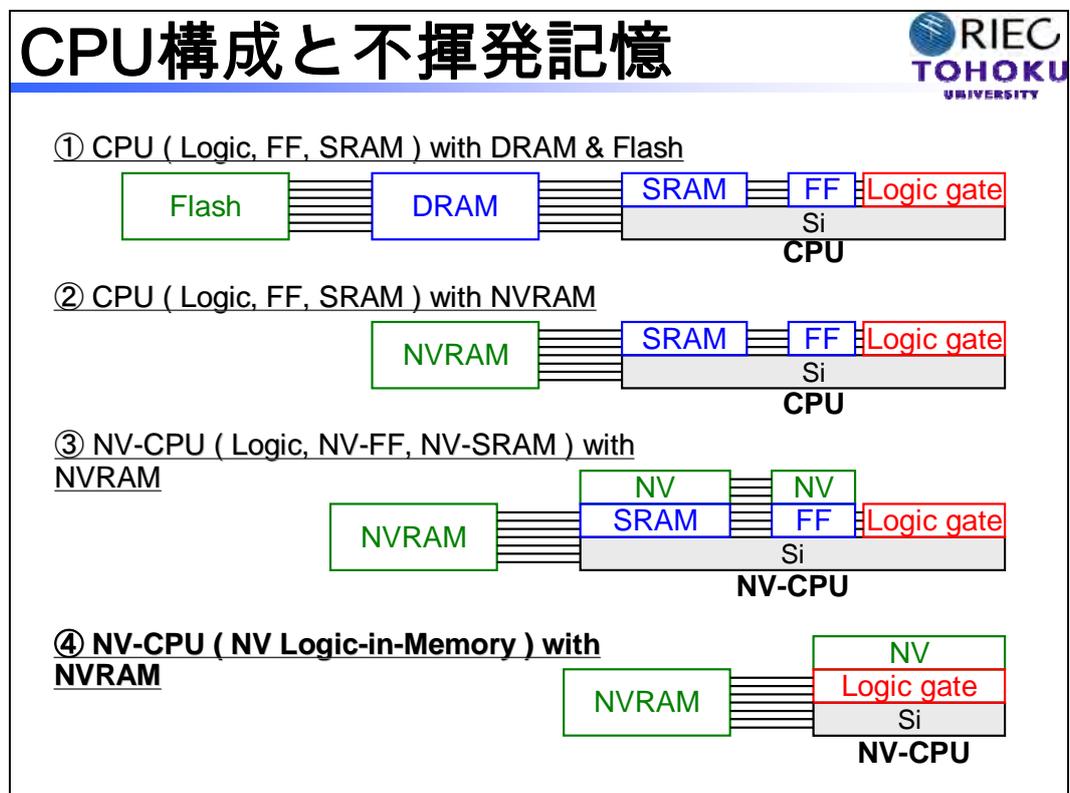


図 4.1-2 CPU 構成と演算回路用不揮発性メモリ

図 4.1-2 に、不揮発記憶のための CPU とメモリの構成例を示す。①は現行の CPU 構成である。②は、DRAM を NVRAM（演算回路用不揮発性メモリ）に置き換え、書き込み性能の低い FLASH メモリを廃した構成である。③は更に、Flip-Flop と、キャッシュである SRAM に不揮発性メモリを配した構成である。③によって、使用されないパワーゲートのしきい値を変更し、リーク電流を減らすことができる。この極限では、必要のない電源を切ること

なる。集積回路は5%程度の領域しか同時に利用されないと言われる。不揮発性メモリを用いて必要のない領域の電源を自動的に切るパワーゲーティングをつくることできれば、消費電力を下げることができる。③を更に発展させ、不揮発性メモリをロジックプレーンに密に結合させたロジックインメモリが、④の構成であり、我々が世の中に示したいと考えているものである。この構成によって、更にパワーと面積を低減でき、また配線長が短くなって遅延が減少し、コストも下げることができるので、従来のアプローチとは違った世界が開けると考えている。

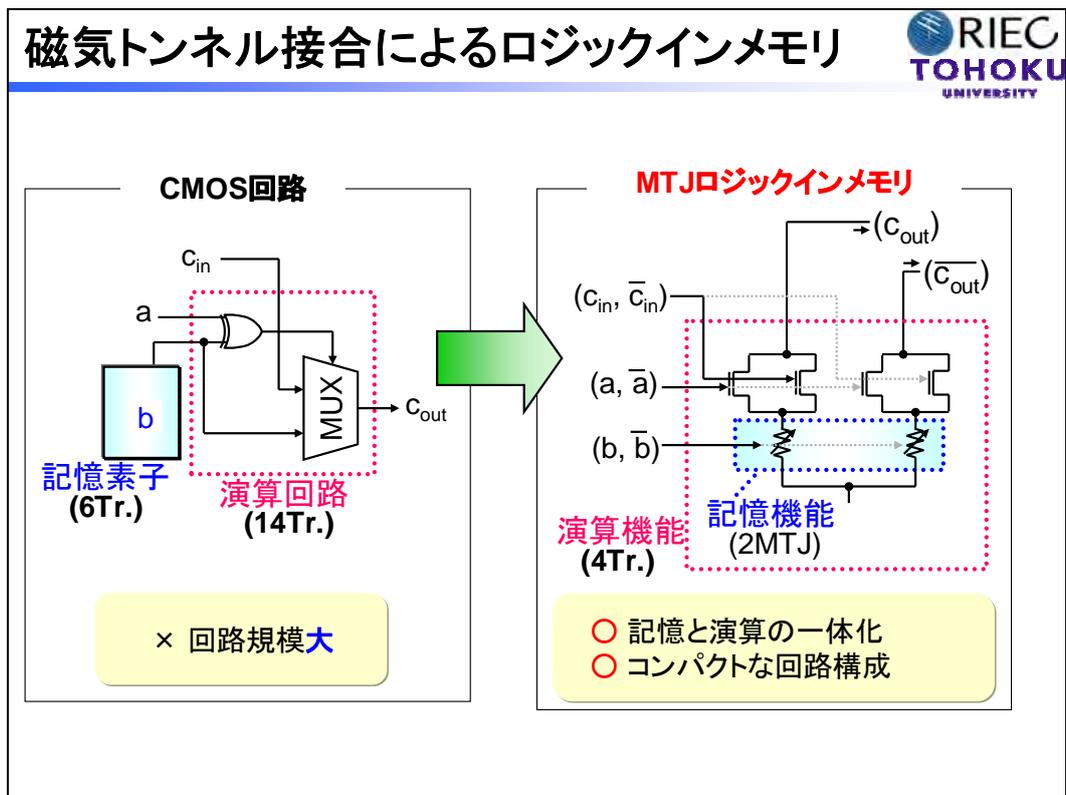


図 4.1-3 磁気トンネル接合によるロジックインメモリの概念図

図 4.1-3 に、磁気トンネル接合 (MTJ) によるロジックインメモリの概念図を示す。不揮発性メモリの MTJ をトランジスタ層と干渉しない形で配置しているという意味で、配線層に記憶機能を持たせていることになる。この回路では、CMOS がその直上のロジックインメモリを効率よく利用しながら演算が行われるので、遠くのメモリからデータを取り込む機会を減らすことができる。また、素子数、シリコン基板の面積、配線長、配線層数 (アーキテクチャ依存) の減少が期待でき、これにより、低消費電力、高速、低コストの集積システムを実現できる。

1. 本ワークショップの趣旨
 2. 仮説と事前アンケートのまとめ
 3. 議論の進め方 / CMOS の原理限界と課題
 4. セッション I
 5. セッション II
 6. セッション III
 7. 全体討論
 8. まとめ
- Appendix

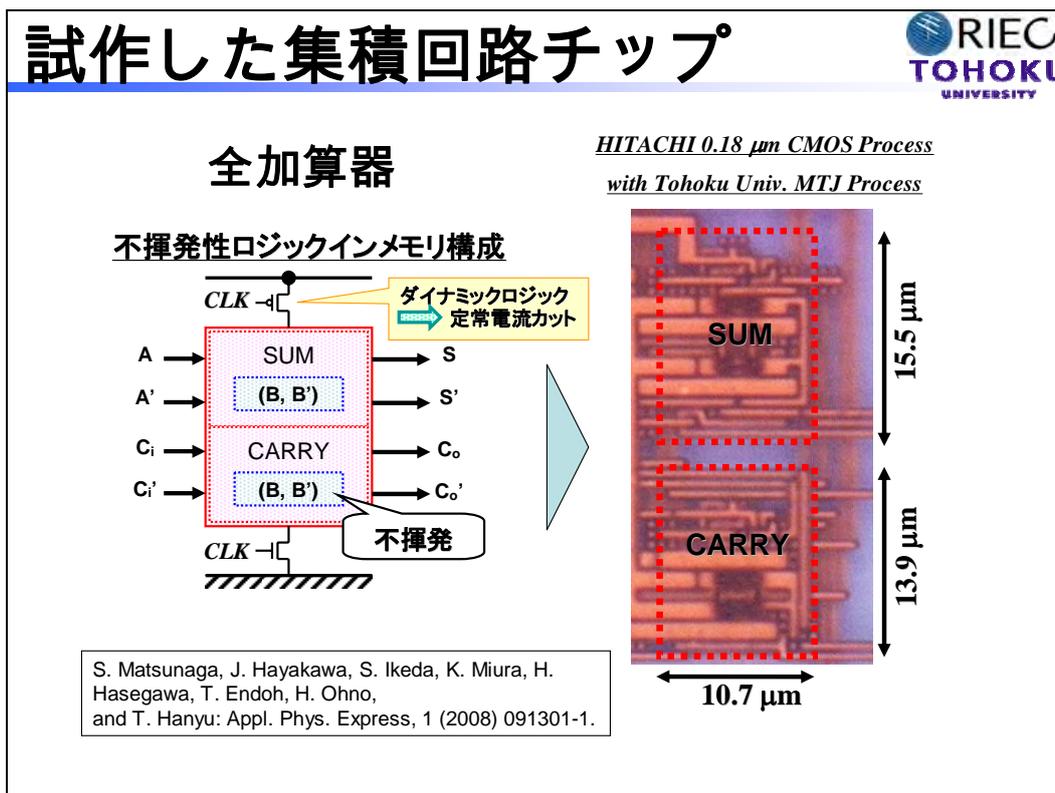


図 4.1-4 MTJ を用いて試作した集積回路チップ

図 4.1-4 は、MTJ を用いて試作した全加算器の例である。この不揮発性ロジックインメモリを、CMOS のみで構成した全加算器と比較すると、遅延を一定として比べた場合、トランジスタの個数が少ないために、ダイナミックパワーが大幅に減る。不揮発なので、スタティックパワーは必要ない。現状では面積が減っていないが、これは MTJ の書き込み電流が大きく、そのためトランジスタが大きくなったことによる。課題はまだあるが、CMOS とその直上の不揮発性メモリを組み合わせることによって、上述のアドバンテージを追求可能である。

このようにして、Flash メモリ (ROM)、DRAM (メインメモリ)、SRAM (キャッシュ)、Flip-Flop (レジスタ) を順次不揮発にすることによって、常時書き換え可能な不揮発性回路をつくる。これは、単に揮発性のものを不揮発に置き換えるだけでなく、配線層への組み込み、また回路の最適化をすることによって、更にトランジスタ数を減らすことができる。このような技術は、従来のパワー限界や微細加工を緩める方向に使える可能性がある。それができれば、現在の CMOS の大きな壁を何世代か先に送ることができる。これは不揮発で高性能なメモリができることを前提にしており、そこに非常に大きなチャレンジがあり、ナノテク・材料の寄与がある。

我々のこのようなアプローチは、微細化も十分可能であると考えている。

現在のハードディスクで既に 10 nm 以下のスケールの材料が開発されていて、このレベルまでは材料探索の方針が見えている。

このアプローチを真に革新的なものとするには、材料、デバイスだけでなく、回路、アーキテクチャも含めた研究開発チームをつくる必要がある。日本ではベンチャーがうまく機能していないということもあり、公的な機関で技術の実用性をテストすることができれば、民間での開発に繋げることができる。

基礎基盤研究との連携は非常に重要である。我々のアプローチの2つの大きなブレークスルーは理論計算から出ている。また、明確な課題設定が必要であり、さらにベンチマークと指標が、課題を見極めるために必要である。

不揮発性論理回路のアプローチで再構成可能な論理回路ができるはずなので、これまでにない新しい情報処理が可能になるという期待がある。目標達成のハードルは厳しいが、質の高いオプティミズムを持って研究開発を続けていく必要がある。

質疑：

Q: 不揮発性メモリを入れることによって CMOS の性能がドラスチックに上げられるとの事であるが、具体的にはどういうことか。

A: 3 つある。不揮発でパワーが下がる。配線層に記憶素子を配置するので、面積が小さくなる。さらに演算と記憶を密接にしたロジックインメモリにより CMOS 素子数を下げ面積をさらにいっそう縮小することが可能になる。

Q: 回路全体で勝ちにかかるには、演算回路用不揮発性メモリを開発しなければいけないという話であったが、その時のボトルネックは何か。

A: 回路を実現するときの問題は、低エネルギーの書き込みである。不揮発にすることで、高抵抗、低抵抗の2つの状態間のエネルギー障壁が、10年保証で $100kT$ (4×10^{-19} J at 300 K) 程度必要となる。現状の MTJ においてはビット当たり数 10 pJ の書き込みエネルギーを使っている。これをもっと下げなくてはならない。つまり、スピン注入磁化反転の電流を下げなくてはならない。そのためには、もっと性能のよい不揮発性素子が必要であり、このような問題点を解決するには、材料技術が非常に重要となる。材料分野における人脈を用いた問題解決法という伝統が、減りつつあるのではないかと懸念される。

Q: 演算回路用の不揮発性メモリというのは、ハードディスクの10年保証というのとは全然違う。ある意味でキャッシングに近いような非常にショートレンジでもいいのではないか。ハードディスクの場合は本当に10年保証で E_b ある

いは Ku (磁気異方向性エネルギー) が kT の 60 倍～100 倍必要と言われているが、今の場合本当にそういうものが必要なのか、そうでないと確率的にだめなのか。

A: 非常に重要なポイントである。少なくとも我々のアプローチでは、不揮発性が必要である。それは不揮発と書き込み確率に関連があるからである。ただし、別のアプローチで可能となるかもしれない。

Q: この不揮発性メモリの選択という点で、ここに出ている幾つかの指標に対して、MTJ 以外も含めて比較は今までにしているか。

A: (図 4.1-1 の) 要求を満たす可能性が最も高い素子は、MTJ だけだと考えている。しかし、どこかで他の候補が見つかる可能性はある。それでも、我々の用いた回路やそれに付随する IP などは流用できるため、そのレベルで我々の技術は生き残ることができる。

Q: 2030 年を考えた場合に、ロジックゲートの中にまでスピが入っていくか。

A: 記憶装置とトランジスタを一つにまとめるアプローチもある。トランジスタの中でスピを使う Spin MOSFET は有名な例である。しかし、技術的な課題が多く、22 nm 以降から有効となるため、2030 年までの実用化は難しい。それ以降では、十分あり得る。地道に研究すべきである。

C: このアプローチは非常に現実的で、メモリ素子をうまくつくることできれば、あと 10 年程度でできる可能性がある。

Q: トランジスタ性能そのものはやはりトレンドに乗ってよくなっていかなければいけないので、チップサイズが小さくなるだけで微細化に対しては楽にはならないのではないか。

A: 最終的な集積回路をどう考えるかによる。ハイエンドでは、微細化も併せて進めなければならない。

4.2 純スピンの流、超スピン伝導を利用したデバイスの可能性：

齊藤英治（慶應大）

スピンの存在と重要性は、1980年代の後半に考えられ始めた。技術開発の流れが、物理原理の研究、物質の研究、素子の開発という順番で進むとすると、スピン流はやっと物理原理の研究が開拓され、次の物質の研究に移ろうとする段階である。200年の歴史を持つ電子技術に比較すると、スピン流の研究はまだ20年も経っていないことになるが、非常に速いスピードで進展してきたので、この先の進展も速いのではないかと考えている。

最初に、そもそもスピン流とは何かについて説明する。電子は、正負の電荷と自転のようなスピン、この2つの物理量によって特徴づけられる素粒子である。従来の電子技術は、電荷の流れである電流だけを使用してきた。一方、スピン角運動量の流れも原理的には存在するはずであるが、その研究はこれまで行われてこなかった。スピン情報は、スピン軌道相互作用によって10 μm 程度で消えてしまうため、スピン流を利用しようとする、このスケール範囲内で情報処理、伝送を全て行わなくてはならず、これまでの技術ではできなかったからである。しかし、最近の微細加工技術の進展によって、ようやくスピンの利用が可能になってきた。

導体中の電流とスピン流は、以下のようなものである。まず電流とは、ある方向に電荷が進む量のバランスが崩れているという状態である。このとき全体としてスピンは消し合うが、電荷はある方向に進む。一方、ある方向に進む粒子がそれと反対方向に進む粒子と反対方向のスピンを持ちやすいという状況があると、スピン角運動量は全体として一方向に進む。このように電荷の流れは無くとも、スピン角運動量だけが進むような状態が（純）スピン流である。

電流が電圧によって駆動されるように、スピン流はスピン圧によって駆動される。スピン圧は、アップとダウンのスピン間の化学ポテンシャルの差に相当する。スピン流が最初に観測されたのは2000年頃であるが、スピン圧の存在は、つい7年ほど前に測定によって確かめられた。

電流とスピン流の比較を図4.2-1に示す。電流に対するスピンの優位性で決定的に重要な点は、時間反転に対する振る舞いが全く異なることである。電流は、時間を反転すると逆向きに進む。これは散逸が存在することを意味する。スピン流の場合、スピンと速度が反転し、全体として最初と同じ状態となるので、散逸がない。したがって、上手に扱えば、損失のない情報伝送が原理的に可能となる。

- 1. 本ワークショップの趣旨
- 2. 仮説と事前アンケートのまとめ
- 3. 議論の進め方/CMOSの原理限界と課題
- 4. セッションI
- 5. セッションII
- 6. セッションIII
- 7. 全体討論
- 8. 締め
- Appendix

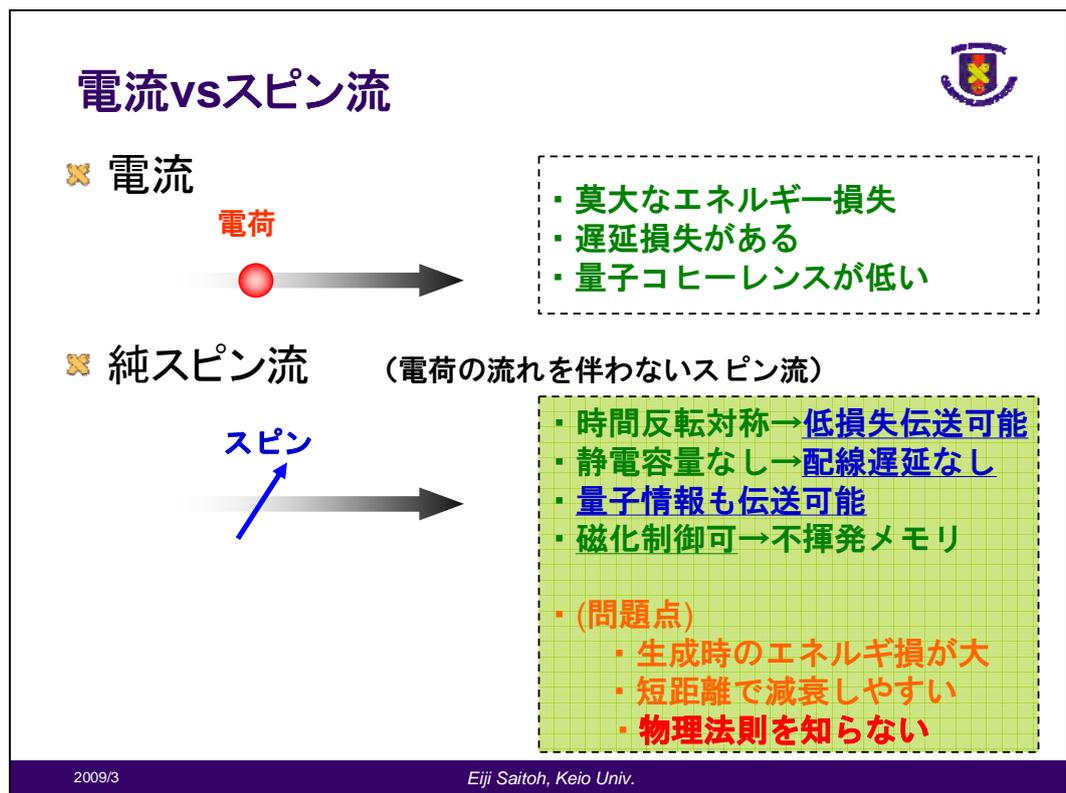


図 4.2-1 電流 vs スピン流

電流の場合は、ジュール熱による CPU の発熱がもはや限界に近く、また 100 nm スケールになると配線遅延が動作速度の限界になっている。スピン流では、上述のようにジュール熱がなく、また静電容量がないために配線遅延がないというのが特長である。将来的なこととして、スピン流は本質的に量子情報を持っているために、量子情報の伝送が可能である。不揮発性磁気メモリへの書き込みも可能である。また、負のエントロピーを持つ状態であるため、CPU を冷却できるという性質も持っている。

一方、スピン流の問題点は、まず、生成時に非常に大きなエネルギー損失が生じること、スピン軌道相互作用によりショートレンジで情報が減衰してしまうことである。物質によって情報減衰のスケールは変わるが、例えば銅で 1 μm 程度、白金で 10 nm 程度である。このショートレンジでの情報減衰は極めて重要な問題点である。更に重要な点は、スピン流の物理法則を我々はまだ知らないことである。まずはこれを開拓しなければならない。

スピン流を利用するには、まず初めに、スピン流の従う法則を調べる、次に、スピン流の生成に損失がない材料を開発する、そして、スピン流緩和の小さな物質を探す、ということが必要である。スピン流の緩和はスピン軌道相互作用によって起こるから、基本的には軽元素や有機物がよい。グラフェンも候補である。スピン流緩和の問題を抜本的に解決する方法として、超伝

導のスピントラックである超スピントラックを用いることが考えられる。超伝導は冷却しなくてはならないが、超スピントラックはほとんど冷却しなくてよい。スピントラックの具体的な使用法は、スピントラックを生成させて伝送するか、スピントラックを電氣的に操作して情報を処理し、その外部に電子回路を接続するかである。

電流に対する物理法則はよく知られているように、電流によって磁場が生じる、磁場が変わると電流が生じる（ファラデーの法則）といった、集大成としての電磁気学がある。しかし、この中にはスピントラックが含まれていない。したがってスピントラックに対する物理法則はこれまでなかった訳であるが、最近大分進展してきた。

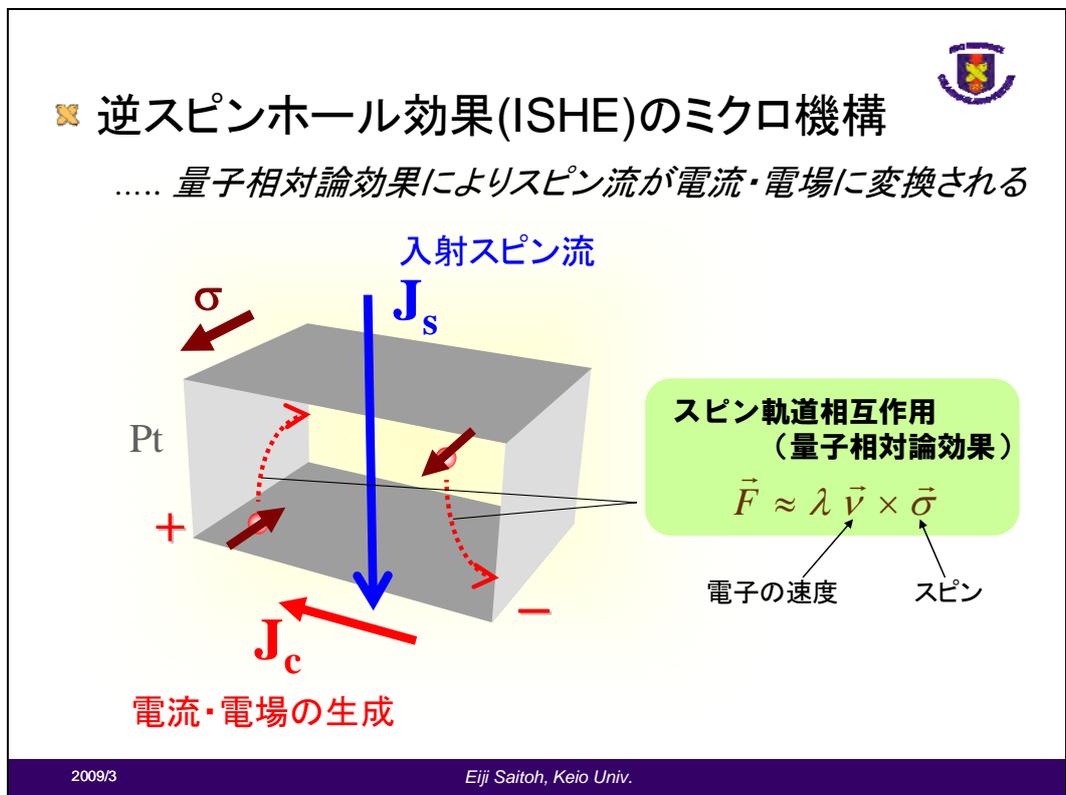


図 4.2-2 逆スピントラック効果のマイクロ機構

図 4.2-2 に示すとおり、電流が磁場を生成するように、スピントラックは電場を生成することが解明されている。原理的には量子相対論効果で、スピントラックが存在するという事は、流れの方向に沿って逆向きに進む 2 つの粒子が逆スピントラックを持っていることを意味している。これらの粒子にスピントラック相互作用が作用すると、スピントラックと速度の両方が逆向きであるため、同一方向に散乱され、電場と電流が生成される。したがってスピントラックは、電流のように物質によらない量ではなく、物質による量である。内部電場が大きい、スピントラック相互作用の大きな物質の方がいいので、重原子がよい。例えば白金などで

1. 本ワークショップの趣旨

2. 仮説と事前アンケートのまとめ

3. 議論の進め方 / CMOS の原理限界と課題

4. セッション I

5. セッション II

6. セッション III

7. 全体討論

8. まとめ

Appendix

測定している。銅のようなスピン軌道相互作用のない物質では、ほとんど生じない現象である。以上のように、電磁気学の基礎方程式レベルのことはスピン流でも大体知られてきたという状況である。

電流/熱流/スピン流交差物性

		input		
		電流	熱流	スピン流
output	電流	ホール効果	ゼーベック効果 ネルンスト効果	逆スピン ホール効果
	熱流	ペルチェ効果 エッチングスハウゼン 効果	熱ホール効果	??
	スピン流	スピン ホール効果	スピン ゼーベック 効果	??

2009/3 Eiji Saitoh, Keio Univ.

図 4.2-3 電流/熱流/スピン流交差物性

図 4.2-3 は、電流、熱流、スピン流の間の相互作用の図である。例えば電流と熱の間の相互作用として、熱流から電圧が生じる現象であるゼーベック効果がある。ゼーベック効果は実用化されていて、例えば体温から電圧を生成し駆動する時計や、排気ガスの熱から電圧を生成し省電力化を図る装置などがある。このスピン版が存在すれば、より簡単にスピン流を生成できる。

熱電対は、2種類の金属を接続すると電圧が生じることを利用している。強磁性体はこれと同等な系で、一つの強磁性体中に2種類の伝導電子が存在し、熱勾配によってスピン圧が自発的に生じるはずである。これがスピンゼーベック効果である。昨年それを実験的に確認することに成功した。これによって、熱からスピン流を生成するが可能となる。

このスピンゼーベック効果が存在するならば、その逆効果も存在するはずである。すなわち、スピン流を注入すると、冷やしたり温めたりすることができる。スピン流はスピン偏極した電子であり、これが物質中に入ると、スピン偏極が緩和される。これは負のエントロピーが注入されたことになるので、

物質は冷却される。このように、スピン流は熱を制御する便利な道具になるかもしれない。これらは、従来の配線をそのまま使用することで可能である。

スピンゼーバック効果では、伝導電子の存在は必ずしも必要ではないということは重要な点である。すなわち金属を用いなくてもよい。従来の熱電性能指数は、電気伝導度と熱伝導度の比であり、金属系でないと存在しない。またこの比は、理想的な金属であれば、ある一定値になる。したがって熱電素子の性能には上限が存在する。しかし、スピンを使用すると、金属である必要すらない。実際に、あるモット絶縁体でスピンゼーバック効果が観測された。スピンゼーバック効果と逆スピンホール効果で、熱が最終的に電圧に変換される訳であるが、熱伝導度がほとんどゼロなので、性能指数は非常に高い値になる。このように、スピンを利用すれば、従来の電子素子の設計指針を全く変えてしまうという可能性がある。

このように、スピンを利用すれば、従来の電子技術では考えられなかったようなことが実現可能になってくる。

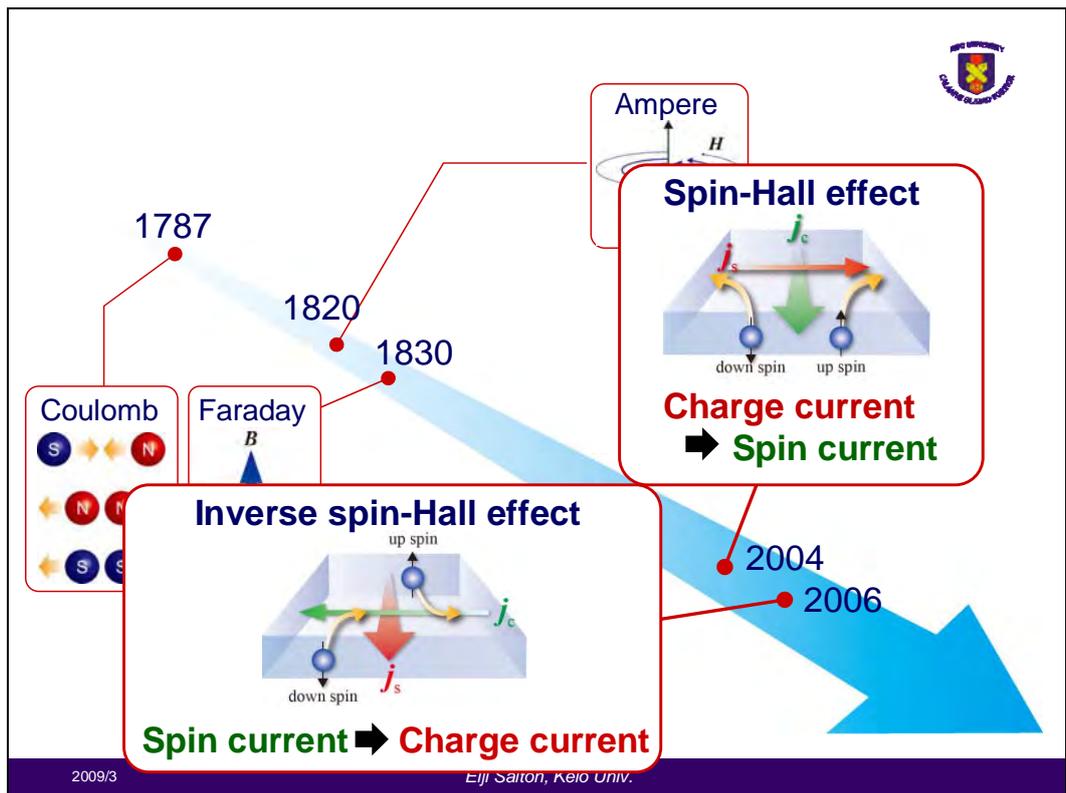


図 4.2-4 エレクトロニクスの発展

図 4.2-4 に示すように、電子技術は 1700 年代の Coulomb の法則から出発し、Faraday、Maxwell と進んだ。1800 年代に集大成され、今の電子技術が成立している。スピンの世界でこれに相当するものは、2000 年代になり開拓

スピン流生成効率は、最もよいもので 10 %弱である。金に少し磁性不純物が入っている物質で、そのメカニズムはまだよくわかっていない。生成効率の理論的な上限は、現在研究中である。スピンホール効果には、基本は周期表の下のスピン軌道相互作用の大きい物質の方がよいが、不純物を利用することによって、他の物質でも効率的にスピンホール効果を発現させることが可能な状況になっている。重原子を使わずに済めばコストの面でも有利である。

Q: スピン流を情報処理に用いる場合、増幅はどうか、またカスケードにつなげて何かできるのかという点についてはどうか。

A: 情報伝達方法は、スピン流の技術を考えるときに非常に重要な問題であり、超スピン流を使用するか、または中継・増幅によって伝送する以外にない。増幅方法として、光技術における OPA（光パラメトリック増幅器）と類似の現象がある。

Q: スピン流は可逆過程なので損失がないということだったが、時間反転でスピンの向きが変わらないという説明とどう対応しているか。

A: これは厳密に成り立つ話で、時間微分が2回入っているため、時間を反転しても符号が変わらないことによる。すなわち、スピン流は角運動量×速度なので時間微分の項が2つある。一方、電流の場合は電荷×速度なので、時間微分の項は一つであり、時間反転すると符号が変わる。

4.3 計算科学に基づくナノカーボンの電子物性：若林克法（広島大）

グラファイトは、炭素原子がハニカム格子状に配置したものが層状に重なった構造をとり、このうちの一層構造のものがグラフェンと呼ばれる。グラファイトをテープで剥離するという単純な方法でマイクロスケールオーダーのグラフェンデバイスが作製できることが 2004 年に報告されて以来、基礎科学、応用物理の面からここ数年様々な研究が進んでいる。

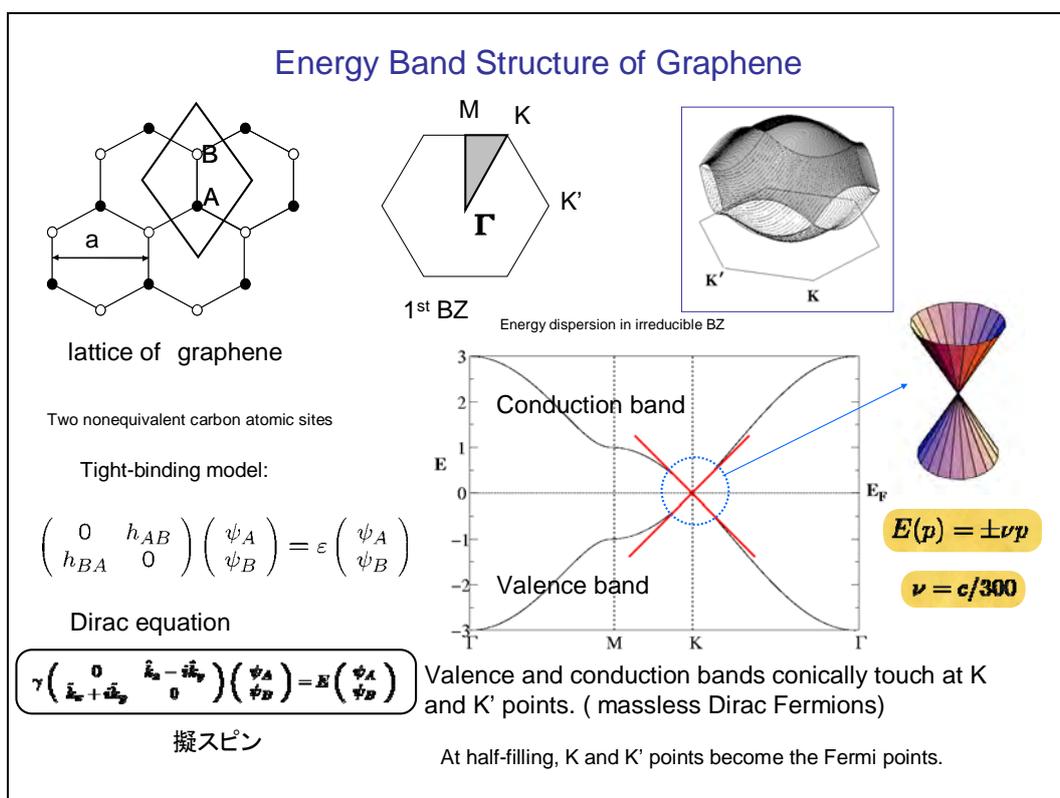


図 4.3-1 グラフェンの電子状態

グラフェンの興味深い点は、その特異な電子状態（図 4.3-1）にある。ハニカム格子状原子配置の単位格子に注目すると、その中に幾何学的に非等価な炭素原子が 2 つある（図で A と B）。この非等価な原子が 2 つあるために、2 つのバンドがブリルアンゾーンの各頂点（K 点）で線型に交差するようなバンド分散特性を持ち、フェルミ準位は 2 つの円錐形バンドの角にくる。このため、実効的な低エネルギー電子構造は、いわゆる相対論的粒子になっていて、有効質量がない Dirac Fermion で記述される。速度は光速の約 1/300 と速い。

Dirac Fermion の特徴として、クラインパラドックスと呼ばれる問題があり、トンネル障壁があったときに、Dirac Fermion はこれを完全に通り抜ける。これは、ポテンシャルで電子をトラップできないことを意味している。実際、グラフェン単層、2 層いずれもバンド構造にギャップがなく、デバイスにした場合にオフ状態がつかれないことが大きな問題の一つとなっている。これを解決するのに 2 つの方向がある。ひとつは、2 層にして、それぞれ異なるポテンシャルにすればギャップを開けることが可能である。実験では、一方の層にカリウムを添加して、最大 300 meV のギャップを開けたり、ボトムゲート、トップゲートを設けて垂直に電場をかけ、数 meV のギャップを開けたりしている例がある。

もう一つの方向として注目されるのが、グラフェンをナノサイズにすることである。ナノカーボンで最初本命視されていたナノチューブやフラーレンで根本的に難しいのは、トップダウン手法でデバイスが作製できない点である。その点、ナノグラフェンであればトップダウンで作製することができる。ナノチューブよりも大きい色々なレンジでの寸法制御が原理的にできるはずである。

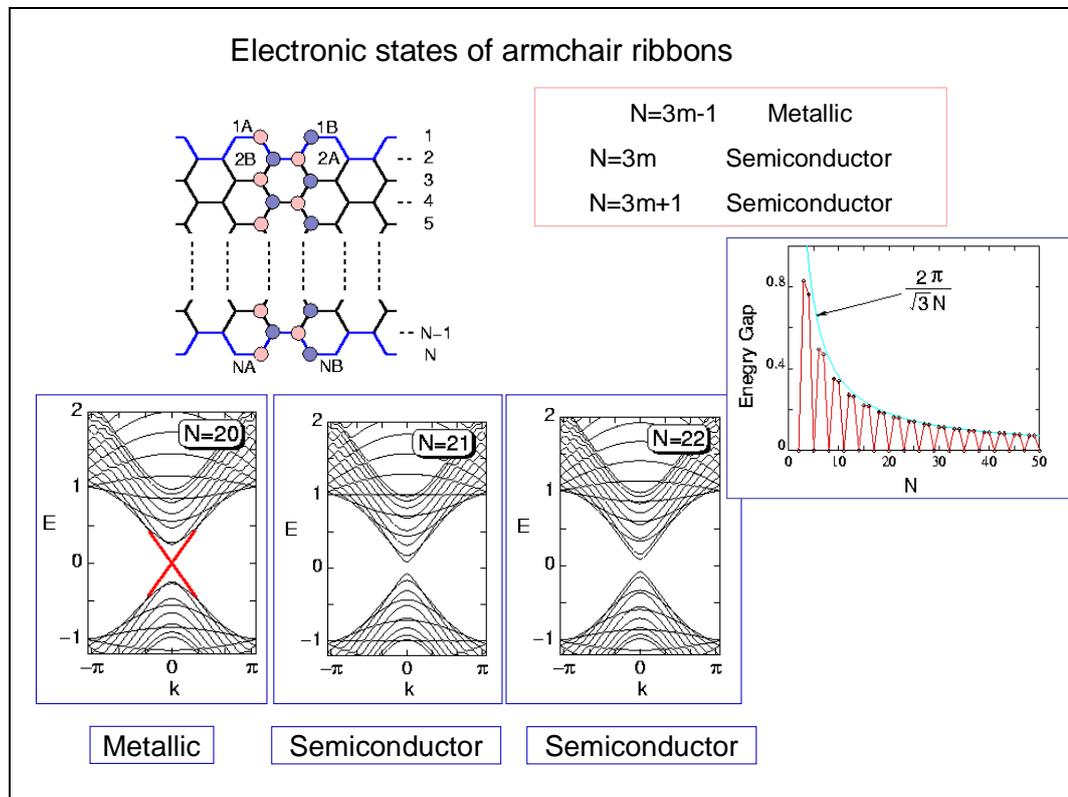


図 4.3-2 アームチェア型ナノリボンの電子状態

- 1. 本ワークショップの趣旨
- 2. 仮説と事前アンケートのまとめ
- 3. 議論の進め方/CMOSの原理限界と課題
- 4. セッションI
- 5. セッションII
- 6. セッションIII
- 7. 全体討論
- 8. ちよめ
- Appendix

ナノグラフェンの一番単純な形としてナノリボンを考えると、グラフェンのエッジ形状にはアームチェア型（ひじかけいす型）とジグザグ型という 2 種類がある。このエッジ形状によりバンド構造も異なる。まず、アームチェア型の場合は、図 4.3-2 のように、幅方向の原子数により金属的になったり半導体的になったりする。バンドギャップはリボンの幅の逆数に比例するので、細いものを使えばかなり大きいバンドギャップが得られる。

次に、ジグザグ型の場合は、図 4.3-3 のように非常に平坦なバンドが現れる。ここにはエッジに局在したエッジスピン状態が形成されていると考えられる。こうしたスピン状態を使って何かデバイスを考えていくのも一つの可能性である。最近では実験的にも、化学的な方法や電子線リソグラフィの方法で数 nm 幅のリボンが作製され、リボンの幅でギャップを制御できている。

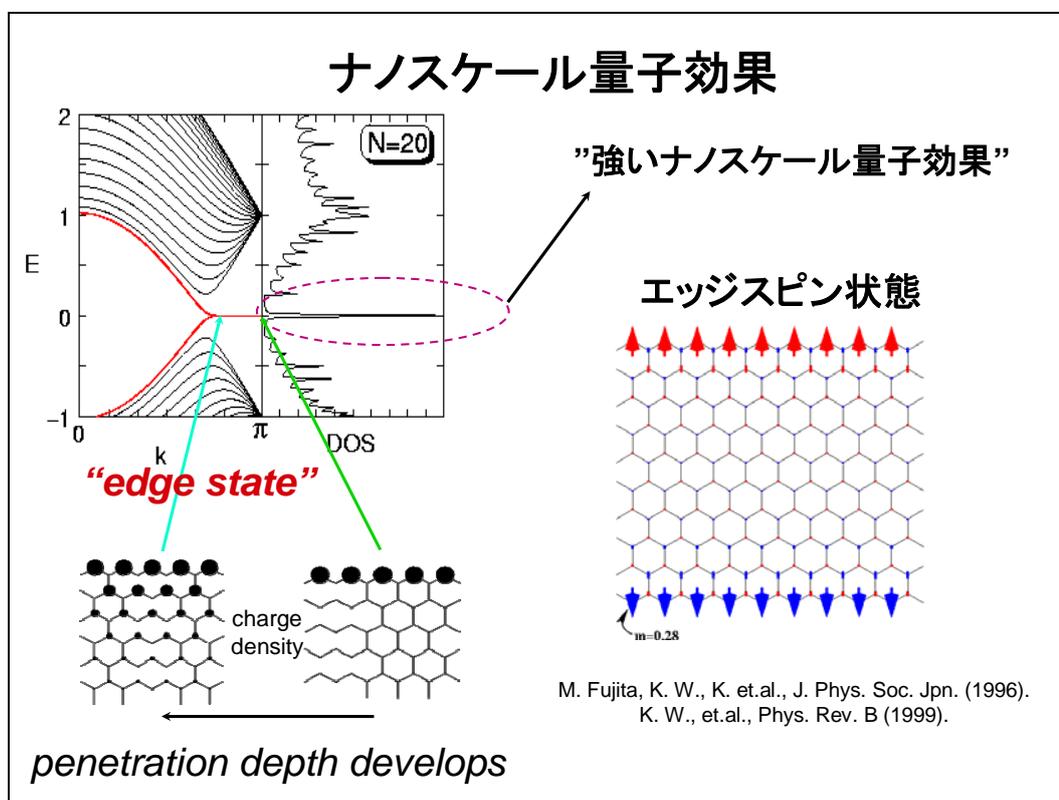


図 4.3-3 ジグザグ型ナノリボンの電子状態

最初に述べたグラフェンの Dirac 円錐は、非等価なものが 2 つ対になっている。これをうまく利用すればさらに色々な可能性を考えることができる。以下に理論的に予測される興味深い現象例をいくつか挙げる。

Dirac 円錐が 2 つあることに由来して、ジグザグ型のナノリボンの低エネルギー状態では、図 4.3-4 のように、電子の群速度に対応するモード（赤丸、青丸）の数が右向きと左向きとで異なる。このようにナノリボンは通常あり

得ない特異な物理現象を引き起こす。ナノリボンではアンダーソン局在を起こせないという問題もその 1 例である。

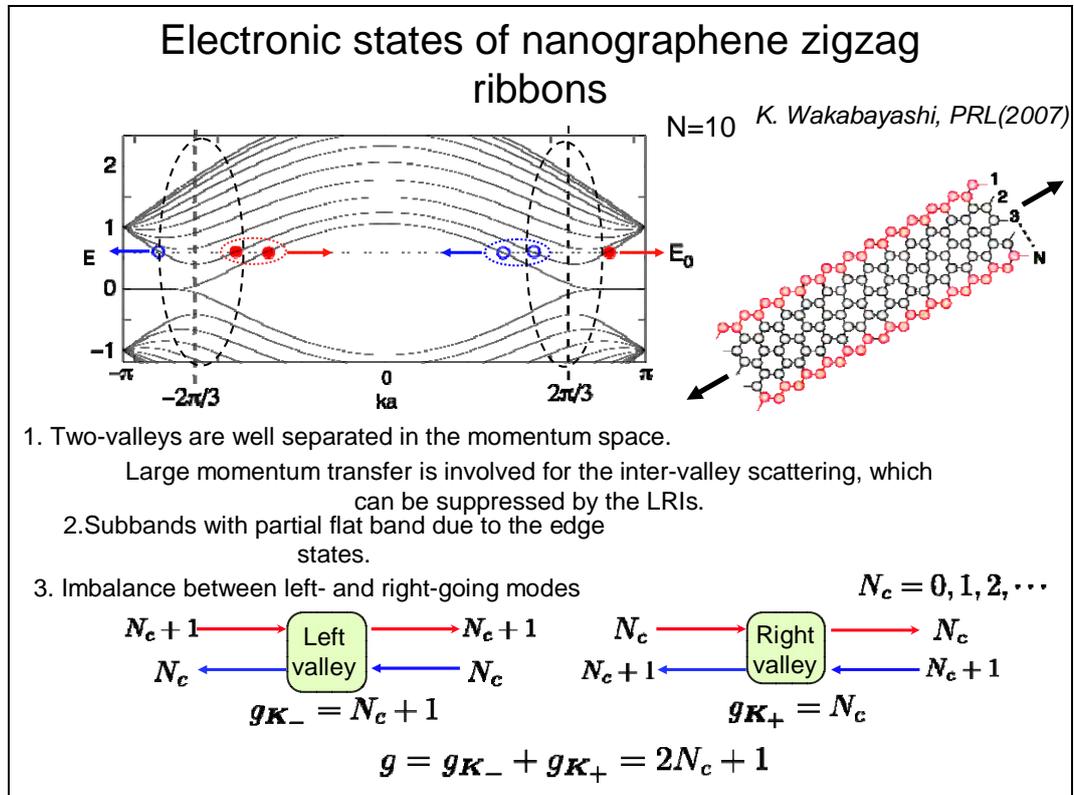


図 4.3-4 シグザグ型ナノリボンの低エネルギー電子輸送

リボンを 2 つ繋げて、途中で切り込みを入れると、この切れ込みがシグザグで入っている場合とアームチェアで入っている場合で低エネルギーでの電子輸送が全く異なる。シグザグの場合では反共鳴状態がたくさん出てくる。また、普通の量子ドットのような共鳴トンネルをデザインすることも可能である。

リボンの軸をうまく選ぶことによって 2 種類の K 点間でうまく散乱を起こすようにしてやればランダムネスの効果として、トランスポートギャップをあけることができる。

シグザグリボンの両端には図 4.3-3 のようにアップ、ダウンのスピンの状態が逆に出てくる。リボンに切り込みを入れることで、電子を流し込んで、片側のスピンだけを取り出せることが理論的に予測できる。

バンド構造のバレーを一種の自由度として扱うと、バレーが 2 つあるという効果を使ったスイッチングが可能である。例えば、電子がどちらかのバレーに偏るようにゲートをかけることでスイッチングができる。

グラフェン、ナノグラフェンの長所、短所を図 4.3-5 に示す。グラフェン

1. 本ワークショップの趣旨

2. 仮説と事前アンケートのまとめ

3. 議論の進め方/CMOSの原理限界と課題

4. セッション I

5. セッション II

6. セッション III

7. 全体討論

8. 締め

Appendix

は究極的な 1 原子層薄膜なので、透明な、あるいは曲げられる、ストレッチャブルなデバイスが作製できる。そういう方向性もグラフェンは秘めている。Dirac 方程式に従う特異な 2 次元電子系であり、高い移動度、熱伝導度を持っている。また、LS 結合（スピン軌道相互作用）が非常に小さい系なので、スピン緩和長が長い。ナノチューブの場合と違って、トップダウン作製技術がそのまま使える点は非常に有利である。一方、かなり工夫しないとエネルギーバンドギャップが得られないので、電荷依存のデバイスという観点では不利な点がある。

ナノグラフェン/グラフェンナノリボンは、強いエッジ効果とナノスケール効果により、様々な機能を実現できる。他にも、エッジを化学的に修飾することで磁性を制御したりすることが原理的には可能なので、エッジ形状をきちんと制御するプロセスが確立すれば色々な可能性が出てくると期待できる。

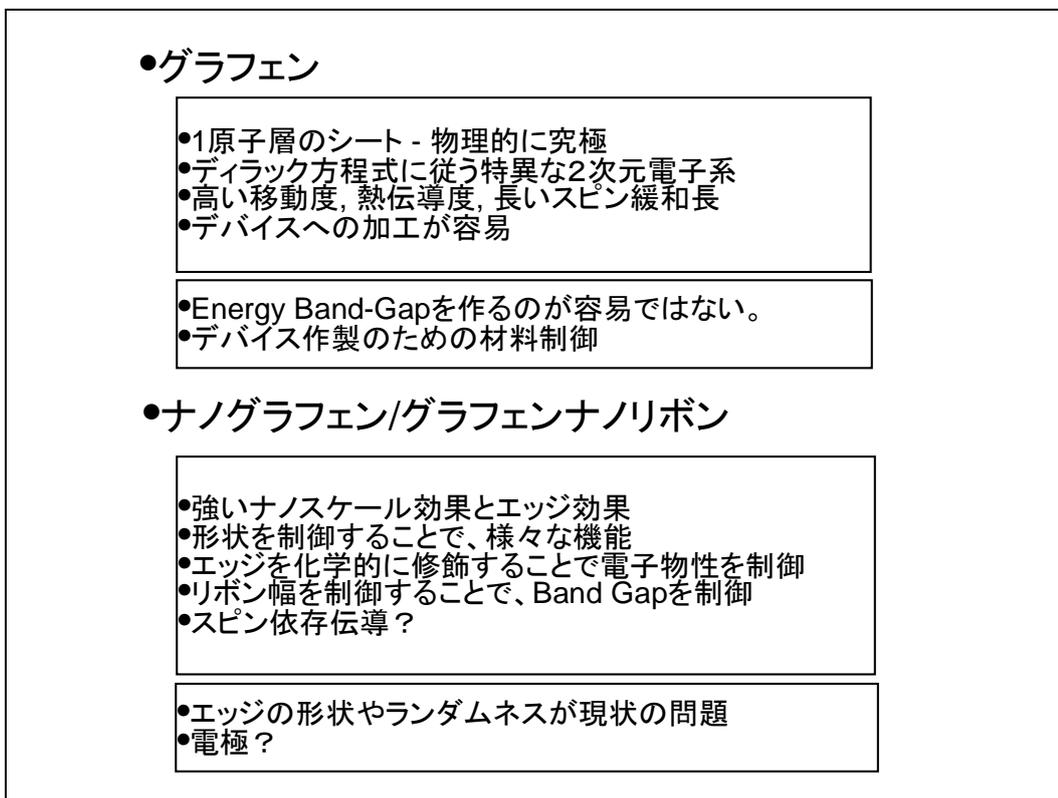


図 4.3-5 グラフェン、ナノグラフェンの長所、短所

質疑：

Q: 実験結果ではグラフェンをナノリボンにしてバンドギャップをあけたとき、かなり移動度が下がってしまう。これは本質的な問題なのか。

- A: それはプロセスの問題で、リボンにしたから移動度が極端に悪くなるということではなく、原理的にはグラフェン並みに上げることはできる。実験では幅がかなり揺らいだ、言わば、くびれのある連結量子ドットのようになっており、本当のリボン状にはなっていない。エッジの形状をどのように制御するかということと、そこにどうコンタクトをとるかが課題である。
- Q: 実際にナノリボンを使うような状況で、どの程度のキャリア速度、あるいは電流が得られるか。
- A: キャリア速度はリボンの幅とエネルギーに依存する。しかし、ある程度太い幅（幅方向の原子数～90）のリボンでは、バンド分散の傾きは2次元の極限になり、普通のグラフェンのキャリア速度とはほとんど変わらない。
- Q: コンタクト技術が課題ということであるが、リソグラフィで電極を形成する場合、ショットキーではなく、オーミック接触が得られるか。
- A: 電極面積を大きくできるグラフェンではオーミックに近い状態になるが、リボンにすると確かに問題が出てくる可能性はある。電極構造等、工夫が必要と思われる。

1.	本ワークショップの趣旨
2.	仮説と事前アンケートのまとめ
3.	議論の進め方/CMOSの原理限界と課題
4.	セッションI
5.	セッションII
6.	セッションIII
7.	全体討論
8.	まとめ
	Appendix

4.4 グラフェンの伝導機構：神田晶申（筑波大）

図 4.4-1 にグラフェンの利点と可能性を示した。ナノエレクトロニクス材料としてのグラフェンには様々な展開の可能性がある。高速・バリスティックトランジスタ、あるいはグラフェンのみの回路構成、スピントロニクス、単電子デバイス・量子効果デバイス等である。それぞれの項目について後で詳述する。

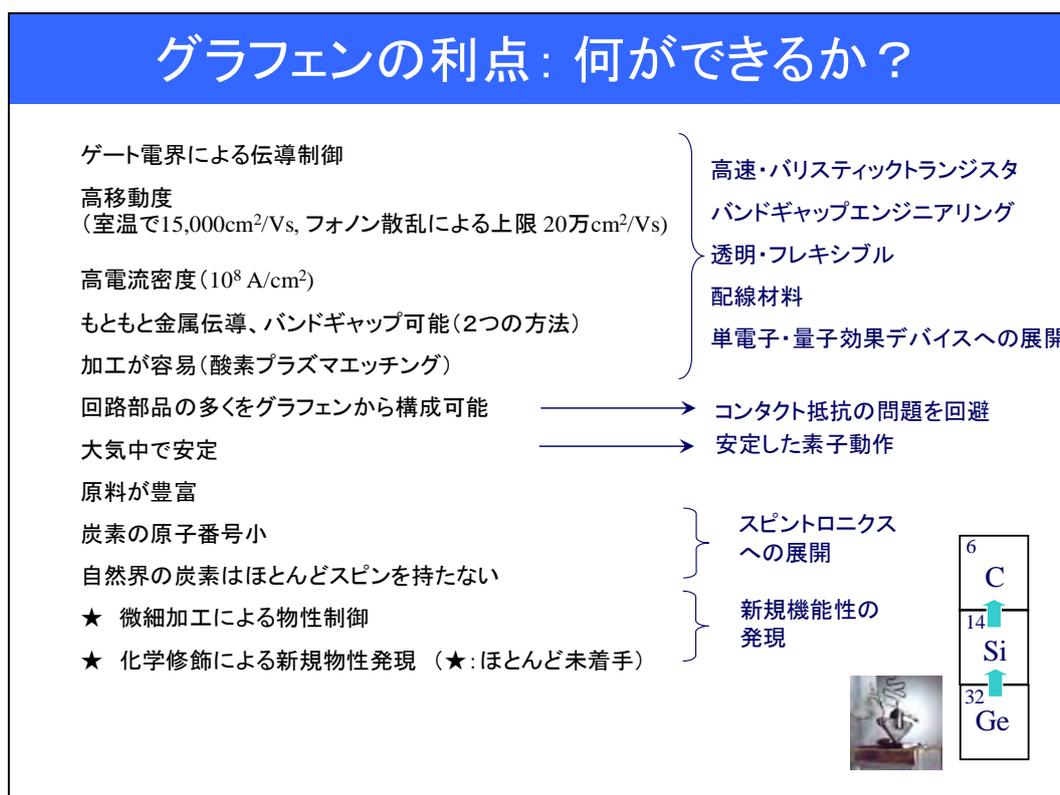


図 4.4-1 グラフェンの利点

次に、図 4.4-2 にグラフェンの問題点と課題を示した。問題点は合成法と微細加工である。ここで微細加工に関し、電子線リソグラフィや酸素プラズマエッチングなどの既存の技術を用いた微細加工レベルをレベル 1、精密なエッジの制御を必要とする分子レベルの高度な加工をレベル 2 と呼ぶ。この 2 つを分けて考えないと現実的な議論ができない。レベル 1 でもある程度のデバイス作製は可能なので、まずこれでどこまでできるかを見極める必要がある。レベル 2 の実現で、さらなる機能性や多様性が期待できる。

グラフェンの問題点・課題

①合成法 劈開法(スコッチテープ法)が主流だが、応用には不向き
 特性を維持しつつ、単層、2層グラフェンなどを作り分ける必要
 最近、新たな展開あり

②微細加工 エッジの制御、ナノリボン創成には高度の加工技術を要する

ただし、既存のトップダウンの加工でも、バンドギャップの制御などは可能
(微細加工レベル1)

精密な材料設計には、エッジ制御が必要 (微細加工レベル2)
(ジグザク・アームチェア、終端分子)
← 分子エレクトロニクスと同等の高い加工精度

(注)微細加工レベル1: 容易。現時点でほぼ実現可能
 微細加工レベル2: 分子レベルの高度な微細加工

図 4.4-2 グラフェンの問題点・課題

図 4.4-1 の各論にはいる。まず、バンドギャップエンジニアリングのための2種類の方法を図 4.4-3 に示す。一つは、ナノリボンを形成し、量子閉じ込め効果によってバンドギャップをつくる方法である。計算では、リボンの方向に依存するバンドギャップが示されているのに対し、実験結果は、方向に依存せずに一様な変化をしているという違いがある。この結果は、実験で使われるリボンが粗いエッジを持っているために方向依存が平均化したと考えられる一方で、粗い加工でも伝導ギャップ制御が可能であることを示唆している。すなわち、微細加工レベル1でも、ある程度のギャップ制御は可能である。バンドギャップをつくるもうひとつの方法として、2層グラフェンを使う方法がある。2層グラフェンのA副格子、B副格子の対称性を電場によって崩すことでバンドギャップが開くことが計算で分かっている。実際、最近の実験でトップゲートとボトムゲートをつけ、垂直に電界をかけることにより、0.5 eVのバンドギャップが得られている。この方法の利点は、微細加工する必要が全くないので、移動度を高く保ったままギャップを得ることができる点である。

- 1. 本ワークショップの趣旨
- 2. 仮説と事前アンケートのまとめ
- 3. 議論の進め方/CMOSの原理限界と課題
- 4. セッションI
- 5. セッションII
- 6. セッションIII
- 7. 全体討論
- 8. ちよめ
- Appendix

グラフェンのバンドギャップ形成

2つの方法が知られている

(1) ナノリボン形成 ➡ 量子閉じ込め効果

理論 Son et al. PRL 2006.
 実験 Han et al. PRL 2007

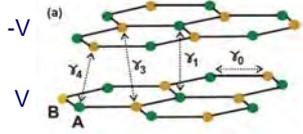
リソグラフィー+酸素プラズマエッチング
 方向依存性無し(理論と食い違い)
 荒いエッジによって効果が平均か?

(2) 2層グラフェン ➡ 垂直電場による
 A,B副格子の非対称化

理論 Min et al. PRB 2007
 実験 塚越ら(NIMS, AIST) 2009

トップゲートに自己形成絶縁膜を採用
 0.5 eVに及ぶバンドギャップ観測
 高移動度ほどギャップ大





メリット
 荒い加工でもバンドギャップ制御可能であることを示唆 (微細加工レベル1)

メリット
 グラフェン自体の加工は不要

図 4.4-3 グラフェンのバンドギャップ形成

グラフェンのナノ電子デバイスでは「グラフェンをはさみで切るようにして」グラフェンからほとんどの回路構成部品を切り出すことができる。ある部分にはナノリボンをつくり、ほかの部分には同じグラフェンから電極あるいはゲートをつくる、というようにすることで、バリスティック伝導を回路の広範囲にわたって維持し、かつ、コンタクトの問題を回避することができるだろう。これがグラフェンのナノ電子デバイスの大きな特徴である。

炭素系の材料では、スピン軌道相互作用が小さいなどの理由でスピン緩和長(時間)が長いという特徴があり、グラフェンのスピントロニクスへの応用も期待できる。さらに、多層グラフェンの場合には、ゲートによるスピン伝導制御の可能性もある。また、微細加工レベル2が実現できれば、ジグザグナノリボンの場合にハーフメタル、つまり、100%のスピン分極率をもつ物質をつくることができる。

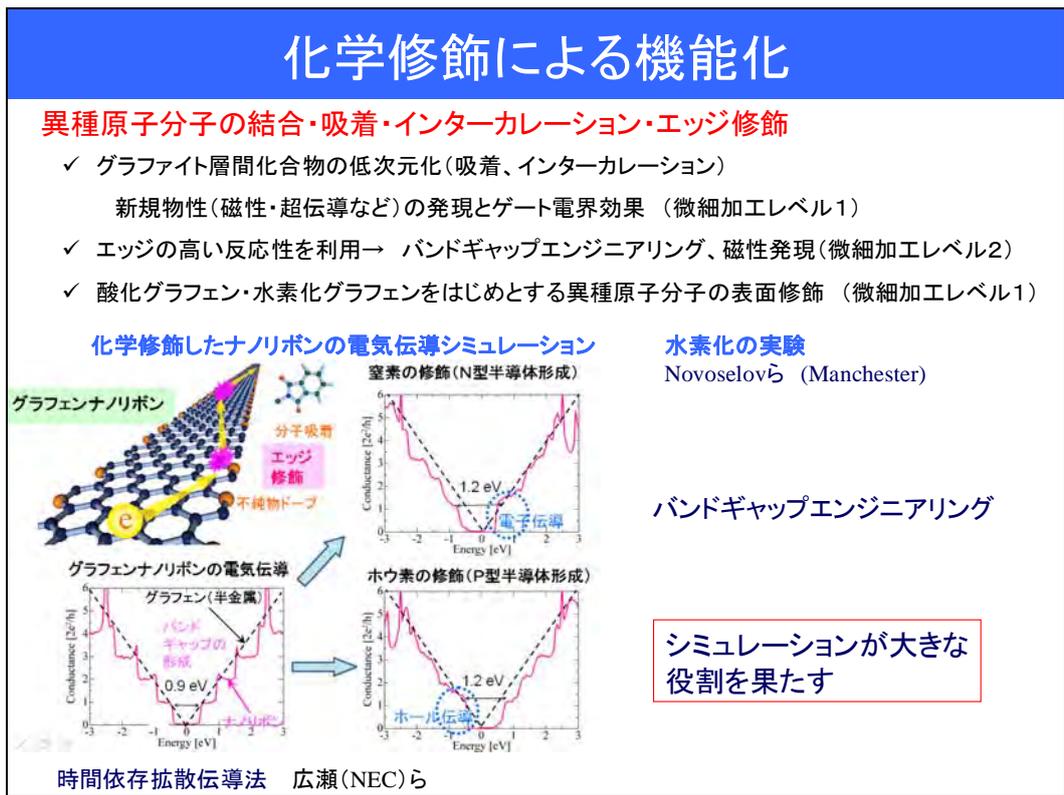


図 4.4-4 化学修飾によるグラフェンの機能化

図 4.4-4 に示すような、化学修飾による新規物性の発現は、これまであまり研究されていないが、今後のグラフェン研究では重要になると期待される。炭素は色々な化合物をつくることからわかるように、グラフェンの場合も、異種原子分子を表面吸着させる、インターカレートする、エッジにつける等の色々な方法の化学修飾が可能で、それによって新たな機能があらわれるであろう。例えばグラファイト層間化合物が昔から特に日本で盛んに研究されてきた。これはグラファイトの層間に違う分子を入れたもので、超伝導になったり、磁性が出たりする。これを単層、2層、あるいは多層のグラフェンに適用することで、新しい物性とそのゲート電界効果が発現する可能性がある。また、酸化グラフェン、水素化グラフェン (graphane) のように、異種原子分子の表面修飾によって絶縁体にする実験も最近出てきている。ここまでなら微細加工レベル 1 で達成できる。さらに、微細加工レベル 2 では、ナリボンのエッジの高い反応性を利用してバンドギャップエンジニアリングができる、あるいは磁性を発現させることができるという計算がある。化学修飾を考える上で、シミュレーションが大きな役割を果たすだろう。シミュレーションによるデバイス設計には、現実の系に即した大規模シミュレーションの計算手法が必要である。それによって、基板との相互作用や原子分子結合、インターカレーションの影響を知ったり、位相コヒーレンスがどう

破られるかをシミュレートしたりできるだろう。

グラフェン合成技術(課題①)

- ・劈開法(スコッチテープ法)**
 - 基礎物性の解明に利用されてきたが、応用には不向き
 - 高品質(格子欠陥は $1\mu\text{m}^2$ あたり数個)
 - 100ミクロン以上の膜を作製可能
- ・成長(SiC, Ni, ...)**

基板との相互作用が大きく、理想的なグラフェンの特性を維持できない可能性がある。(バンドギャップ、電荷ドーピングが起こる)

 - いろいろな膜厚の層が混在
 - 日本にもオリジナルな技術が存在(末光(東北大)、田中(九州大))
 - 高品質、大面積、均質な単層グラフェン膜を作る技術の開発が急務
- ・成長グラフェンの任意基板への転写**
 - 2008年末から3件の報告、さらなる開発が必要(膜厚制御)
 - 透明・大面積・フレキシブルエレクトロニクスへの展開

図 4.4-5 グラフェン合成技術の課題

図 4.4-5 にグラフェン合成技術の課題を挙げる。現在はスコッチテープ法というのが主流である。高品質で大きな膜をつくれる一方、量産に耐える方法ではない。そこで、グラフェンの成長が今盛んに研究されている。ここで注意すべき点は、成長したグラフェンでは基板との相互作用が大きいためである。そのために、A 副格子・B 副格子の対称性が崩れてバンドギャップができたり、電荷がドーピングされたりして、理想的なグラフェンの特性を維持できない可能性がある。また、色々な膜厚の層が混在することもあり、技術的に問題が残っている。こういう現状をふまえると、現時点では、高品質、大面積、均質な単層グラフェン膜をつくる技術の開発が急務である。また、最近では成長したグラフェンをニッケル基板からうまくはがして、それを任意の基板に張りつけることが報告されている。このような方法により、フレキシブル透明電極や cm に達するような大面積デバイスへの展開も期待できる。

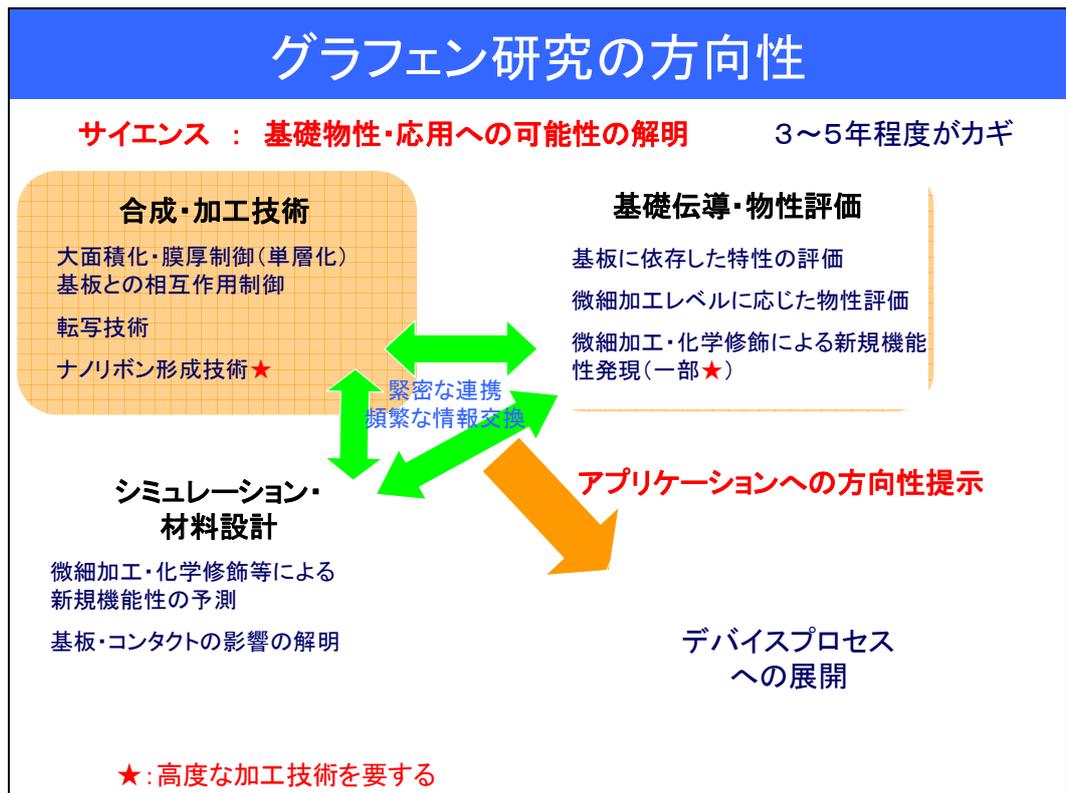


図 4.4-6 グラフェン研究の方向性

グラフェン研究の方向性を図 4.4-6 に示した。今はまだサイエンスの段階であるが、これはあと数年で終わってしまう可能性がある。その先のステップに進むためには、「合成・加工技術」、「基礎伝導・物性評価」、「シミュレーション・材料設計」の3つの柱の有機的結合が重要になる。それぞれが緊密に連携し、頻繁に情報交換することで、全体が最先端のレベルを保ちながら前に進んでいくことが重要である。こういうことを通してアプリケーションへの方向性を提示することができるのではないかと考える。

最後に、日本のグラフェン研究に今何が必要かについて3点コメントする。まず、緊密な情報交換、研究者の組織化、異分野連携が必要である。有用な技術を持つ研究者は日本に多数存在するが、喫緊の問題に対する認識の欠如、情報不足から世界的に出遅れている。基礎物理・化学から工学までの広い分野の研究者を集めた情報・意見交換の場の設定が必要ではないか。それによって有機的連携が生まれるのではないかと考える。次に、研究のスピードに関して、グラフェン研究は数ヶ月単位でトピックが変遷する進展の早い分野である。有望な研究を早期に発掘し加速するための、迅速な研究資金投入が望ましい。最後に幅広い層への研究資金投入を望む。グラフェンの研究は裾野が広いので、現段階では、少数の研究グループへの集中投資よりは、良いアイデアをもつ多数の研究者に少額ながらも研究費を配分し、可能性を見極

めることが、日本独自の展開を目指すためには必要である。

質疑：

Q: レベル 2 の微細加工技術にはどんな可能性があるか。

A: 理論計算で示されているのは、原子レベルの加工精度を必要とするようなナノリボンあるいはグラフェンに対しての結果なので、そこから少しずれた構造では恐らく結果は変わってくるだろう。ボトムアップ的に、合成的にやらないと到達できないとも考えられるが、成長させるとなるとやはり下地の基板の影響が必ず出てくるので、下地の基板の影響をどうやってなくすかを十分検討しなければならない。

Q: ニッケルからはがしてつくったデバイスに関して、cm オーダーにわたって単層シートのグラフェンができたのか。

A: 色々な層数がまざっており、層数の制御はできていない。

Q: 「組織化あるいは異分野連携が少し遅れていて、個々にはいい研究者、いい研究があるのだが、全体としては遅れている印象がある」という点には同意するが、海外の研究者と共同研究という意味での連携はどのようなのか。そういう面でも日本は遅れているのか。

A: 海外の研究者との共同研究という意味では、今やっているところはあまりない。なぜなら海外がずっと先へ進んでおり、対等に情報を交換しつつやるような、そういう立場になっていないのではないかと考えている。

C: それは多分やり方によるのだろう。海外では恐らく相当に国を越えてグローバルにやっているのだから、もう少しコミュニケーションを広げていけばできないことはないのではないかと。

Q: 1980 年の後半からのグラフィットのインターカレーションの研究、技術がなぜ今のグラフェンの制御に生かされないのか。

A: 日本には有能な技術を持った方がたくさんおられるが、その方々との交流が活発には行われていないので情報交換ができていないのが一因である。

5. セッションⅡ：「新材料・新アーキテクチャによるエレクトロニクスデバイスの課題」

5.1 分子設計に基づくナノ電子デバイス：田中一義（京大）

有機分子ナノデバイスの背景である有機エレクトロニクスの歴史的経緯を図 5.1-1 に示す。この中で、導電性高分子のように一部実用化されているものもある一方、今日紹介する有機分子ナノデバイスは、実用化にはまだ距離のある、次々世代を見据えた材料という位置づけである。Beyond CMOS 候補としての可能性もあるこの分野で、日本は世界のトップクラスにあるが、欧米の研究も進んでおり、研究開発競争が進展している。

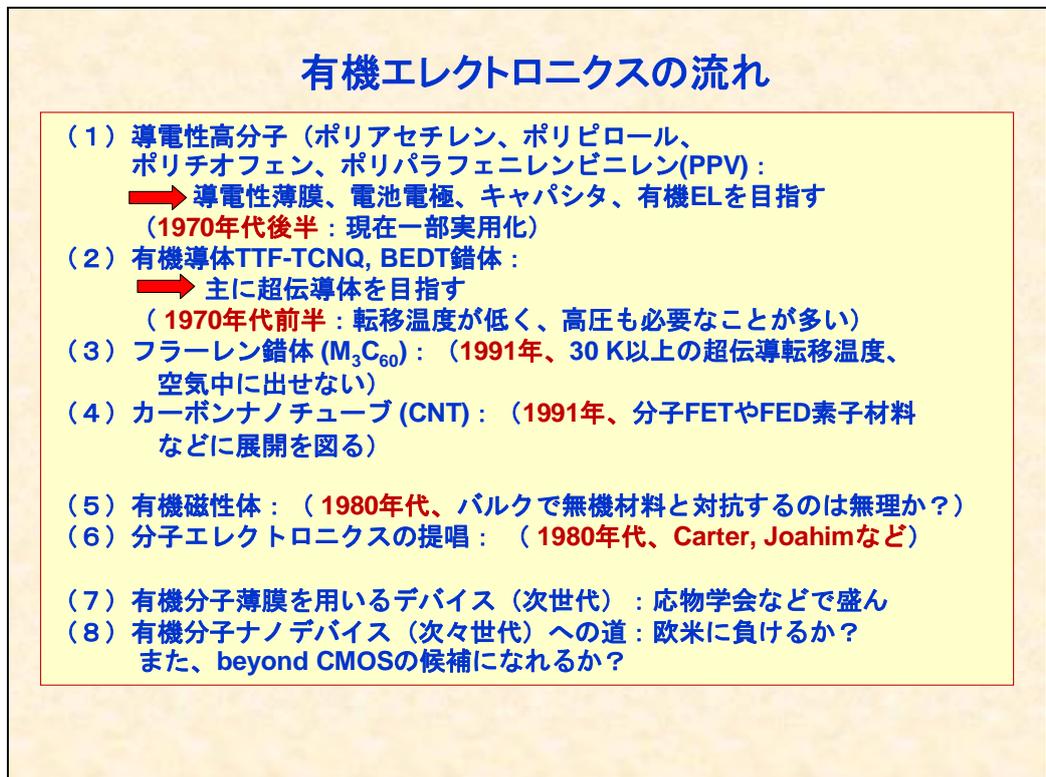


図 5.1-1 有機エレクトロニクスの歴史的背景

有機分子に期待できることとして、(1) 色々な置換基をつけたり、長さを変えたりしてある程度自由な設計が可能、(2) 集積密度を 10^{11} 個/cm² 程度まで上げることができる、(3) 動作効率が高く、消費電力を抑えられる分子設計の可能性がある、(4) スピントロニクス部材として用いると、スピン軌道相互作用が小さいのでスピンの消滅しにくい、等の点が挙げられる。

一方、問題点としては、(1) 劣化の可能性、(2) ナノ系固有の問題としての作製の困難さ、(3) 超分子と外部電極と接続ミスマッチ、等が挙げられる。(2)では例えば、ナノギャップ電極をつくっても、室温下では金属表面が液状化現象を起こし原子が動いている（※ G. Ertl、2007年ノーベル化学賞）。このような状況で、どう作製するかという根本的な問題がある。これらの課題をひとつひとつ克服して進んでいく必要がある。

図 5.1-2 に単一分子 FET の構造を示す。外部電極からの回路部分の(a) 分子ワイヤ、(b) トンネル接合と(c) 分子ドット、これらの部材をすべて有機物で構成するのが有機単一分子 FET のコンセプトである。これらが(d) 接続アンカーを介して(e) ナノギャップ電極に接続される。これらを全部設計、合成して、デバイスを構築し、動作確認する必要がある。

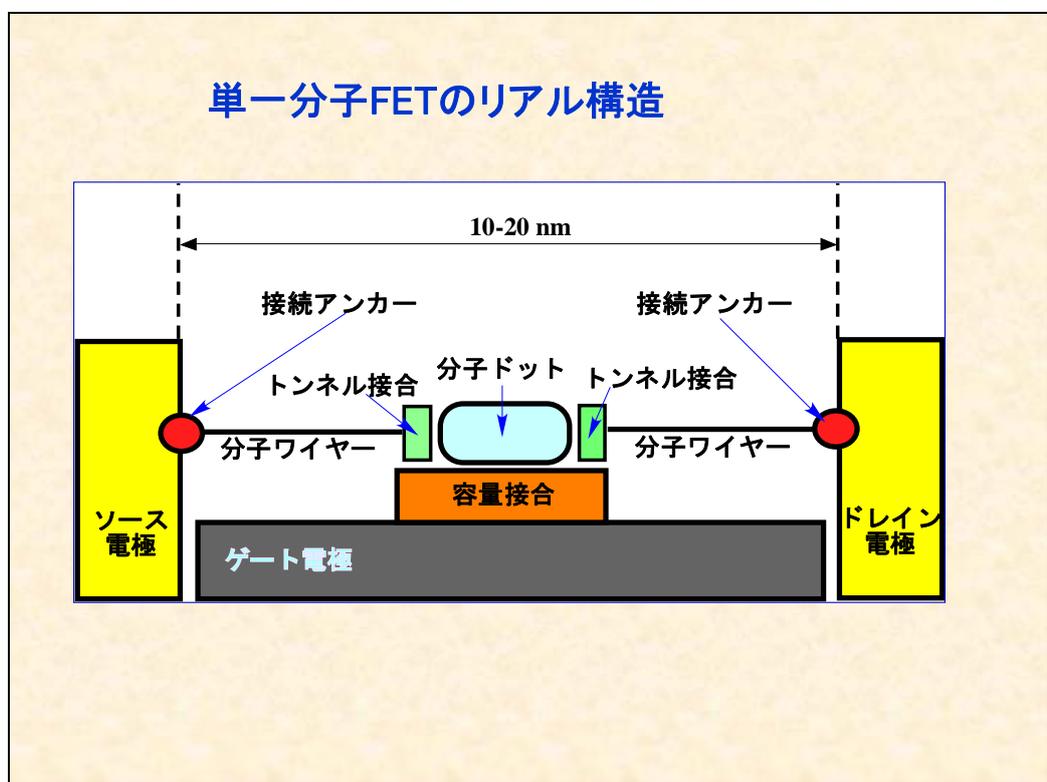


図 5.1-2 単一分子 FET の概念図

各構成要素の作製例として、(a)については、オリゴチオフェンを使い、10 nm 級の分子ワイヤを作製し、シリコンナノギャップ電極、あるいは金ナノギャップ電極に対するアンカーの前駆体をつけることに成功している。さらにもっと長い、チオフェンの単量体が 192 個ある、75 nm 級の分子ワイヤも合成できている。

分子ドット付きワイヤ(超分子)の合成では、ポテンシャル障壁(b)として、

ビスクロオクタンのような π 共役が切れているような部分を一つはさんで、そこにポルフィリンを導入した例がある。ポルフィリンの中央に亜鉛原子を入れて、酸化・還元に絡めるようにして、この部分を分子ドット(c)として働かせることで、最終的に7 nm ぐらいの超分子を作製した。

(d)の接続アンカー（図 5.1-2 の赤丸）は、アンカーを制する者は分子デバイスを制するというくらい重要な部分である。例えば、外部電極が金であれば、チオール基を使ってSと金の結合をつくり、またシリコンなら、エチニル基を使ってCとSiの結合をつくるのが可能である。(e)のナノギャップ電極に関しては歩留まりよく作製し、絶縁破壊させないという課題がある。(i)電気メッキ、(ii)電子ビームリソグラフィ、(iii)シリコンの異方性エッチングの方法で5-10 nmのナノギャップ電極ができています。

金ナノギャップ電極（10 nm）への分子ワイヤ架橋の成功率は現状1/50ぐらいと低い。液状化の問題をさけるために電極をシリコンに換えるか、SAM（自己組織化単分子膜）のような集積をして信頼度を上げる必要がある。分子架橋をブレイクジャンクションで行う方法もある。SPMプローブで分子をつり上げるときの伝導度を統計処理して調べるというやり方で、幾つかのワイヤについて電流電圧特性を計測できている。また、架橋分子の格子振動によるフォノン散乱を制御する視点も必要になろう。

次に、有機分子スピントロニクスに関して期待される点を図 5.1-3 に示した。スピン緩和時間が長くなるという特徴を生かすことができれば、スピンの制御が可能になる。グラフェンシートでの室温スピン注入に既に成功しており、カーボン系で可能性が高いということから、有機物でも可能性があるだろう。スピン偏極流を流すことができる有機分子を設計しており、プロトタイプ的にはある程度成功している。今後、動作温度を室温程度まで上げることが課題である。量子ドット（分子ドット）を用いると、2種類のスピンの化学ポテンシャルの差がソース・ドレイン電圧に現れるので、これを利用した新しい素子の可能性や、スピンもつれ流を導入できる可能性も考えられる。

1.	本ワークショップの趣旨
2.	仮説と事前アンケートのまとめ
3.	議論の進め方/CMOSの原理限界と課題
4.	セッションI
5.	セッションII
6.	セッションIII
7.	全体討論
8.	まとめ
	Appendix

(2) 有機分子スピントロニクス

- (1) 有機元素ではスピン軌道相互作用が小さく、これにより有機分子ではスピン緩和時間 (τ_s) が長くなりうる。
 $10^{-7} - 10^{-5}$ sec (金属では 10^{-10} sec) by EPR
- (2) シリコンなど半導体に較べて、強磁性体電極との相互作用を抑えるので、界面制御・スピン注入をスムーズに行える。
- (3) 金属に較べて、内部のスピン流をゲート電極によって制御しやすい。
- (4) 室温でのスピン注入の可能性がある。
- (5) 種々の分子合成をかなり自由に行える。

Cf) バルクな有機磁石の研究はほぼ壊滅
 ポリマー鎖間、分子間での反強磁性相関を克服できない

図 5.1-3 有機分子スピントロニクスの可能性

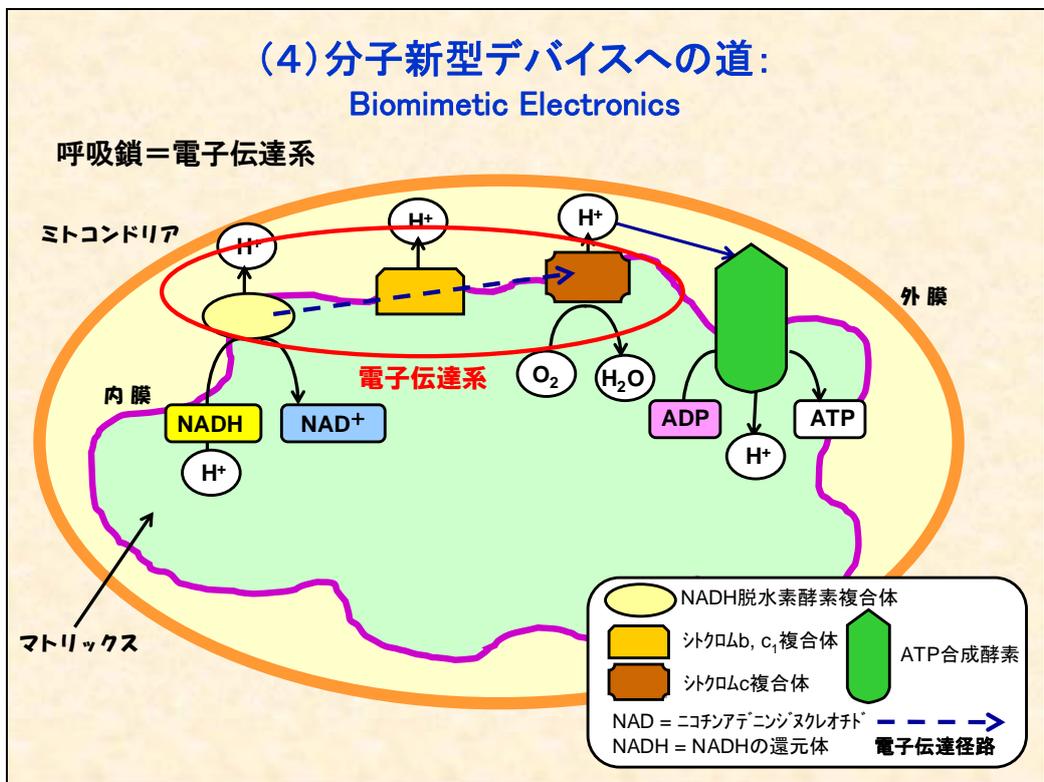


図 5.1-4 分子新型デバイス

目先を転じて生態系を眺めてみると、電子の伝達系が非常にうまくできて

いる。このような生体系の I/O 様式に範をとることも必要であろう。図 5.1-4 はミトコンドリアの中での呼吸酵素に関係する電子の流れをあらわしており、外部回路との接続等を自動的に非常にうまくやっている。また代謝系では、たんぱくが色々な絡み方をしており、全体としてうまく電荷伝達が行なわれている。ここに電子の電荷だけではなくてスピンの自由度を導入する可能性をも考えることができるであろう。

以上述べたような個々の要素合成技術では、日本は世界的水準を達成している。問題は各技術者の集積である。デバイス集積をこれからやっていく必要があり、回路設計も必要となる。普段バラバラに動いている研究者のチーム化が今後重要であり、総合的な研究開発を今から開始する必要があると考えている。

質疑：

- Q: チオール系がよく使われるということであったが、チオールと金とは、電気的な特性として、電流がきちんと流れるような構成になっているのか。
- A: 金とチオールとは、ボンドがうまくフェルミレベルの下の方でできており、上のフェルミレベルでうまく流れるようになっている。
- Q: 有機分子そのものをデバイスに使うという研究は、非常に脚光を浴びた時期とそうでない時期とがあったが、現在は世界的に見てどういう潮流にあるか。
- A: 有機分子そのもので成功した例としては、液晶と有機 EL が挙げられる。両方とも、最初出てきたころは、何の役に立つのかと言われた。千のうち三つかかもしれないが、成功するものもあり得ることを示している。
- Q: 分子新型デバイスでは、情報は何が担っていて、どういう処理ができるのか。また、デバイスで言うところのゲートに対応するものはこの分子新型デバイスの中だと何が担うのか。
- A: 情報を伝達しているのは電子とプロトンで、これらが必要な信号を伝えて、例えば呼吸酵素から酸素をつけたり離したりする。図 5.1-4 の赤丸で囲んだ部分（電子伝達系）が非常にうまくできているが、これがどういう機構なのか、また、全体としてうまく動いているということはどう考えたらいいのかということ、新型デバイスに取り入れたい。ゲートの働きをするのは、違う化学反応で例えば ATP や ADP のような違う物質ができてくることに対応する。色々な化学が絡まっているので、こういう部分の研究をやり直す必要がある。
- Q: 有機物の電子デバイスをつくるときにいつも問題になるのが移動度の低さである。オリゴチオフェンの移動度はどの位か。

1.	本ワークショップの趣旨
2.	仮説と事前アンケートのまとめ
3.	議論の進め方 / CMOS の原理限界と課題
4.	セッション I
5.	セッション II
6.	セッション III
7.	全体討論
8.	まとめ
	Appendix

A: ポリチオフェンでは高いもので $10^{-1} \text{ cm}^2/(\text{Vs})$ 程度。ルブレン結晶では $15 \text{ cm}^2/(\text{Vs})$ の値が出ている。有機物における π 共役系では、散乱因子がなければ、数百程度はとれる。例えば、それこそグラフェンでは $10^5 \text{ cm}^2/(\text{Vs})$ 以上と非常に大きい。オリゴチオフェンの場合もおそらく $10^0 \sim 10^1$ の値は実現できるだろう。

Q: 色々な分子を設計して 100 量体ぐらいをつくろうというのは、今の技術水準でいうとどの程度大変な作業なのか。

A: それほど大変だとは考えない。しかし、それをつくる環境が問題だ。1回合成してそれで終わりということにせず、役立たせるように、研究者の連携・集積が重要である。

5.2 単電子デバイス：藤原聡（NTT）

単電子デバイスとは、微小構造で発現する単電子帯電効果を利用したデバイスの総称で、伝導体（金属、半導体、分子）で形成可能である。単電子トランジスタ、単電子転送デバイスの2つに大別できる。（今回の議論では単電子メモリは除く。）

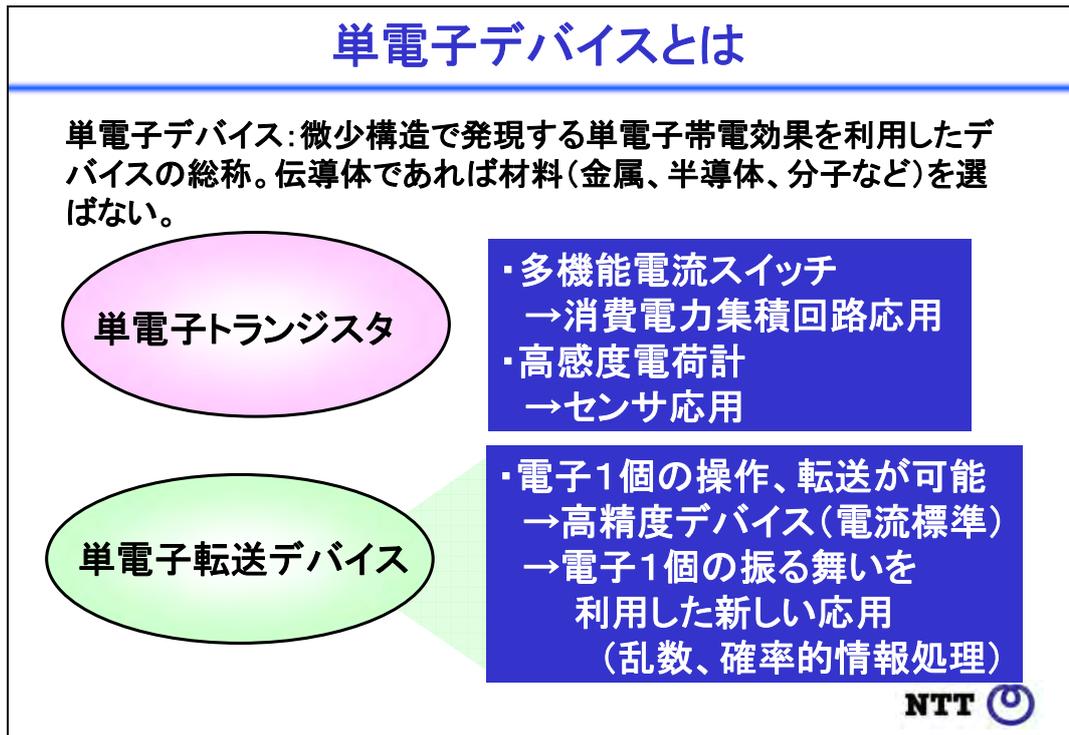


図 5.2-1 単電子デバイスの種類

単電子トランジスタ（SET）は、電界効果トランジスタ（FET）の1種類で、スイッチ、センサに利用できる。単電子転送・操作デバイスは、電子1個の操作、転送を行うデバイスで、高精度な電流標準や、電子1個の振る舞いを利用した物理乱数の発生や、確率的情報処理への応用が期待できる。

シリコン単電子デバイスの国内外の研究状況は、大学、国立研究所が中心となっている（図 5.2-2）。日本、韓国、台湾からの論文が多く、ヨーロッパでは、フランスが多い。その他には、量子ビットを目指した研究で、オーストラリアから報告がある。また、アメリカからの報告は少ないが、最近量子ビット関連で報告が散見される。単電子転送・操作・検出デバイスについては、NTTがシリコンで、イギリスとドイツのグループが化合物半導体でデバイスを作製している。イギリスとドイツは電流標準の観点から研究を進めている。

シリコン以外でも、量子ドット、カーボンナノチューブ、分子、ドーパント原子などで単電子現象は広く認知されており、研究対象として浸透している。単電子トランジスタを電荷計など基礎研究のツールとして使う例も多い

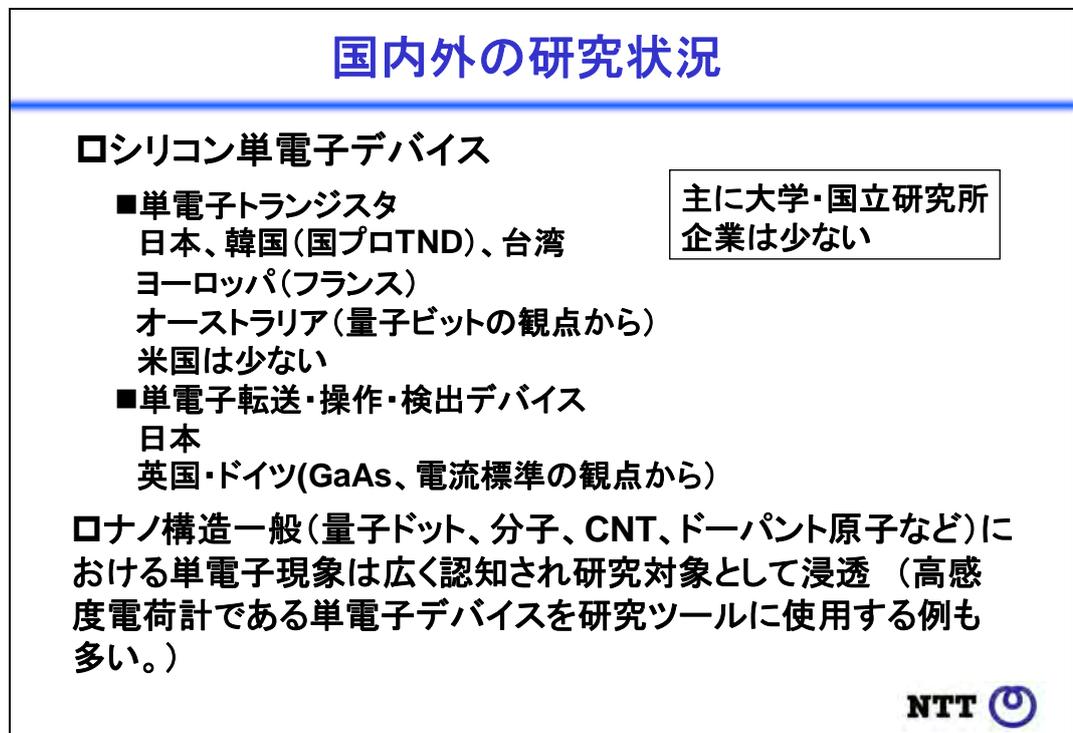


図 5.2-2 国内外の研究状況

単電子デバイスの 2 つの区分に対応して、論理回路応用も 2 分できる (図 5.2-3)。一つは、単電子トランジスタを FET として用いるロジックである。配線への蓄積電荷、すなわち電圧を用いる従来型ロジックであり、ビットは多数の電子で表す。単電子トランジスタは、クーロンブロッケードを動作原理とするが、マクロに見れば、あくまで電流スイッチであり FET である。つまり、基本的には CMOS 類似の回路を組むことが可能である。もう一つの論理回路応用としては、電子を 1 個ずつ操り、チャージが離散的であるということを使うものである。例えば、ビットを単電子で表すことが考えられる。ただし、1 ビットを単電子 1 個で表すとなると、単電子操作を精密に行う必要があり、技術的難度が高く、エラー補償を含んだアーキテクチャが必要だと考える。最近、NTT は、単電子の確率的振る舞いを乱数として利用する情報処理の検討を行っている。

単電子デバイスの論理回路応用

2つに分類可能

	単電子トランジスタ論理	単電子ビット論理
通称	Voltage-State Logic	Charge-State Logic
ビット	(電圧)多数の電子	単電子
デバイス	単電子トランジスタ	単電子転送・操作デバイス
動作原理	クーロンブロックードによる電流スイッチ(FET)	電荷の離散性(電子1個1個の操作・検出)
適合回路アーキテクチャ	CMOS類似	新規アーキテクチャ必要

NTT 

図 5.2-3 単電子デバイスの論理回路の分類

SET論理: 目指すべき方向性と解決すべき課題

方向性

- 単電子トランジスタ(SET)は極微小サイズの特異なFETの一つとみなすべき。
- 使い方としては、CMOS/SET混載
 Low power and medium performance
 高機能性による素子数低減効果を活かす使い方。
 アナログ応用もあり。トンネルコンダクタンス律速のため長配線駆動には向かない。

課題

- 高温動作化(微細化)
- デバイス作製技術の制御性・再現性の向上(特性ばらつきの低減化)
- キラーアプリ不明。回路研究との連携が必須。

NTT 

図 5.2-4 単電子トランジスタの方向性と課題

単電子トランジスタの方向性と課題を図 5.2-4 に示す。単電子トランジスタは、極少容量デバイスであり、単電子島のサイズ制御が大切である。分子を使うなど、ボトムアップのアプローチも有効であり、トップダウンであれば、高い加工精度が必要である。また、極少容量であり RC 時間が短いため、デバイス単体としての intrinsic な動作速度は、テラヘルツオーダーに達する。一方、単電子トランジスタのデメリットは、微少トンネル接合を使用するため、ナノワイヤ FET に比べてコンダクタンスが約 1 桁～2 桁低いことである。LSI では配線を駆動しなければならず、配線容量が原因で回路速度が遅くなってしまふ。よって、単電子トランジスタは、長配線のないコンパクトな回路部分に用いるのが好ましい。さらに単電子トランジスタの高機能性として周期的なオン/オフ特性がある。例えば、Exclusive OR の論理を 1 デバイスで構築できる (CMOS では、12 Tr. 必要)。また、アナログ応用も可能性としてある。単電子トランジスタの課題としては、高温動作（室温動作）の実現にある。また、すべてのナノデバイスに共通な課題ではあるが、特性ばらつきの低減が必要となる。上記 2 つの作製上の課題をクリアした上で、キラーアプリ回路は何かという問題に答えを出していく必要がある。

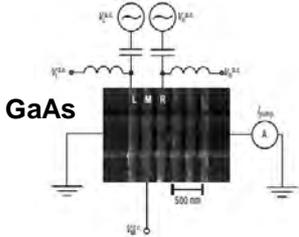
高温動作化の例としては、 C_{60} を用いた単電子トランジスタの報告がある。分子デバイスやボトムアップアプローチの利点は、寸法が分子で一意に決まることである。一方、トップダウンでは、電子線リソグラフィによるシリコン単電子トランジスタにおける室温での高オンオフ比が、東京大学から報告されている。また、デバイス特性の制御性や再現性も、重要な要素であるが、報告例が少ない。NTT では、トップダウンで作製したシリコン単電子トランジスタのゲート容量を評価し、ばらつき 1 aF 以下、寸法ばらつき換算では 10 nm 以下を確認しており、このような地道な検討が重要と考えている。また、閾値電圧ばらつきの評価も非常に重要であるが、ほとんど報告例がない。NTT ではシリコン単電子島の寸法と閾値電圧に明瞭な相関があり、閾値電圧ばらつきの原因となるいわゆる「背景電荷」の影響が少ないことを確認している。

概して単電子デバイスには、いくつかの誤解が存在すると考えている。例えば、「電子 1 個が消失したらエラーになるので、単電子回路というのはそもそも安定動作しない」というものである。単電子トランジスタ論理についてはそのようなことは決してなく、安定して動作する。また、「電子 1 個は分割できないため、fan-out がとれないから集積回路に使えない」という誤解もよく耳にする。単電子トランジスタ論理は、多数電子でビットを表現しており、fan-out は、単電子トランジスタのコンダクタンスで決まる。さらに、「単電子デバイスは、背景電荷に敏感で、閾値制御が全くできない」という誤解である。閾値制御は、単電子トランジスタに限らず、分子デバイスやカー

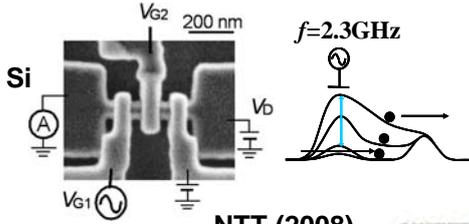
ボンナノチューブなど小さな FET に共通な課題であり、作製プロセスに強く依存することが予想される。前述したように、NTT の評価では、シリコン単電子トランジスタの閾値制御がある程度可能であることを確認している。

単電子転送・操作デバイス

1. 究極的な電子デバイス: 1個1個の電子の操作が可能
2. 半導体電界バリア型は高速動作可能 (GHz動作達成)
3. 応用先: 単電子ビット回路 (Static消費電力=0)
電流標準、センサー回路、量子ビット回路
4. 課題 電流標準: 高速動作・高精度化(エラー10^{-8})
回路応用: 新回路アーキテクチャ必要
ビットエラー補償の回路スキーム



University of Cambridge (2007)



NTT (2008) **NTT**

図 5.2-5 単電子転送・操作デバイス

単電子転送・操作デバイスは、電流スイッチではなくて、一個一個の電子の操作を可能とする。例えば、3 つの単電子島を並べたターンスタイルがメタル単電子デバイスとして広く知られているが、半導体を使えば電界ポテンシャル制御することで、より簡単に CCD のような電荷転送が可能となる。実際、NTT では、シリコン細線の上にゲートを形成して、GHz クロックで電子を 1 個ずつ運ぶ動作を実証している。単電子転送・操作デバイスの応用先としては、スタティックな消費電力ゼロを実現する単電子ビット回路、ナノエレクトロニクスではないが、電流標準、センサ、量子ビットなどが考えられる。単電子転送・操作デバイスの課題は、図 5.2-5 に示したように、高速化・高精度化、回路応用としてのアーキテクチャ開発、エラーへの対処が挙げられる。単電子ビット回路の例としては、電子 1 個をメッセージャーとし論理演算をする Binary Decision Diagram デバイスの他、Quantum - Dot Cellular Automaton も含めて良いであろう。最近、NTT では、シリコン細線 MOS 構造を用いて、室温で電子を 1 個ずつ転送し、その単電子を別の FET で検出することに成功しており、電荷計やセンサ回路に応用できる可能性を

1. 本ワークショップの趣旨
2. 仮説と事前アンケートのまとめ
3. 議論の進め方/CMOSの原理限界と課題
4. セッション I

5.

セッション II

6.

セッション III

7.

全体討論

8.

まとめ

Appendix

実証している。

また、単電子を制御するのではなく、むしろ乱数として使用する提案が幾つかある。例えば、電子が確率的に注入されてくる個数を数え、あるときは10個、あるときは7個という揺らぎを利用して、パターンマッチングを行い、効率的な処理を行う提案（九州工大）がある。東芝でも、単電子の振る舞いを用いて物理乱数をつくるということを進めている。NTTでも、単電子を用いた確率パターンマッチングデバイスの動作を室温で実証している。

以上の議論を受けて、単電子研究の方向性と必要な体制を図 5.2-6 にまとめた。電荷ベースであり、スピンドバイスや MEMS に比べると CMOS との整合性がよいので、CMOS のサプリメントとして使われる可能性を探るべきだと考える。現時点では、特性ばらつきが大きいので、作製技術の精度向上が必要である。単電子転送・検出は、究極的な電子操作として重要な技術である。センサとしての用途が開ければ、More than Moore 的に CMOS の一部に入って機能を発揮する可能性がある。

単電子研究の方向性と必要な体制

- Emerging Research Device (ERD) としての位置づけ
電荷ベースであり、他の”新“デバイスと比べて CMOS との整合性良い → “CMOS Supplement” としての実現性高い
- 単電子トランジスタ (SET) 技術は、Non-conventional FET。低ばらつきの **デバイス作製技術開発** が必要。(すべてのナノ FET に共通な最重要課題) 分子、一次元 FET が不可避免的に SET となってしまう場合も想定すべき。
- 単電子転送・検出技術は、いわば究極的な電子デバイス。**新規回路アーキテクチャ** が必須。センサー機能など More-than-Moore 的に使う可能性も。
- 必要な人材・研究体制
単電子に限らず ERD には、**物理、デバイス、プロセス、回路の連携およびその複数にまたがる人材育成** 必要。
例えば、米国 “beyond CMOS” では物理家が真剣にデバイスの基本性能・長所・短所を議論している。流行だけでやらない。 **NTT** 

図 5.2-6 単電子デバイス研究の方向性と必要な体制

必要な研究体制としては、単電子デバイスに限ったことではないが、物理、デバイス、プロセス、回路の連携とその複数にまたがる人材が必要である。アメリカでは、物理の専門家がデバイスの基本的性能を真剣に議論しており、層の厚さを感じる。日本では、そのような連携が少なく、分断されてしまっ

ている。

図 5.2-7 に、単電子デバイスの研究開発の方向性を示すロードマップを示す。プロセス開発、ばらつき制御、単電子トランジスタ技術と転送・検出技術を平行に推進する。アプリケーションとして、高感度センサや標準デバイス、CMOS との連携で低消費電力な回路応用を目指す。

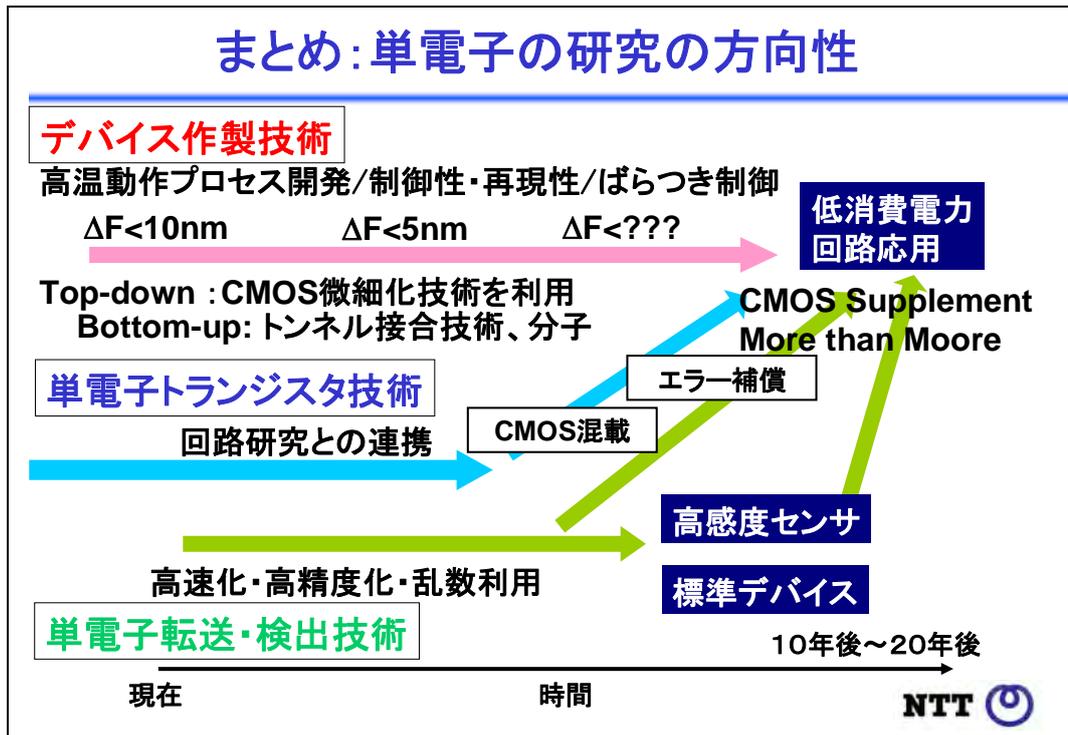


図 5.2-7 単電子デバイスの研究開発の方向性

質疑：

Q: 最後にあった、CMOS のサブリメントとして回路的な使い方、Exclusive OR 以外にも例があるのか。

A: 例えば、算術の一部を単電子回路で組むというアイデアが提唱されている。単電子トランジスタが得意とするのは、周期的な振動が有効に使える分野である。

Q: 周期のピークとバレーというのはどのくらいか。

A: 東大の平本先生のところの結果だと、室温で、大体 3 桁 (数百倍) とれる。 10^5 に到達するためには、もう少し寸法を小さくする必要がある。

Q: トンネルコンダクタンスが低いということを強調しているが、トンネルデバイスというのは一般的にコンダクタンスが低いという議論なのか。そ

れとも、何か物理的に低くなる理由があるのか。

- A: 例えばナノワイヤ FET と比べたときに、単電子トランジスタの場合、トンネル障壁を入れているので、FET と比べたときにはコンダクタンスが低くなるという意味である。また、単電子デバイスの動作のためには、トンネル抵抗が量子化抵抗よりも高い必需があり、これが物理的制約となる。
- Q: 単電子のトランジスタを実際にインテグレートしようと思ったときには、典型的にどの程度の周辺回路の特性があると使えるようになるか。単電子デバイスと言うけれども FET だと思ふべきであるという話が肝だと思ふが、特性として例えばどの程度の電流が配線側に行くのか。あるいは別の言い方をすれば、どの程度の配線でつなげばいいのか。コンダクタンスの具体的な値でもいいし、短い配線としたら、どの程度短ければいいのか。
- A: コンダクタンスの値としては $1 \mu\text{S}$ 以下が目安。
- Q: サブ μS のデバイスで周辺を巻いていかないと、ということで考えればよいか。
- A: その通り。
- Q: 単一電子トランジスタでは、ばらつきの問題が非常に大事であると思ふが、現状、シリコンを使ってやられているときに、自己整合的に寸法を決められるなどの手法が、必要になってくるような気がする。その辺についての取り組みはどういうのがされているのか。
- A: 我々のところもやっていないし、世の中には余りないというのが現状。
- Q: 例えば分子を使うとか、そういう話になってくるのか。
- A: 分子などのボトムアップアプローチは有効。また、最近の興味深い作製方法として、シリコンナノワイヤのシリサイド化がある。ナノワイヤの両端からシリサイド化すると、中央部に小さなシリコン島が残る。ショットキー接合がトンネル接合として機能し、単電子トランジスタとなる。このように、ナノワイヤ、CNT などの FET もオーミックコンタクトがとれなければ、単電子トランジスタになってしまう可能性がある。プロセス制御性がよければ、FET ではなく単電子トランジスタとして用いるという道もある。

5.3 酸化物エレクトロニクス：川崎雅司（東北大）

酸化物は、強相関酸化物と酸化物半導体の2つが今大きくクローズアップされているが、ここでは強相関酸化物に絞って、現状と将来展望を述べる。

強相関電子系では、アボガドロ数個程度の電子が集まり、相（フェーズ）をつくるということが非常に重要で、その色々な相が互いに競合している。この競合を上手に制御する研究、あるいは競合する相同士をつなぎ合わせた界面の研究が極めて興味深い分野で、今後 Beyond CMOS を考える上で様々な展開の可能性をもっている。

最初のセッション（3章）で、CMOSにおける状態変数（電荷）と、その駆動力である共役な状態変数（電圧）の話があった。強相関電子技術では、状態変数を電荷以外のもの置き換えることが可能であり、さらに駆動力として共役な状態変数以外のものを利用できる可能性がある。

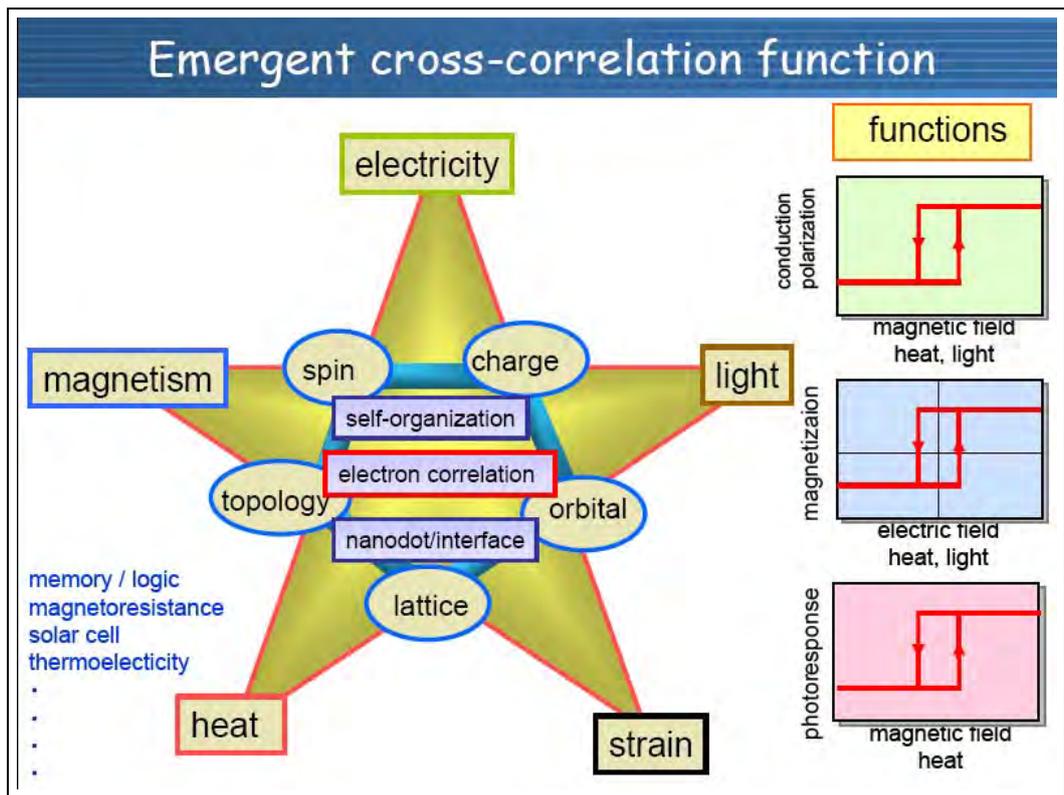


図 5.3-1 状態変数と駆動力の関係

例として、図 5.3-1 に状態変数と駆動力との関係を示した。電荷以外にも、スピン、スピンのトポロジー（空間的な配置）、結晶格子、軌道（電子雲の形）、これらがすべて状態変数になり得るということを提案している。状態変数に共役な駆動力は、例えば電荷ならば電圧、スピンならば磁場であるが、それ

1. 本ワークショップの趣旨
2. 仮説と事前アンケートのまとめ
3. 議論の進め方／CMOSの原理限界と課題
4. セッションI
5. セッションII
6. セッションIII
7. 全体討論
8. まとめ

Appendix

だけでなく、光や歪み、あるいは熱が互いに入り組んだ、共役でない関係が非常に面白い。これまでも電気磁気効果など共役でない状態変数の間の関係は色々あったが、その効果は非常に小さなものであった。フェロイック材料を用いて、これを非常に大きくしようというのが、強相関電子技術の背景にある考え方である。

強相関電子材料は、半導体とは逆の極限にいる材料群である。半導体では、整然と並んだ結晶格子中に電子がブロッホ状態、すなわち波として存在するので、波数 k が量子状態を表す良い指数になる。この半導体中の電子の数を 10^{16} cm^{-3} とすると、強相関酸化物系では、 10^{22} cm^{-3} という非常に多くの電子が存在する。これらの電子同士の反発し合う力が強いいため、電子は動くことができず、格子点に張りついた状態となる。これが、強相関酸化物が絶縁体になる理由であり、この状態はモット (Mott) 状態と呼ばれている。電子が波として動いているときは電荷の情報が見えるが、電子が止まりかけると、スピンや軌道の特性が色濃く現れるようになる。

我々が使っている Perovskite 型酸化物は、8 面体構造の遷移金属酸化物の中にアルカリ土類 (2 価) あるいは希土類 (3 価) を入れて結晶を構成している。この 2 価と 3 価の比率で電子のフィリングを制御できる。また上述の酸素を頂点とする 8 面体構造同士のつながる角度で、バンド幅制御が可能である。このように、電子のフィリングとそのバンド幅の 2 つを制御することによって、状態をいかようにも自由に変えられる、興味深い酸化物である。

このような強相関酸化物で、Beyond CMOS の情報担体 (状態変数) の候補となるものを図 5.3-2 に示した。電子は電荷、スピン、軌道という情報が互いにクロスリンクしている。電荷を例にとると、流れる電荷 (電流) だけでなく、強誘電性の変位電流、あるいは分極に相当するものを情報担体に使える。また、Mott 絶縁体の状態と金属の状態の 2 つの競合した電子状態を変えることで、動ける電子の数を状態変数とすることが可能である。スピンのについては、スピンそのものだけでなく、スピンの空間配置 (カイラリティ) などが非常に重要な状態変数になり得る。さらに軌道を状態変数にすることも考えられる。あるいは、強誘電体の分極と強磁性体の磁化の外積をとった Toroidal moment も状態変数の候補である。

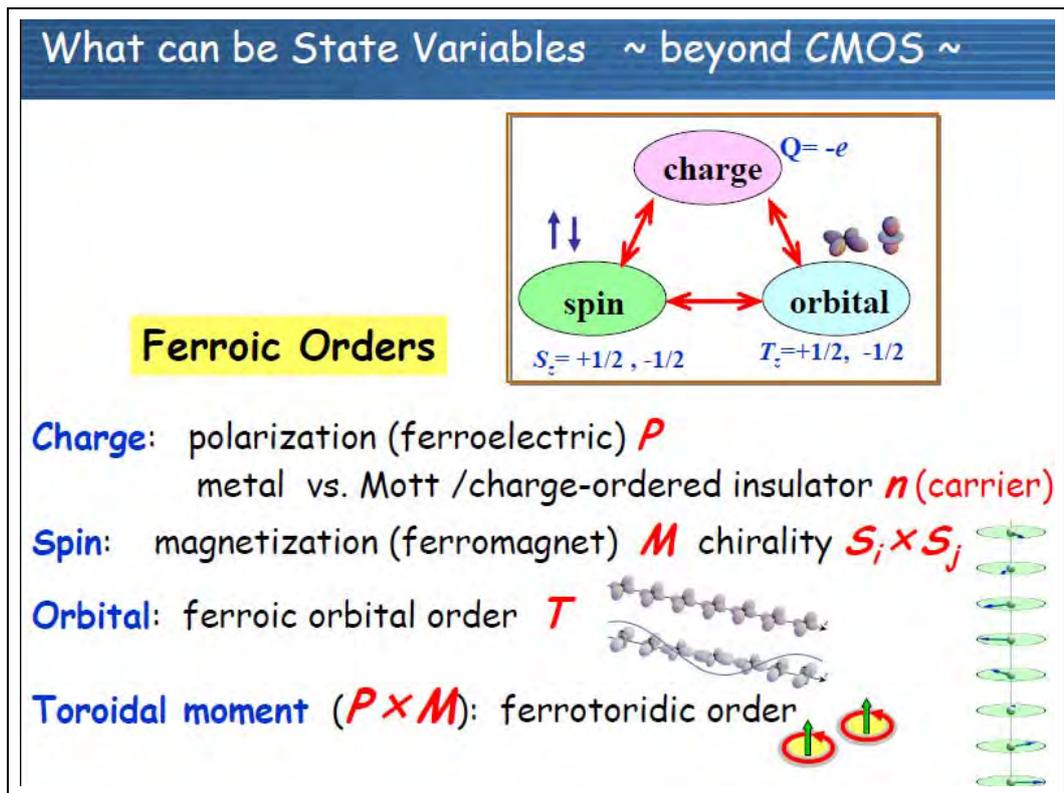


図 5.3-2 Beyond CMOS における状態変数の候補

強相関電子が外場に対して大きな応答を示す例がいくつかある。電子が固まった状態に磁場をかけて低抵抗にするのが巨大磁気抵抗効果である。抵抗変化素子では、金属と遷移金属酸化物の界面の状態を電圧パルスで変化させる。また、光を当てることで、絶縁体から金属状態に変化する物質も発見されている。

これらの現象を実際に使うためには、状態間の変化の速さが重要であり、いくつかの実験結果が報告されている。例えば軌道波 (orbitoron) についてはラマン分光による評価で、非常に速い可能性があることが示唆されている(E. Saitoh et al. Nature)。

ナノテクノロジーの観点からは、どれだけ微細化できるかということが重要となる。強相関材料は、各原子サイトに電子がいるので、例えば 1 辺 40 nm の立方体を考えると約 100 万個の電子が入っていることになる(図 5.3-3 参照)。これは基底状態を定義するのに十分な数なので、微細化の可能性は十分にある。ただし、実際のプロセスとの適合性という点では、酸化物はまだ未熟な材料であり、今後考えていかななくてはならない。

半導体ではキャリア移動度が大きいことを利用して、わずかな電子の数 (10^{16} cm^{-3}) を変えるだけで、コンダクタンスを大きく変化させている。一方、強相関材料のモット絶縁体では、移動度は小さいが、 10^{22} cm^{-3} という多

- 1. 本ワークショップの趣旨
- 2. 仮説と事前アンケートのまとめ
- 3. 議論の進め方/CMOSの原理限界と課題
- 4. セッション I
- 5. セッション II
- 6. セッション III
- 7. 全体討論
- 8. まとめ
- Appendix

数の電子が、動けない状態と動ける状態の間を一斉に移ることで、コンダクタンスを変化させる。強相関材料では、外から電子を入れる必要がないので、RC積のような応答限界がないということも期待できる。

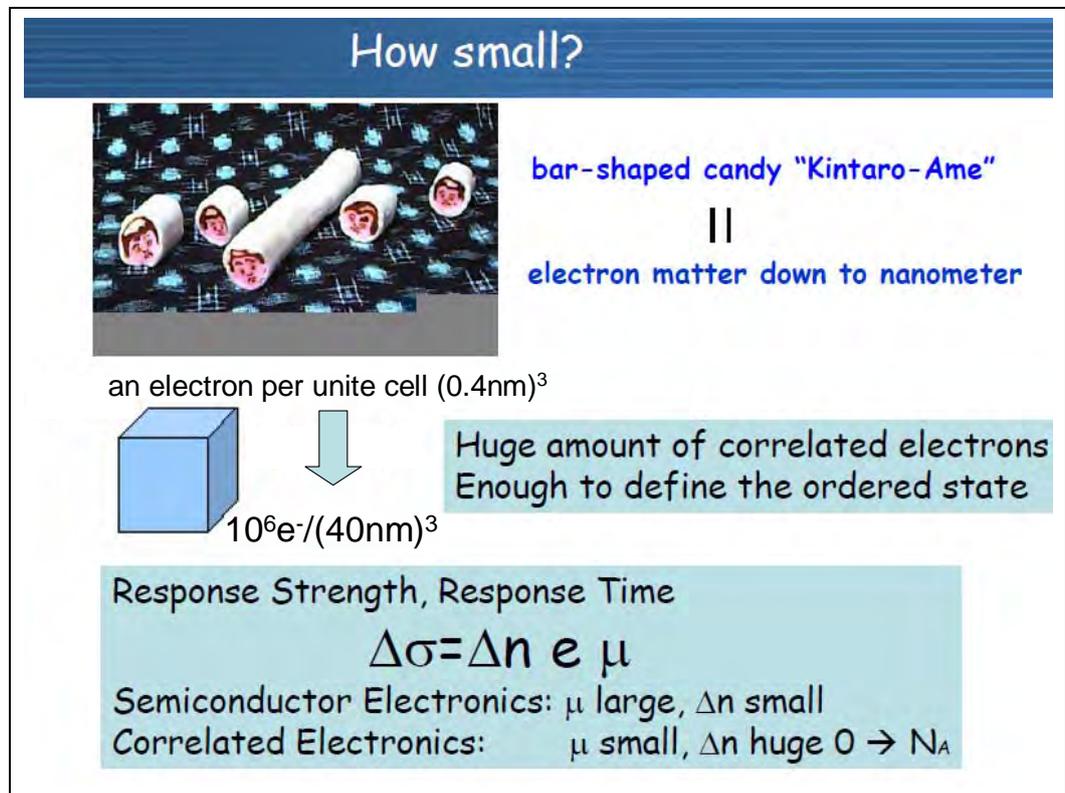


図 5.3-3 微細化の可能性

本日の WS で既に紹介のあったスピン流は、実は TbMnO_3 のようなマンガン酸化物の中に埋め込まれている。この結晶中では、スピンの向きが空間的に螺旋を巻く状態が安定になる。このとき、隣り合う 2 つの格子点でスピンの向きがある角度を持つことになる。これは超スピン流が格子点の間に流れていることに相当する。スピン流が流れると電界が生じるので、分極が形成される。反対向きのスピンでは分極が反転する。これは、強磁性と強誘電性の結合したマルチフェロイックの代表である。これを用いて、例えば電界によりスピン情報を操作するという研究が、実際にいくつか実現されている。

抵抗変化メモリ (ReRAM) は、電圧パルスにより生じる大きな抵抗変化を利用している。最近の ReRAM の研究では、この抵抗変化が、酸素が 1 格子ユニットセル以上動くことに起因するという研究例が多い。原子が 1 ユニットセル以上動く原理では耐久性が問題となる可能性があるため、電子オリジンの界面効果を使った抵抗変化を追求しようと考えている。

状態変数としての強相関電子

1. 電気的な制御
散逸を極小化: 変位電流、スピン流
2. 熱エネルギーの制御
相競合、相転移のエナジェティクス
3. ダイナミクス
ピコ秒以下のナノ電子相の生成、制御は可能
4. ノイズ、耐久性
電子相の安定性vs. 転移に要するエネルギー
格子とのデカップル

図 5.3-4 状態変数としての強相関電子

状態変数としての強相関電子の可能性について図 5.3-4 にまとめた。Beyond CMOS で言われている限界や課題を考えた場合、例えば電気的な制御で散逸を極小化、できれば無くしたいとなると、マルチフェロイックスの変位電流やスピン流を使うといった考え方が可能になる。一方、熱エネルギーの制御ではジュール熱が重要になるが、このとき競合した相同士の間の障壁、あるいは相転移を起こすときのエネルギーがどのような関係にあるかは、いまだ十分にわかっていない。このような課題について、しっかりと物理の研究をしていく必要がある。動特性については、リード線をとったデバイスで実証したわけではないが、光等を用いて非常に早い過程で電子的な相変位が誘起できることはわかっている。ノイズと耐久性は、2つの電子相が安定なほど転移に要するエネルギーが大きくなるため、難しいかもしれないが、フェロイックな現象を使うことでうまくいく可能性はある。一方、格子とデカップルした純粋に電子オリジンの原理を探していく必要があると考えている。

現在は、状態変数の共役でない制御方法を一つ一つ調べていかななくてはならない段階である。

- 1. 本ワークショップの趣旨
- 2. 仮説と事前アンケートのまとめ
- 3. 議論の進め方/CMOSの原理限界と課題
- 4. セッションI
- 5. セッションII
- 6. セッションIII
- 7. 全体討論
- 8. まとめ
- Appendix

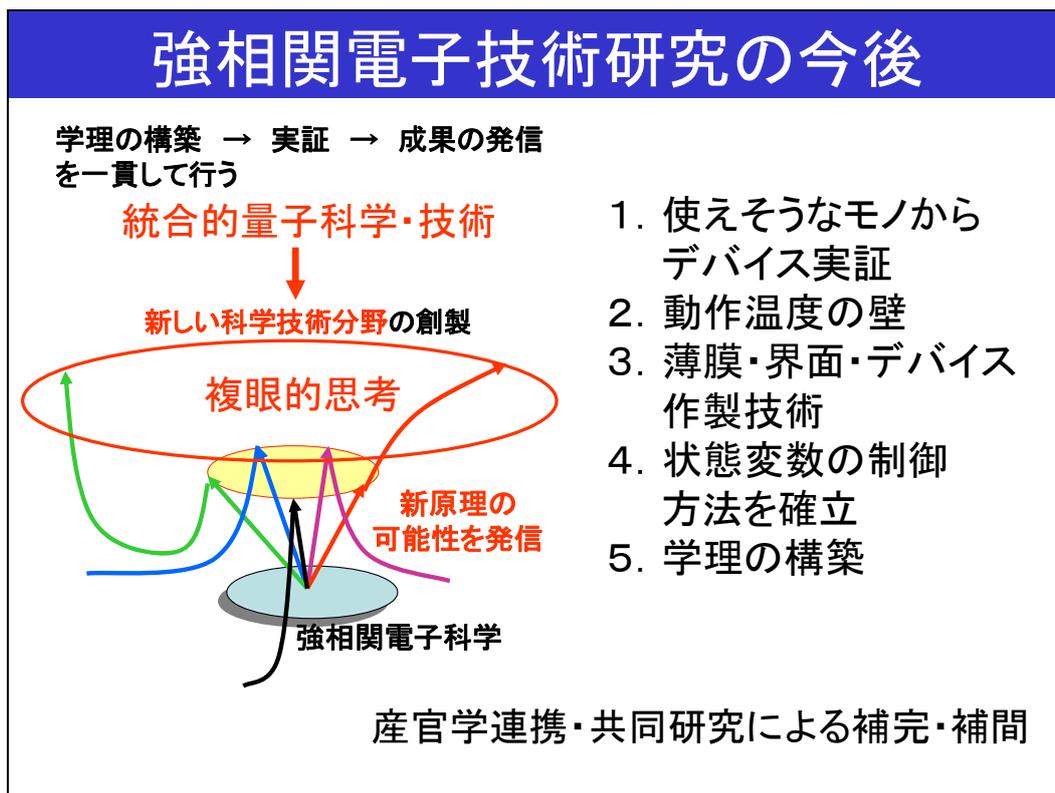


図 5.3-5 強相関電子技術研究の今後

このような研究が、今後 Beyond CMOS の土俵に乗れるかどうかについては、ムーア則のようにリニアモデルできれいに成功していくとは考えていない。図 5.3-5 に示したように、学理の構築をして原理を考えついたなら、それを実証し、成果の発信をするまで一貫して行うことが重要である。ほとんどのものは途中でダイアウトしていくであろうが、今の段階では、打ち上げ花火をどんどん上げることが重要と考えている。原理検証されているものの多くは低温でしか動作しないが、室温動作を実現するための物理的限界の壁があるのか、材料の開拓によって、あるいはデバイス構造によって可能なのかという見極めが必要になる。図 5.3-8 では下の 2 つ（5 と 4）が今まさに進展しているところである。なお、学理を一気通貫で技術まで持っていくには、産官学連携あるいは共同研究のプラットフォームがどうしても必要である。

最後に、強相関電子科学技術研究に関する国内外の状況を簡単に述べる。国内では、産総研に酸化物のデバイス加工、薄膜技術の世界トップの技術が確立している。酸化物専用のクリーンルームがあるのは、おそらく世界でここだけと思われる。基盤技術に関して、一番人材が厚く、一番研究が進んでいるのは日本である。しかし、例えば薄膜技術ではヨーロッパがかなり追いかけてきている。また米国では、きちんと報告書が作成されて、イニシアチブとして方向を定め、それが発表されると多額の資金がつくという体制にな

っている。したがって日本もあまりのんびりしてはいられなくなった。基礎研究では海外との競合だけでなく、連携、協業も進んでいる。上述の日本の技術、インフラをうまく利用し、それを産業と結びつけるようなスキームができるとういと考えている。

質疑：

Q: 従来の CMOS とは違う状態変数で例えばロジックゲートをつくるというときに、色々な可能性があるというお話だったが、例えばどのような例を考えればよいか。

A: 一つには抵抗変化型メモリ、もう一つはマルチフェロイックといった方向がある。例えば情報を一つのビットから違うビットに伝達するのに、電流ではなく電圧により磁壁を動かすことで情報を伝達できる可能性がある。

Q: 動作温度の現状と今後の見通しは？

A: マルチフェロイック系では、現在低温での研究が進んでいる。室温動作のための新材料開発については、超伝導の新材料発見と違って、理論から考えて探ることができる可能性がある。ただし、もう少し抜本的な考え方の変革が必要かもしれない。

Q: 材料のプロセスの問題になるが、半導体と比較して、強相関材料は欠陥にかなり敏感ではないのか？

A: その逆で相当鈍感である。半導体では、利用する電子が原子に対して 1 ppm 程度なので、1 ppm 程度の不純物や格子欠陥で致命的な影響を受ける。それに対して、強相関系の電子数密度は 10^{22} cm^{-3} と高く、原子と同程度のため、不純物や格子欠陥に対しては鈍感な場合が多い。ただし、界面での相競合を用いる場合、原子のレベルでの制御が必要となる。

Q: 歪みや軌道の向きが非常に敏感に効くという話があったが、それから類推すると、欠陥に対しても非常に敏感ではないかとも思えるが？

A: むしろ、集団でそのような空間パターンをつくるということがポイントである。空間の軌道パターンは電子集団として決まるという点で、欠陥に鈍感となりうる。逆にその安定性を意識的に導入した欠陥で制御できる例も明らかになっている。ただし、軌道状態がスピン状態や電荷整列状態と強くカップルするのは量子力学の要請によるのできわめて敏感となる。これは、強相関電子物理の本質であり、まさにこれを利用しようというのが共役駆動力の考えである。

1. 本ワークショップの趣旨

2.

仮説と事前アンケートのまとめ

3.

議論の進め方 / CMOS の原理限界と課題

4.

セッション I

5.

セッション II

6.

セッション III

7.

全体討論

8.

まとめ

Appendix

5.4 原子スイッチ：長谷川剛（NIMS）

原子スイッチとは、金属イオンの拡散と酸化・還元反応による、フィラメント（伝導パス）の形成・消滅を利用したスイッチである。原子スイッチは、ギャップ型原子スイッチと接合型原子スイッチに大別される。主な材料は、金属の硫化物（ Ag_2S 、 Cu_2S ）、酸化物（ Ta_2O_5 、 HfO_2 、 Nb_2O_5 、 TiO_2 ）などのイオン伝導材料である。抵抗変化型メモリ（ReRAM）は、酸素イオンの酸化・還元反応を利用しており原子スイッチと同じ電気化学素子に分類できる。原子スイッチと ReRAM は、メモリ応用では競合するが、ロジック回路応用では相補的な関係にある。

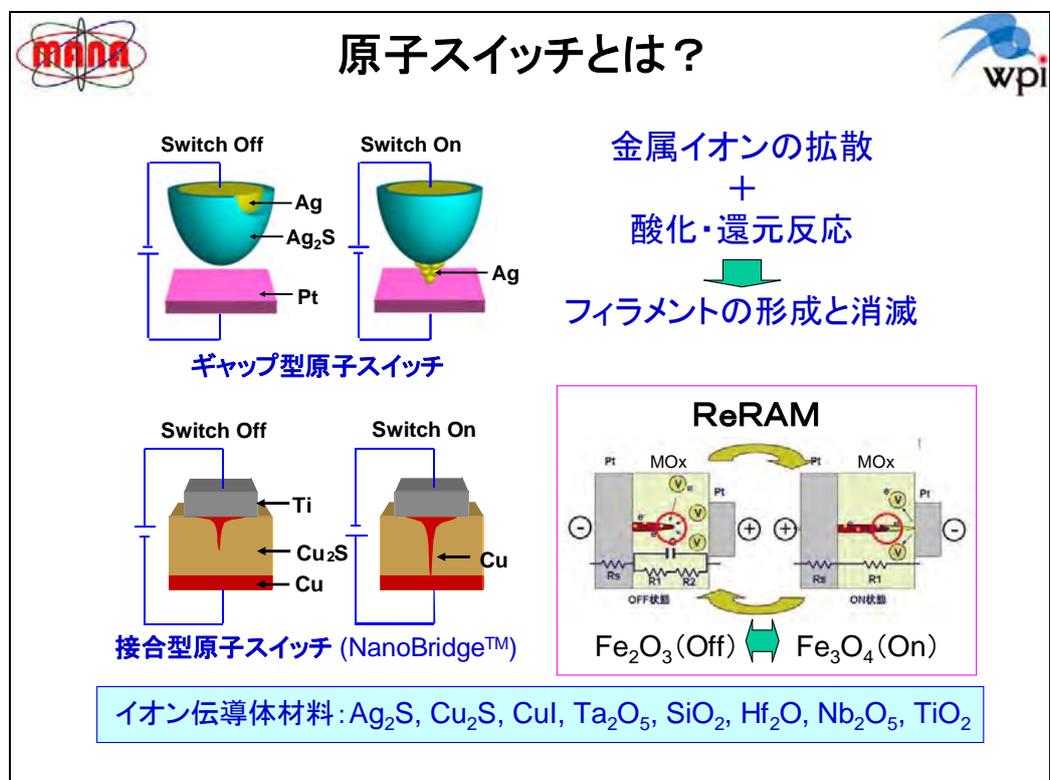


図 5.4-1 原子スイッチの種類

図 5.4-2 に示すように、原子スイッチは、走査型トンネル顕微鏡を用いた、 Ag_2S 探針/Pt 系での原理実証研究を経て、NEC との共同研究により、金属酸化物系の原子スイッチを、Si 混載化技術を用いて CMOS 回路へ搭載するプログラマブルロジックデバイス応用の実用化研究を行った。その結果、原子スイッチは、信頼性が 10 年以上、10 nm の微細化、動作速度 10 MHz～GHz オーダー、350 °C のプロセス耐性、 10^9 回の繰り返し耐性を持つことを実証した。



図 5.4-2 原子スイッチの実用化研究

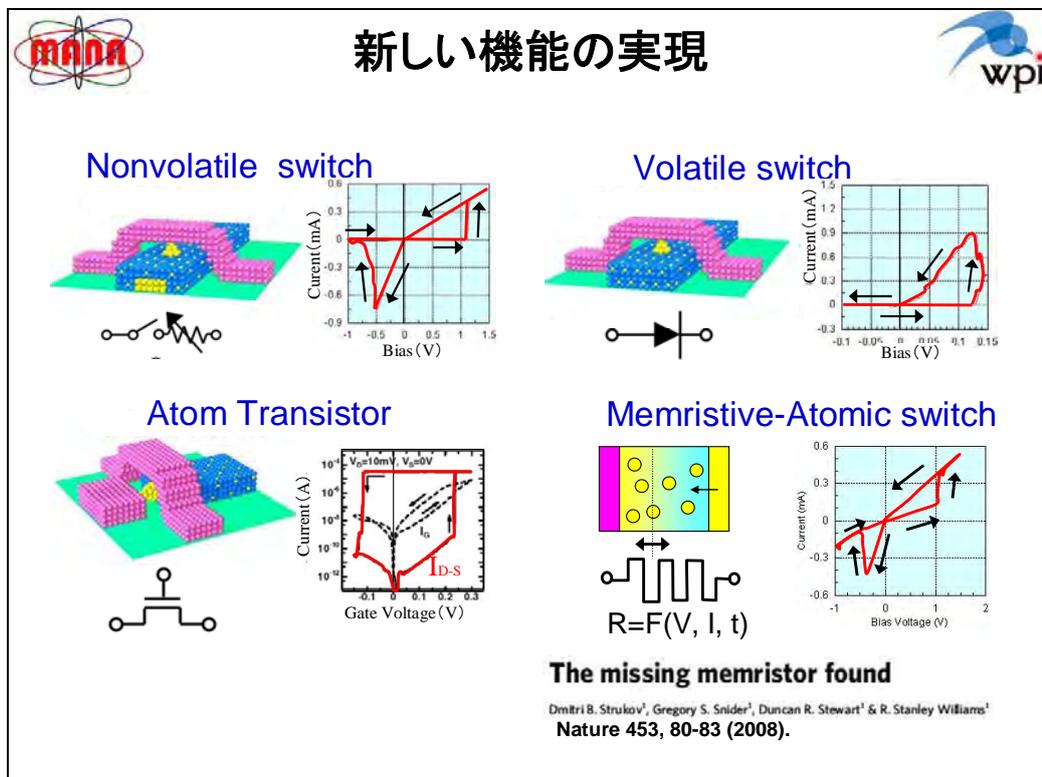


図 5.4-3 原子スイッチの新しい機能実現

コンピュータの高性能化をはかるためには、素子単体の高性能化（動作速

1. 本ワークショップの趣旨
 2. 仮説と事前アンケートのまとめ
 3. 議論の進め方/CMOSの原理限界と課題
 4. セッションI
 5. セッションII
 6. セッションIII
 7. 全体討論
 8. 締め
- Appendix

度、微細化、集積度、消費電力)による性能向上という方向性と、新アーキテクチャの導入による性能向上という方向性があり、原子スイッチは、後者の方向性で、新しい機能素子への利用を想定した研究開発を目指している。例えば、CMOS配線層上に、必要な層数の原子スイッチを積層できるので、これを利用した不揮発ロジック回路形成、また、図 5.4-3 に示したように、不揮発 (nonvolatile)、揮発 (volatile) メモリ、原子トランジスタ、メモリスタ原子スイッチが挙げられる。最近では、この中で特に、原子トランジスタについて、動作を実証するデータを確認しており、注目している。原子トランジスタでは、移動荷電粒子は金属イオンのみで、電子の移動を必要としないスイッチングを実現できるので、消費電力を単電子トランジスタレベルに抑えることができると考えている。



学習機能

(脳型コンピューターへの応用)



研究のスタイル

- 1) CMOSデバイスや量子ドットを利用したネットワーク回路
素子単体の動作は厳密、**超並列演算**などの特徴を再現。
(学習機能を事前にプログラム)
- 2) 脳の構造を模倣
例:**ランダム**に配置された微細電極間を、**フィラメント**で結合。
- 3) **入力信号によって、演算回路自身**が変化。
素子単体の学習機能を利用。

1): 脳の特徴をソフトで実現。 2),3): 脳の特徴をハードで実現。

図 5.4-4 原子スイッチの脳型コンピューターへの応用

さらに、メモリ=学習機能と捉えて、原子スイッチを脳型コンピューターへ応用する方向性も考えられる(図 5.4-4 参照)。脳型コンピューターは、脳の特徴をソフトウェアで実現するタイプと、脳の特徴をハードウェアで実現するタイプに大別される。前者は、CMOSや量子ドットデバイスを用いて、脳の超並列演算などの特徴を再現したもので、学習機能は、事前にプログラムされている。後者は、脳の構造を模倣したもの、入力信号により演算回路自身が自律的に変化し、脳内の学習メカニズムを再現するものなどがある。脳の

構造を模倣する方法として、ランダムに配置された微細電極間を、フィラメントで結合するなど、原子スイッチの動作を利用した方法が考えられる。また、パルス信号で動作する原子スイッチのメモリ動作自体が、脳内の学習メカニズムを模倣することを確認している。

一方で、原子スイッチは、視覚センサや嗅覚センサとして使用することも可能である。実際、原子スイッチのイオン伝導体材料部に光伝導性分子を使用することで、光を感知する原子スイッチ、つまり、光センサとしての動作を確認している。波長選択性を持った光伝導性分子を使用すれば、視覚センサを構成することが可能になると考える。また、光伝導性分子の代わりに、特定の物質（分子）と反応する反応性の分子を用いれば、嗅覚センサを形成することも可能である。この嗅覚センサは、原子スイッチを使用することで、微弱な電流で動作し、1分子のレベルから高感度に検出することを特徴とする。



原子スイッチの可能性と課題(まとめ)



1. **新しいアーキテクチャー開発(新しい機能の利用)**
 非シリコン系材料→3次元集積化(クロスバー型演算回路)
 不揮発性の利用→不揮発ロジック回路
 学習機能の利用→脳型コンピュータ
 センサー機能→ユビキタスコンピューティング、全光ロジック回路
2. **既存デバイスの高性能化**
 プログラマブルロジックデバイス、メモリの高集積化、光入出力端子、透明ディスプレイ、低消費電力化(原子トランジスタ)

課題: 素子単体の機能開発とその集積化技術開発、回路制御技術(アーキテクチャー)の開発

**Though individual neurons are slow,
the system as a whole is very fast.**

例え、全ての面でCMOSの特性を上回らなくとも、既存のコンピュータを凌駕するシステムを開発することは可能。ただし、CMOSの技術を最大限活かすことが重要。

図 5.4-5 原子スイッチの可能性と課題

以上の議論を踏まえて、原子スイッチの可能性と課題をまとめると、原子スイッチ素子単体の機能開発とその集積化技術開発、回路制御技術の開発が挙げられる。具体的には、図 5.4-5 に示したように、(1) 原子スイッチの新しいアーキテクチャー開発：非シリコン材料による3次元集積化、不揮発性ロジック回路、メモリ（学習）機能を用いた脳型コンピュータ、センサ機能を

1. 本ワークショップの趣旨

2. 仮説と事前アンケートのまとめ

3. 議論の進め方/CMOSの原理限界と課題

4. セッションI

5. セッションII

6. セッションIII

7. 全体討論

8. まとめ

Appendix

用いたユビキタスコンピューティングや全光ロジック回路応用、(2) 原子スイッチを利用した既存デバイスの高性能化：プログラマブルロジックデバイス、メモリの高集積化、光入出力端子、透明ディスプレイ、原子トランジスタによる低消費電力化、などが考えられる。

原子スイッチを含めたナノエレクトロニクス領域を活性化するためには、人材育成が大変重要である。特に、ナノエレクトロニクス研究拠点を作り試作ラインなどの共用ファウンドリーを充実させること、これと合わせて、若手研究者を海外派遣し世界で戦える人材を育成することが急務である。原子スイッチにおいては、海外の主な研究拠点として、米国では、アリゾナ大学 & Axon 社、ヒューレットパッカード、欧州ではライデン大学、アーヘン工科大学、中国では、南京大学、固体物理研究所が挙げられる。

質疑：

Q: 原子スイッチは、基本的には酸化・還元の新出なので、ある程度の電流量、トータル電荷を流さないといけないのではないかとと思われるが、原子トランジスタの場合にはそれが 10 個程度になるという話は、実証されているのか。

A: それは理想的な材料を用いた場合の話で、まだ実証はしていない。

Q: 実際には、原子スイッチはどのぐらいの電荷量を流すことで動作をしているのか。

A: イオン伝導体材料による。今使っている材料ならば、ナノアンペア程度のオーダー。トータル電荷という意味では、それ掛ける時間で、例えば 1 秒とかミリ秒のオーダー、スイッチがオンしてしまえば電流を流す必要ないので、非常に低消費電力になる。

Q: 原子トランジスタのように電極を分割すると、より小さな新出量でオン/オフ制御ができるということか。

A: 現在は、トランジスタの対向電極のソースドレイン間の電極寸法を小さくしている最中、素子の寸法を小さくすることで消費電力を下げるということは確認できている。どこまで下げられるかはこれからの課題。

Q: 原子スイッチを脳型コンピュータに使用する上で、動作を速くする方法と、動作の温度依存性をどのように考えているのか。

A: 今までに確認された原子スイッチの動作で、速度は 10 MHz、もっと速く動かしたいと思っている。原子スイッチは、電気化学反応を使っているの温度依存性はあるが、温度依存性を補償できる材料がある。

Q: スチュワート・パーキンが、トンネル磁気抵抗素子に、電流の大小ではなく、2 つの電圧パルスを与えることで、脳のシナプスを模倣するような

ことを研究している。原子スイッチでは、入力パルスの間隔を縮めたときに、例えば抵抗変化しやすいとか、そんな現象はあるのか。

A: 直接観測したわけではないが、存在すると考えている。原子スイッチでは、5回パルスを与えてオンする。これは、フィラメントを析出させるためにイオンを表面下基部に運ぶためであり、パルスの間隔が長いとこれはまたもとに戻ってしまう。パルスの間隔が短いと少ないパルスで出やすい。

Q: 40年程前に、カルコゲン材料で、テルルのフィラメントを構成し、それを壊すというオン/オフスイッチをやっていた。これは、非常にマクロな系で研究していたのでフィラメントが観察できたのだが、原子スイッチの場合のフィラメント（例えば銀）は観察しているのか。

A: 原子スイッチのフィラメントは非常に小さいので、断面を観察するのは難しい。実空間で観察する努力はしているが、現在は分光学的な手法で、金属の析出を確認している。

Q: 原子トランジスタのリテンションは、既に確認されているが、それは、3端子の原子トランジスタで、バイアスリテンションのようなものも保証しているのか。

A: 3端子では、確認していない。2端子の原子スイッチに、ある実際のデバイスで使うための電流を流した状態で、10年もつという加速試験結果が得られている。ただし、金属フィラメントの安定性という意味では、2端子でも3端子でも同等の筈である。

Q: フィラメントができると電圧がかからなくなるので、酸化・還元に必要なポテンシャル差のエネルギーが供給されていないから、安定だということか。

A: その可能性も一つはあると思う。

Q: 原子スイッチに必要な電圧はどこまで低くできるのか。

A: 材料に依存する。例えば、酸化タンタルならば1V、硫化物ならば数100mV。硫化物はシリコンと一緒に使えないと考えるが、材料を変えることによって、応用先は広がる。

Q: 低い電圧で酸化・還元が起こる材料というのは、逆にその安定性が懸念される。熱的にもとに戻る可能性はあるか。

A: 可能性はある。アプリケーションや、信頼性によって材料を変えることでその懸念は払拭できると考えている。

1. 本ワークショップの趣旨

2. 仮説と事前アンケートのまとめ

3. 議論の進め方/CMOSの原理限界と課題

4.

セッションI

5.

セッションII

6.

セッションIII

7.

全体討論

8.

まとめ

Appendix

5.5 量子コンピューティング素子／システム：伊藤公平（慶應大）

図 5.5-1 に示す様に、量子情報処理は、現在のコンピュータが不可能な事を可能にする計算機の開発を目指しており、量子コンピュータは量子シミュレーションや超高速素因数分解を実現できる。

なぜ量子コンピュータ？

- ・現在のコンピュータの不可能を可能にする計算機の開発
 - 量子シミュレーション(突き詰めればすべてが量子系)
 - 素因数分解
- ・基礎物理学発展への寄与
 - 量子力学に関する基礎的実験
- ・新学問体系の構築
 - 物理・計算機科学・材料・化学・電気工学の融合
- ・最先端科学技術の限界突破
 - 特にナノテクノロジー，最先端計測技術

低温+高磁場+高価=最悪？

国家に数台あればよい

高度情報化社会の最先端



図 5.5-1 量子コンピュータ

量子コンピュータのシステムとしては、図 5.5-2 に示すように、シリコン、量子ドット、超伝導、イオントラップなどを用いたものが考えられている。量子コンピュータ実現に向けての課題は、図 5.5-3 に纏めたように、量子情報の脆弱さの克服である。量子コンピュータでは、アルゴリズム実行完了前に元の量子情報が壊れてしまうため、量子計算による誤り訂正が必要である。誤り訂正を 10^6 s^{-1} 行えば量子情報を保つことができることがわかっているが、これが実際にできるかどうかは量子コンピュータ実現への一つのポイントである。

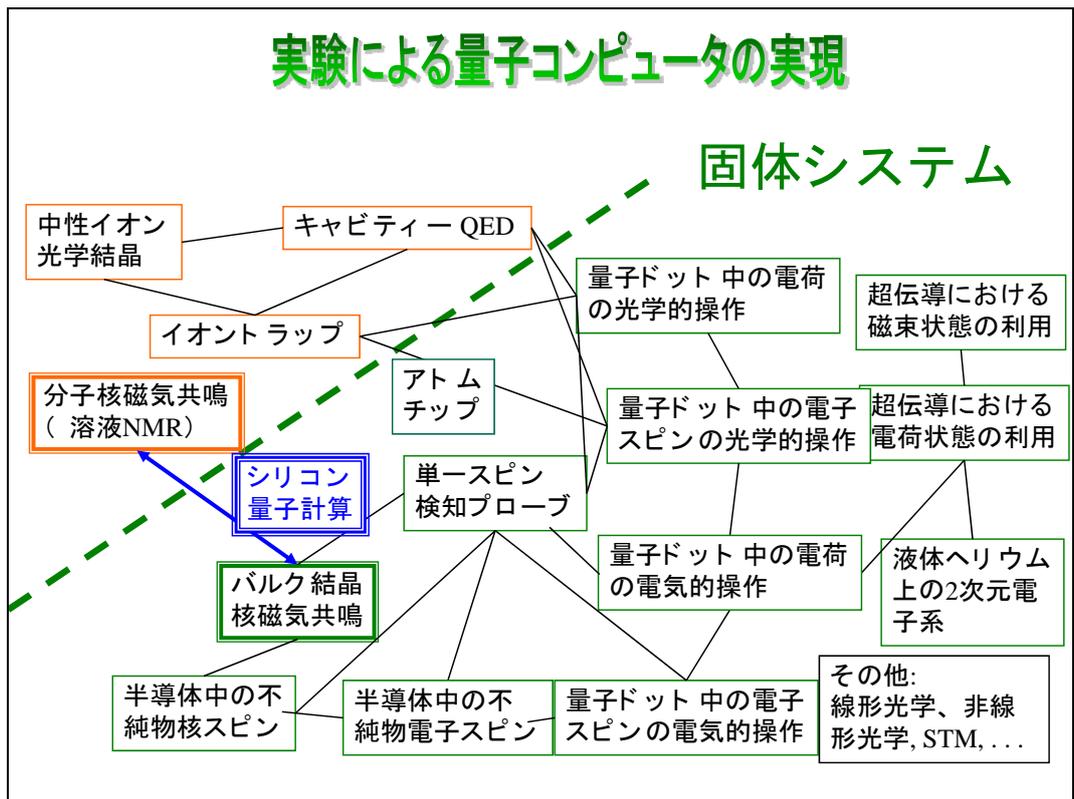


図 5.5-2 量子コンピュータの実現

量子コンピュータの超並列性を考慮したとしても、例えばショア（Peter Shor）の素因数分解アルゴリズムを解くには、10 kHz 程度のクロックスピードが必要である。

速い量子ビットの情報は速く失われる。クロックが速ければ、外からの刺激に敏感に反応するが、それは同時に、雑音や環境にも反応しやすいということであるから、状態が壊れ易いことを意味する。逆に、遅ければ外からの刺激に鈍感になるため、長く量子情報を保つことができるようになるが、外からの刺激に反応しにくくなるため、読み出しが困難になる。したがって、速い量子ビットで計算し、その量子情報が失われる前にメモリに量子情報を移すことが必要となる。現在の量子情報システムを開発する重要なポイントは、クロックスピードの異なる量子、具体的に言えばプロセッサとメモリを光、電子、フォノン等でどのようにつなぐかである。量子情報は量子情報の道を進むべきと思うが、ここで開発される技術は、Beyond CMOS に使えるのでは無いかと考える。

- 1. 本ワークショップの趣旨
- 2. 仮説と事前アンケートのまとめ
- 3. 議論の進め方/CMOSの原理限界と課題
- 4. セッションI
- 5. セッションII
- 6. セッションIII
- 7. 全体討論
- 8. ちよめ
- Appendix

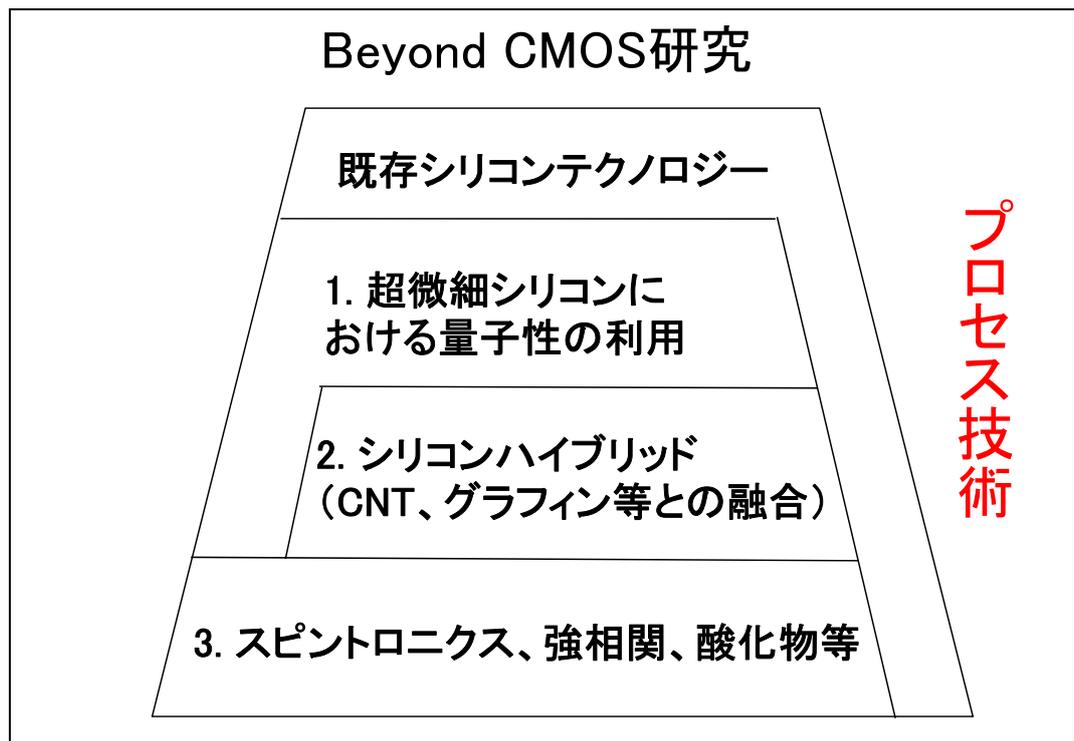


図 5.5-3 Beyond CMOS 研究

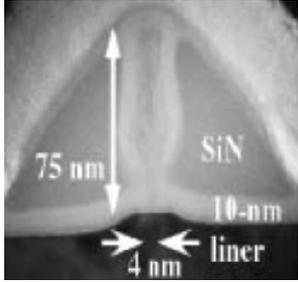
次に Beyond CMOS について述べる。図 5.5-3 に概念を示すが、ここには量子情報は含めていない。量子情報自体が Beyond CMOS になることは考えにくいだが、そこで開発される技術、例えば量子効果を利用して古典計算を行うデバイスは Beyond CMOS に使われる可能性があると考えている。既存のシリコンテクノロジーをスケールアップで小さくしていけば、必ず量子効果が現れるが、熱平衡状態というコンセプトでは、ほとんどの量子状態が室温で壊れてしまい使う事ができない。しかしながら、室温においても魔法瓶の中で熱的に絶縁されるような状況を作り、結果的に量子状態のみが低温状態または外界との相互作用がない状態を作る方法が見出されれば量子効果を用いた古典計算ができるかもしれない。すなわち室温でも使える量子効果を追求する基礎研究が大切である。この研究は既存シリコンテクノロジーや微細シリコンテクノロジーに繋げて行く事もあるが、シリコンハイブリッド、すなわちシリコン SET、カーボンナノチューブ、グラフェン等の室温ですでに量子効果が報告されているものと融合を進めていくことも重要である。

Beyond CMOSと量子性

1. 超微細シリコンにおける量子性の利用

量子を使った古典計算
熱雑音に勝つ条件の探索

微細構造形成(プロセス)
技術の推進と素子評価



NEC IEDM 2003

2. 配線技術における量子性の利用

エンタングル光子対、電子波の位相などを使った
情報の瞬間伝送

図 5.5-4 Beyond CMOS と量子性

図 5.5-4 に Beyond CMOS と量子性の関係を示した。一つは、超微細シリコンにおける量子性の利用についてである。写真は 2003 年、NEC によるナノオーダー CMOS 作製の報告である。CMOS がこの程度の大きさになると、冷却などにより色々な量子性が現れるはずである。これまでその量子性についてはあまり調べられてこなかったが、量子性を用いた古典計算ができる可能性がある。量子性がうまく環境から分離され、熱雑音の影響を受けない状態となることが可能か、またそのとき、量子性を用いた古典計算ができるかどうかを、日本の得意とする、最先端シリコンテクノロジーを用いて様々な微細構造を作製して、もう一度量子性を調べることは重要と考える。

2 つ目として、Beyond CMOS でも配線遅延が非常に重要な課題となる。配線遅延を解決するには、電子の移動とは異なる方法による情報伝達が考えられる。例えば、定在波などの波の位相、エンタングル光子対、もしくは何らかの量子力学を使ったチップ内配線や通信方法を用いた情報伝達である。

質疑：

Q: 量子性を使った古典計算とはどういうイメージか？

A: 量子を用いた古典計算の新しい方法を基礎研究から調べていく必要がある。既に提案されているデバイスではなく、微細シリコンに見出される量子性を調べ、スピンなどの様々な量子的自由度を用いた新しい方法によって古典計算ができないかと、概念的に考えている。

C: 量子を使った古典計算と思われる例として現存するものに、電子を非常に薄い領域に閉じ込めている FinFET の例がある。またトランジスタに歪みを導入してバンド構造を変化させている例もある。これらは、電子の波動関数の厚み依存性や歪みによるバンド構造の変化を用いて移動度を制御しており、計算もかなりやられている。

A: それらは既存の CMOS の性能向上のために用いる量子性であり、ニーズに敏感な企業研究者を中心に開発されたが、これからは全く違う視点を有する量子物理学の専門家などを積極的に巻き込んで企業人以外の視点から量子性を見直し新しい発想を取り入れることが大切だと考える。企業が物理学者に問題を提示することにより予想もしない新発想が出てくる可能性がある。

C: 共鳴トンネリングによる負性抵抗などは古典計算でやられていない例ではないかと思う。バンド間トンネリングは通常の CMOS では望ましくない効果であるが、いわゆる GIDL (Gate Induced Drain Leakage) を逆に用いて、オフの切れがシャープなものを探すという例も出ている。量子効果をフルに取り入れたデバイスの予測ができるシミュレーション技術は非常に重要だ。そこに基礎分野の研究者の参画が必要だということは間違いない。

Q: 核スピンドメモリをつくって電子スピンド演算をするという一つのやり方かと思うが、量子情報との親和性も考えると、光子を使った量子コンピュータで、しかもシリコンのウェハ上でやってしまうという方向性はどうか。

A: シリコンは結晶性が高く、不純物を少なくすることができる。更に、同位体を 1 種類に揃えると、ポーア模型で記述できるような状態になる。この状態は、リンなどを入れたときと比較して、背景の場の揺らぎが小さく、真空中に原子が置かれたような状態に近い。したがって、このようなシリコンでは、アトミックフィジックス的な量子計算を行っていく可能性がある。

Q: 最近、単一光子光源ができるようになってきたので、いわゆる光量子コンピュータをシリコンウェハ上で作製できる可能性はあるか。

A: 量子コンピュータの実現として、シリコンウェハ上で実現させることは一つの方向である。光子を用いたいわゆる光量子コンピュータの実現性は、

よいターゲットと考えられる。光源と検出器が作製できればよい。その光源はフィデリティや発光効率がよく、フォトニック結晶のようなものであればよい。すなわち、強結合で発光し、単一光子が欲しいときにオンデマンドで出せるようになれば、非常によい。エンタングル光子対を実現できれば、それをチップ内通信に使うことができる。

Q: 核スピンの NMR は熱損失を伴わない演算を行っていると考えてよいのか？

A: 基本的にはその通りだが、核スピンを操作するためには、核スピン系を電子スピン系に合わせて操作しなければならないなど、それなりにエネルギーが必要となる。核スピン単独でやろうとするのは余り現実的ではないと考えている。

1.	本ワークショップの趣旨
2.	仮説と事前アンケートのまとめ
3.	議論の進め方／CMOSの原理限界と課題
4.	セッションⅠ
5.	セッションⅡ
6.	セッションⅢ
7.	全体討論
8.	まとめ
	Appendix

6. セッションⅢ

6.1 ナノエレクトロニクスへの期待：横山直樹（富士通研）

情報通信システムは、計算機中心からネットワーク中心へシフトし、今後は、ユーザ中心へシフトしていくことが予想される。このパラダイムシフトは、ブロードバンド化の進展による転送情報量の増大を引き起こし、総消費電力を増大させ環境問題を招く。実際、経済産業省の資料によると、LSIの低消費電力化を加味しても、2025年の総消費電力量は、2006年の13倍に増大することが予想されており、これは、原発12基分の発電量に相当する。そこで、図6.1-1に示すように、産業競争力懇談会COCN（Council on Competitiveness-Nippon）は、「環境調和型ユビキタス社会を実現するナノエレクトロニクス」のための研究拠点設置の提案を行った。

ナノエレクトロニクス研究拠点設置の提案 FUJITSU

産業競争力懇談会COCN(Council on Competitiveness-Nippon)
 ⇒産業競争力を高めるため科学技術政策、産業政策などを
 提言する30社からなる団体
会長：三菱電機)野間口取締役会長(各社会長・社長クラスが会員)
実行委員会：日立)中村取締役(委員長)
富士通、東芝、鹿島建設、東レ、アルバック、トヨタ自動車

「環境調和型ユビキタス社会を実現するナノエレクトロニクス」
プロジェクトリーダー：横山 直樹(株)富士通研究所)
メンバー(幹事)：富士通(株)、(株)東芝、日本電気(株)、三菱電機(株)、
(株)日立製作所、(社)電子情報技術産業協会、半導体産業研究所
メンバー：(独)産業技術総合研究所、(独)物質・材料研究機構、東京大学、
パナソニック(株)、(株)ルネサステクノロジ、シャープ(株)、
NECエレクトロニクス(株)、技術研究組合 超先端電子技術開発機構、
(株)半導体先端テクノロジーズ

図 6.1-1 COCNによるナノエレクトロニクス研究拠点設置の提案

以上のような情勢は、半導体 CMOS 技術が、人と環境の調和を目指して、微細化から多様化へシフトすることを要請しており、半導体技術とナノテク・材料技術の融合によるナノエレクトロニクスへのモチベーションを与える（図6.1-2）。図6.1-3に示すように、このようなナノエレクトロニクスは、広範な分野に展開し、市場に大きなインパクトを与えることが期待できる。

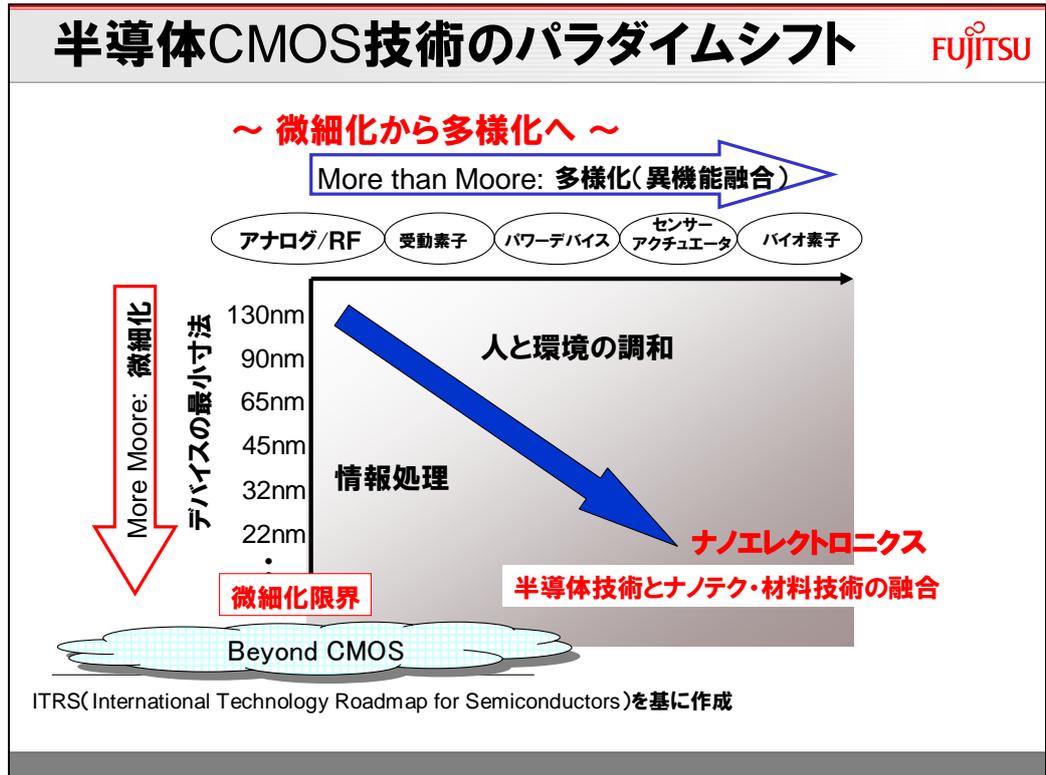


図 6.1-2 半導体 CMOS 技術のパラダイムシフト

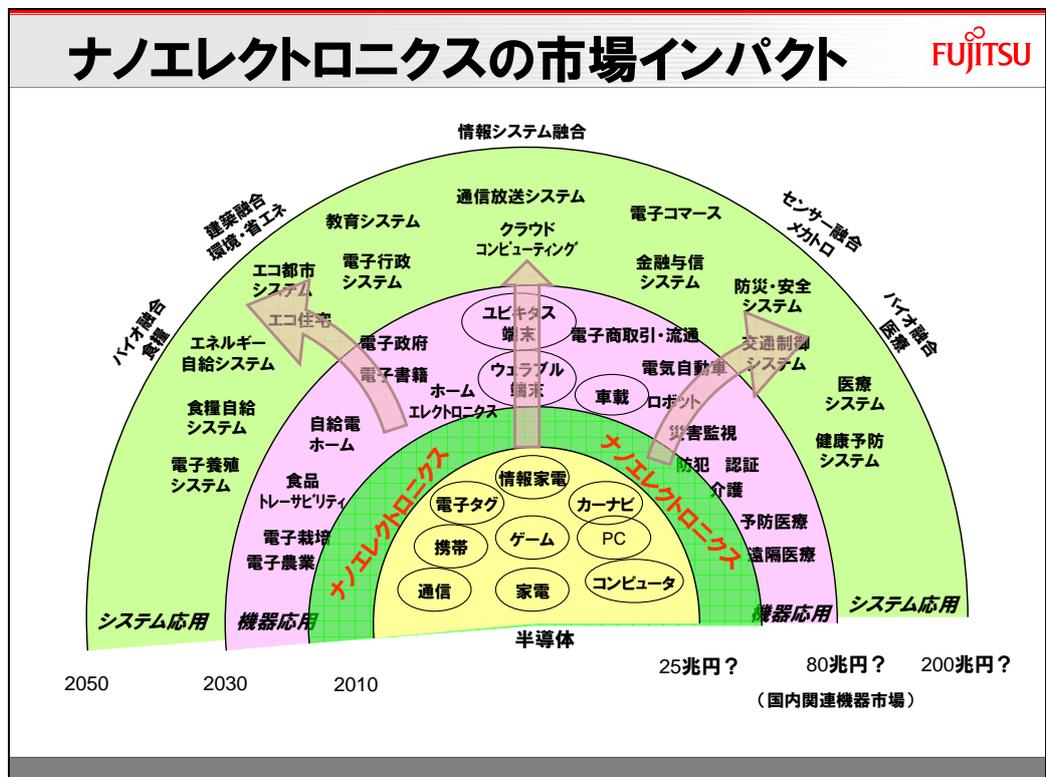


図 6.1-3 ナノエレクトロニクスの市場インパクト

ナノエレクトロニクスのための研究拠点は、海外でも設置が進んでいる。

1. 本ワークショップの趣旨
 2. 仮説と事前アンケートのまとめ
 3. 議論の進め方/CMOSの原理限界と課題
 4. セッションI
 5. セッションII
 6. セッションIII
 7. 全体討論
 8. 結び
- Appendix

米国では、Albany NanoTech が、IBM 主導の CMOS 微細化推進拠点、NSF と SIA 会員企業のコンソーシアムによる Beyond CMOS の研究拠点として設置されている。Albany NanoTech の予算規模は、年間 1,000 億円、Beyond CMOS のプロジェクトも併設し、More Moore からさらに先を見据えた研究までが IBM 配下で行われている。欧州では、IMEC (Inter-University Microelectronics Center) や MINATEC が活発に活動している。予算規模は年間数百億円、More Moore 路線を堅持し、最近では More than Moore の研究を推進している。これらの拠点には、日本企業も参加しており、日本独自のナノエレクトロニクス研究拠点の設置が望まれている。

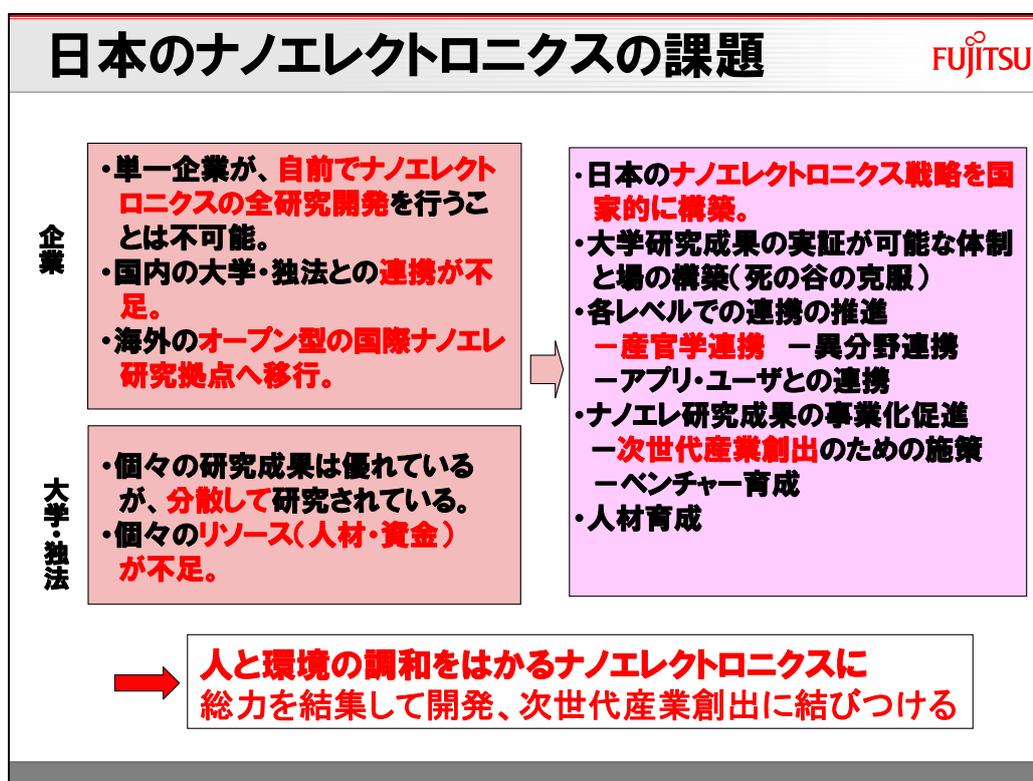


図 6.1-4 日本のナノエレクトロニクスの課題

日本のナノエレクトロニクス研究の実情は、単一企業が自前で全ての開発を行うことは不可能であるにもかかわらず、大学や独法などとの連携が不足しており、上述のように、Albany NanoTech などの海外オープン型研究拠点への流出が起きている状況にある。また、大学・独法は、優れた研究成果を上げているが、それぞれが分散して研究している状況にあり、人材や資金などのリソースが、海外に比べて不足している。また、最近では、当該分野の学生の不人気も認められる。そこで、ナノエレクトロニクス戦略を国家的に構築する必要がある。その際に、ポイントとなるのは、1. 大学等の研究成果の実証が可能な体制と場の構築、2. 各レベルでの連携（産官学、異分野、

アプリ・ユーザ)、3. 研究成果の事業化促進(次世代産業創出のための施策、ベンチャー育成)、4. 人材育成、である(図 6.1-4 参照)。このナノエレクトロニクス戦略により、人と環境の調和をはかるナノエレクトロニクスを実現するために、日本の総力を結集して、開発・次世代産業創出に結びつける。

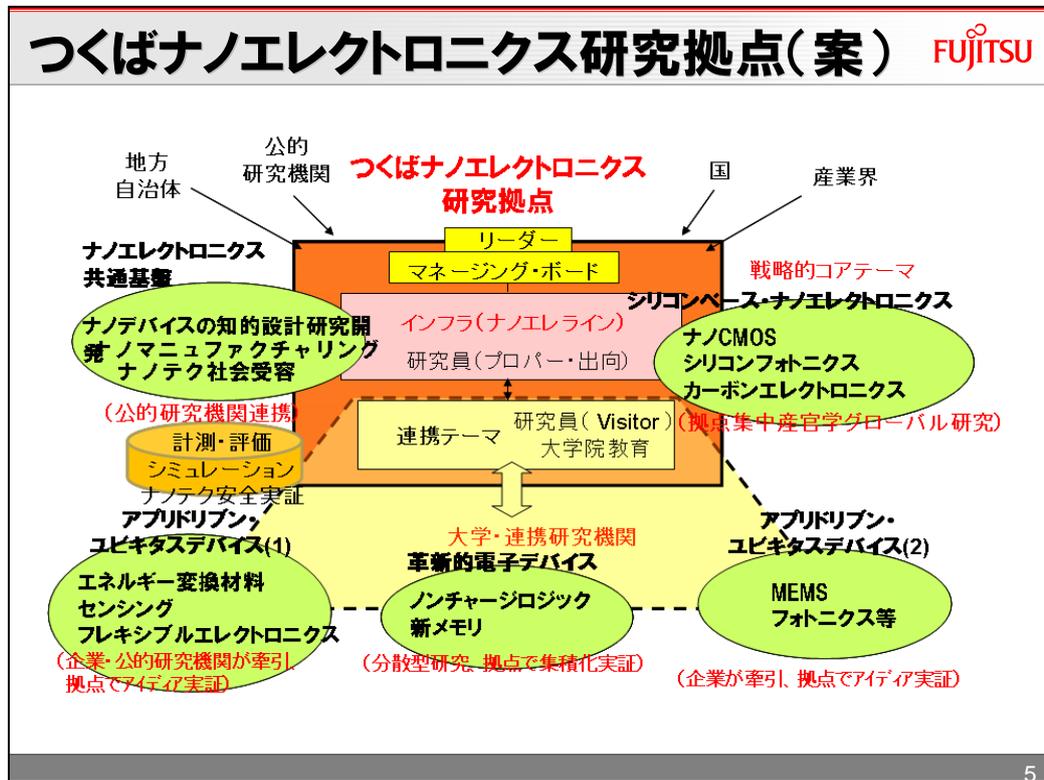


図 6.1-5 つくばナノエレクトロニクス研究拠点(案) 概念図

図 6.1-5 に、具体的なナノエレクトロニクス研究拠点設置の提案を示す。研究拠点では、分散している日本のナノエレクトロニクス研究成果を実証するための共通の場を設置し、特に、次世代産業創出への期待が高い、半導体技術にナノテク・材料技術や異分野技術を融合したシリコンベース・ナノエレクトロニクスに注力する。また、カーボンエレクトロニクスなど、日本が世界をリードする分野で、産官学の叡智を集結した拠点を構築し、海外の人材・ノウハウを呼び込み、日本の優位性を確保する。

研究拠点の候補地としては、「つくば」を想定している。つくばは、産総研(AIST)、物材機構(NIMS)などの公的機関、大学、企業はじめとした、ナノエレクトロニクス研究に必要な人材、施設が揃っており、また、産総研では CMOS の産官学プロジェクトの推進、エマージング・アプリの研究が展開されているなど、研究拠点として理想的な立地を有している。以上の観点から、産総研を中軸とした「つくばナノエレクトロニクス研究拠点」の設置を提案する。

1. 本ワークショップ
 2. 仮説と事前アンケートのまとめ
 3. 議論の進め方/CMOSの原理限界と課題
 4. セッション I
 5. セッション II
 6. セッション III
 7. 全体討論
 8. まとめ
- Appendix

つくばナノエレクトロニクス研究拠点において、特に強化すべき研究テーマとして、電子情報技術産業協会（JEITA）エレクトロニクス研究会からの提言を元に、以下の4項目を設定した。

- (1) シリコンベース・ナノエレクトロニクス(戦略的コア研究テーマ): CMOS技術に、日本の強い光技術やナノ材料技術を融合して付加価値を高める。ナノ CMOS、シリコンフォトンクス、カーボンエレクトロニクスがキーワード。
- (2) 革新的電子デバイス: 電荷以外の物理量で情報処理を行い、CMOSを凌駕する革新的電子デバイスを創出。ノンチャージロジック、新メモリがキーワード。
- (3) アプリドリブン・ユビキタスデバイス: 環境調和型ユビキタス社会の実現に向けたアプリケーション指向のナノ材料・デバイス創出技術。主に、企業が牽引するナノエレクトロニクス拠点でアイデア実証、デバイス試作を行う。エネルギー変換材料、センシング、フレキシブルエレクトロニクスがキーワード。
- (4) ナノエレクトロニクス共通基盤: ナノエレクトロニクスの研究開発を支える共通基盤技術。産総研と物材機構の連携を中心に研究。ナノデバイスの知的設計研究開発、ナノマニファクチャリングがキーワード。

以上のように、ナノエレクトロニクス研究拠点設置は、産独学のリソース集結をはかり、日本の新基幹産業創出を目指すものである(図 6.1-6 参照)。元々、日本の半導体研究は、超L研究組合がうまく機能して、大学・公的機関ではなく、半導体企業が牽引してきた。最近、エレクトロニクス研究の競争力が失われつつあるなかで、経済産業省のあすか/MIRAIプロジェクトが、しっかり後押しをしている。今後、エレクトロニクス研究は、さらにグローバル化することが予想される。つくばナノエレクトロニクス研究拠点は、競争力向上の即効薬ではなく、2020年から30年を見据えて、新しいエレクトロニクスの企業や産業を創るために使われることを想定している。

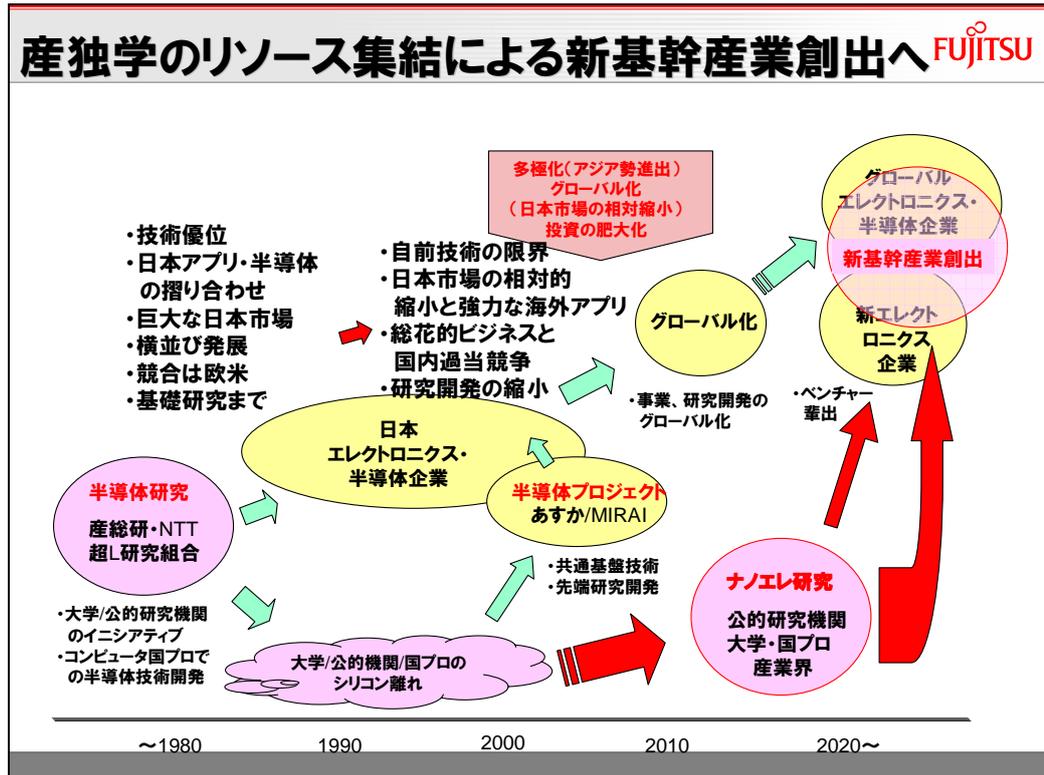


図 6.1-6 産独学のリソース集結による新基幹産業の創出

質疑：

Q: 提案いただいているエレクトロニクスの研究拠点の中身は、半導体研究の立ち上げを行った連携（超L研究組合(超エル・エス・アイ技術研究組合共同研究所)）と、産官学をまとめるという点で、組織の上、あるいは理念の上で違いはあるのか。また、新エレクトロニクス創出のための新しい工夫があるのか。

A: ナノエレクトロニクス研究は、産業界だけではとても太刀打ちできないような広い分野であり、公的な研究機関等、いわゆる産官学一緒にできるような仕組みが要るのではないかという提案である。海外の研究拠点は、微細化を核に研究を推進しているが、今回は、微細化は少しとめて、エレクトロニクスの多様化に対応するような組織を提案している。超L研究組合は、国産のコンピュータを実現しようというフラッグシップがあったが、それと若干違う提案であるかもしれない。

Q: 超L研究組合のときは、各企業から研究拠点にある期間移って、集団で絶えずインタラクティブな研究開発を行っていた。今回の提案で、大学の人をぜひ参画させたいが、大学の人の場合には、参画の形態が企業の場合と

1. 本ワークショップの趣旨
2. 仮説と事前アンケートのまとめ
3. 議論の進め方/CMSの原理限界と課題

4. セッションI

5. セッションII

6. セッションIII

7. 全体討論

8. まとめ

Appendix

は違う。この点に何かうまい工夫が必要だと思うが。

- A: そうだと思う。今回、産業界として提案しているのは、産総研を中心とした拠点。大学側では、その拠点をうまく使っていただければと考える。組織としては、新しい組合法等がこれから整備される。その中で、産業界と公的研究機関とがうまく融合した組織を作り、産業化まで行える、新しい仕組みへ発展していけばと思う。
- Q: 海外の研究拠点は、グローバル化に対応し、オープンにしている。その体制は、人材を研究拠点に吸引しているのがポイントである。日本はそれができていない。例えば、MINATEC や中国のバイオテックの新しい拠点は、インターナショナルスクールをつくって、外国の人が安心して来られるように、色々なインフラをそろえている。人材の吸引と国際化についてどのように考えているか。
- A: 海外から注目される研究テーマあるいは研究のインフラがないといけないと思っている。そのためにも、ナノエレインの充実が必要。例えば、日本には、カーボンナノチューブやグラフェンとか、世界に誇る製造装置が色々なところにあるので、それらをナノエレクトロニクス研究拠点に集中することが考えられる。日本がリードしている分野の研究テーマを置くことによって、海外の人を引き入れるようなものにしたい。ただし、全体を完全に海外にオープンにするわけではなく、テーマによって、オープンにするのか、あるいは閉じるのか、色々考えないといけない。例えば、アプリドリブン・ユビキタス分野、ある会社のアプリ提案に対して、色々海外から人が入ってくると問題になる。IMEC でもその点は考慮した運営をしている。

6.2 ITRS におけるナノエレクトロニクス：石内秀美（東芝）

ITRS（国際半導体技術ロードマップ）では、ERD(Emerging Research Devices)およびERM(Emerging Research Materials)という2つのワーキンググループ（WG）があり、特にこの2つのWGは、本日のWSに参加されている何人かの方々を含め多大なる御協力を頂いている。

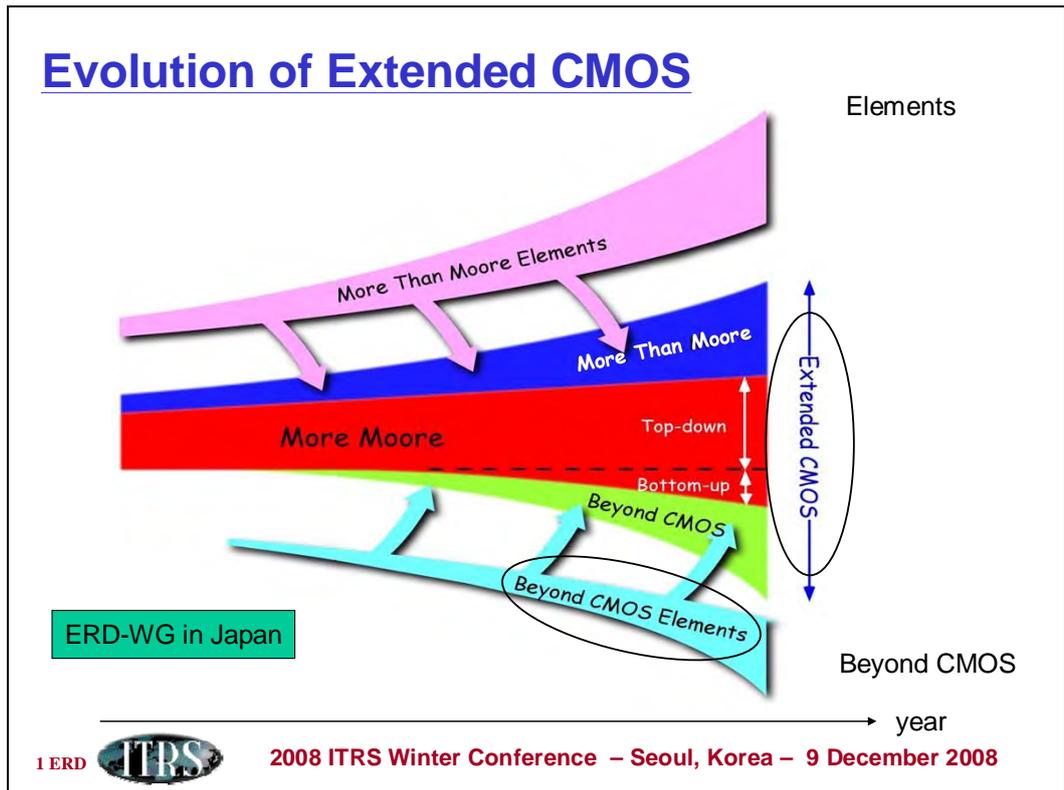


図 6.2-1 日本からの提案における Beyond CMOS の位置付け（2008 ITRS）

図 6.2-1 は日本からの Extended CMOS に関する提案である（東大・平本教授）。いわゆる Beyond CMOS については、ITRS の中でも毎年議論が揺れており、その時々状況に応じて、Beyond CMOS は何であるかが変化している。最初は、CMOS より少し先のものという話で進んでいたが、ある時から、『もっと先の CMOS とは全く違う、電荷を使わないデバイス』というように一回振れた。しかし最近では、それは余りに難しく実現性に乏しいので、少し揺り戻しがあって、CMOS に近づいてきている。日本側としては、平本先生が提案されているように、今の CMOS プラットフォームは非常に強力なので、このプラットフォームの上に、例えば新しい機能材料を搭載して、全体として新しい Beyond CMOS ができるのが現実的というコンセンサスになりつつある。今日の WS の話題では、大野先生の提案されている、CMOS

のプラットフォームの上に新しい技術、例えば MTJ を入れて、CMOS の限界を拡張する話があったが、その点では整合性があると考える。

昨年（2008 年）、新しいエマージング・リサーチ・デバイスとして有望な具体的候補が選ばれた。ERD の委員が選んだ 7 つの候補（図 6.2-2）に対して、これを推す人とフレンドリーに批判をする人が講演し、その後投票するというシステムで、優先順位を決めた。今日の WS では、スピントランスマーが MTJ に少し関係があるのと、コレクティブ・スピン・デバイスの 2 つがスピントロニクスに相当する。ERD のレポートでは、今後の CMOS を凌駕できる可能性がある、あるいは取って代わる可能性がある技術として、カーボンベースナノエレクトロニクスを推薦している。

Emerging Research Device Technology Candidates Evaluated

- Nano-electro Mechanical Switches
- Collective Spin Devices
- Spin Transfer Torque Devices
- Atomic Switch / Electrochemical Metallization Switch
- Carbon-based Nanoelectronics
- Single Electron Transistors
- CMOL / Field Programmable Nanowire Interconnect (FPNI)

2 ERD 2008 ITRS Winter Conference – Seoul, Korea – 9 December 2008

図 6.2-2 エマージング・リサーチ・デバイスの 7 つの候補（2008 ITRS）

ERD、ERM として、カーボンベースナノエレクトロニクスを推薦するという意味は、これについて詳しいロードマップを作るということで、今後議論が深まっていくことになる。

もう一つ大事なことは、実用化されるのが 5~10 年先という、比較的近くを想定していることである。ただし、これはいつものことで、ITRS の希望が表れているものであり、約束しているわけではもちろんない。今後、修正が必要になれば改定して、しだいに収束していくのが ITRS のプロセスである。

カーボンベースナノエレクトロニクスの候補材料としては、グラフェンとナノチューブがある。本日のWSでも取り上げられたグラフェンは、FETができ、グラフェンの幅を変えるとバンド構造を変調することができる。さらに、光デバイスへの応用や、スピンの寿命が長いという特長をうまく利用できるのではないかと期待されている。これらは、物理としても非常におもしろいので研究者を集めている。

カーボンナノチューブは、トランジスタの試作はできているが、カイラリティや太さの制御がネックになっており、現実に量産するにはまだまだ多くの仕事が残っている。

最後に、ERD、ERMは、確かにカーボン・ナノエレクトロニクスを推薦しているが、これだけに絞ると言っているわけではない。他の Beyond CMOS 候補についても、今後とも探索していく必要がある。カーボン系の材料を凌駕する新しいアイデアがあれば、これに注力をして探索を進めることがメッセージとして上がっているので、カーボンだけではなく、カーボン以外の研究も進めるべきということをコメントしておきたい。

質疑：

Q: 今のグラフェンあるいはCNTの進捗状況を考えると、とても5年で実用化になるとは思えないが、ITRSではその矛盾はどうなっているのか。

A: ITRSは、こういうふうであればいい、あってほしいという議論を出す場なので、カーボン・ナノエレクトロニクスが全部5~10年で実現できると思えない。ただし、10年と言っているのは、10年後ぐらいに、例えばカーボンベースのナノチューブかグラフェンでMOSトランジスタがきちんとできれば、CMOSとのコンビネーションで量産化される可能性があるということである。何かのブレークスルーをきっかけに、例えばCVDができると、一気に実現するという可能性は残っている。

C: カーボンの応用は、トランジスタだけではなくて、今後、色々なパッシブなエレメント、ヒートシンク材料など、使えそうなものがある。これらをナノエレクトロニクス研究拠点等で行っていけば、世界から注目される拠点になるのではないかと考えている。

1.	本ワークショップの趣旨
2.	仮説と事前アンケートのまとめ
3.	議論の進め方/CMOSの原理限界と課題
4.	セッションI
5.	セッションII
6.	セッションIII
7.	全体討論
8.	まとめ
	Appendix

7. 全体討論

7.1 セッションサマリー： 秋永広幸（産総研）

図 1.3-1 (p.5) に、WS 主催者からの 4 つの期待されるアウトプット項目が示されているが、これら 4 項目 (図 1.3-1 (1)~(4)) に対応する形で、今日の WS のプレゼンテーションのごく簡単なサマリーを試みたい。

まず最初のアウトプット項目の『微細化の限界を突破する技術の可能性はあるか否か』に関しては、事前アンケートでは「イエス」との回答が多かった。図 7.1-1 に CRDS によるアンケート回答のまとめを示す。

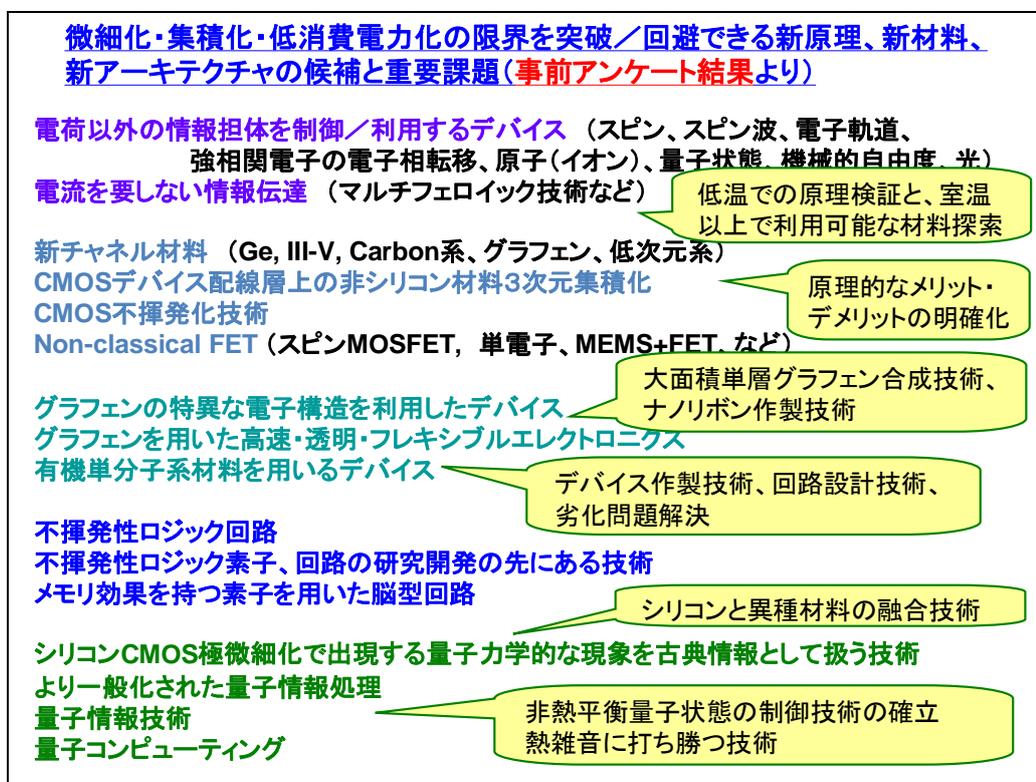


図 7.1-1 微細化・集積化・低消費電力化の限界を突破・回避できる新材料、新アーキテクチャの候補と重要課題、アンケート結果のまとめ

第2 のアウトプット項目『エレクトロニクスデバイスの課題を抽出する』については、事前アンケートの結果も踏まえながら、今日のワークショップの各プレゼンテーションによって作業を進めることができた。

まず、大野英男氏（東北大学）は、デバイス単体で高速でなくても集積回路として勝つという方向性を示した (図 7.1-2)。

**微細化・集積化・低消費電力化の限界を突破できる技術の可能性
不揮発性論理素子実現のための課題 大野英男(東北大)**

デバイス単体で高速でなくとも、集積回路として高速・高機能が実現されるものが淘汰を経て選択されてきた。この大きなトレンドに沿った研究開発が必要である。

演算回路用不揮発メモリの開発が必要 例: CMOS+MTJ(Magnetic Tunnel Junction)

喫緊の開発課題
 低エネルギー書き込み(現状: 20pJ/bit)を下げる。
 例: スピン注入磁化反転の低電流化を図るための物理、材料開発
 例: トランジスタの微細化、高性能化に合致したMTJの開発

書き込み動作と不揮発とのトレードオフについて
 1) きちんと書き込めないと不揮発にならないという技術
 2) 1分持てばよいので不揮発性ロジックに用いる技術
 のように技術の適用に関しては、多様性がある。

図 7.1-2 大野英男氏 (東北大学): 不揮発性論理素子実現のための課題

**微細化・集積化・低消費電力化の限界を突破できる技術の可能性
純スピン流、超スピン伝導を利用したデバイスの可能性 齊藤英治(慶應大)**

微細化で顕在化する電流の欠点

- 1) ジュール発熱 (CPUの冷却必要性 100W: 限界に近い)
- 2) 250nm以下程度のスケールでは、配線遅延が動作速度を律速
- 3) 量子情報を運べない

スピン流を使うと、

- 1) 情報伝送の超低損失化ルートがある。
- 2) 配線遅延を消せる
- 3) 固体中に量子情報を伝送できる
- 4) 磁化に書き込まれた情報に直接アクセス可

解決すべき問題点

- 1) スピン流の従う物理法則をよく知らない → 基礎物理の開拓が急務
- 2) スピン流の生成にはエネルギーが要る → 高生成効率な材料開発
- 3) スピン流は短距離で減衰してしまう → スピン緩和の小さな材料の開発/超スピン流の利用

スピン流を用いると、伝導電子がなくても情報伝達が可能となる。
 電子にギャップがあって、スピンのギャップがない材料(例: モット絶縁体)を選ぶ。

その他: スピン流を用いると、熱電効果の劇的向上も期待できる。

図 7.1-3 齊藤英治氏 (慶應大学): 純スピン流、超スピン伝導を利用したデバイスの可能性

1. 本ワークショップ
 2. 仮説と事前アンケート
 3. 議論の進め方/CMOSの原理限界と課題
 4. セッションI
 5. セッションII
 6. セッションIII
 7. 全体討論
 8. まとめ
 Appendix

次に、齊藤英治氏（慶応大学）のスピンの話では、伝導電子がなくても情報伝達が可能になることが示された（図 7.1-3）。これは、一つのキーになるのではと考える。

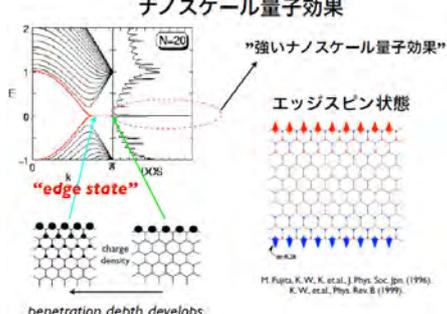
グラフェンに関して、若林克法氏（広島大学）は、理論的な研究の観点から、材料の特徴等を説明した（図 7.1-4）。特に、Dirac Fermion の系に対してどういうオフ状態をつくれればよいかが示された。その後、神田晶申氏（筑波大学）は、このグラフェン材料を、違った観点から説明した（図 7.1-5）。これは、大面積エレクトロニクス、フレキシブル電極への広がりがある点で重要と考える。

微細化・集積化・低消費電力化の限界を突破できる技術の可能性
計算科学に基づくナノカーボンの電子物性 若林克法(広島大)

- 1、分子スピントロニクス素子の実現に向け大きく前進
- 2、特異な電子構造や強いナノスケールエッジ効果を利用したデバイスの可能性を追求
- 3、ナノグラフェンの高い加工性と多様性を利用した
 電子スピンデバイスの創製／ナノチューブを凌ぐ将来性、高い実現性

Unique band structure
 Zero gap (intrinsic) & Dirac point
 Linear dispersion (1 layer graphene):
 massless Dirac (relativistic) fermions
 Chirality (sub-lattice degeneracy)
 Valley
Mobility >>10X Si (room T)
 FET
 electrical doping
anomalous QHE (even at room T)
Relativistic quantum physics (Dirac)
 Klein tunneling
 Spin-tronics, pseudospin (chirality)-tronics, valley-tronics?

ナノスケール量子効果



「強いナノスケール量子効果」
 エッジスピン状態

H. Fujita, K. Wakabayashi, K. Wakabayashi, J. Phys. Soc. Jpn. (1996)
 K. Wakabayashi, Phys. Rev. B (1999)

素子作製上の課題:
 Dirac fermion (ポテンシャルで閉じ込められない)系に対して、どのようにOFF状態を作り、制御するか？
 (参考1) kを指定して切り込みを入れたナノリボンが所望の特性を出す。幅を変えてバンドギャップを制御することも可能。(移動度ではなく)Velocityがどの程度になるかは検討要。
 (参考2) エッジの形状、ランダムネスの制御、電極の形成が課題。

図 7.1-4 若林克法氏（広島大学）：計算科学に基づくナノカーボンの電子物性

微細化・集積化・低消費電力化の限界を突破できる技術の可能性
グラフェンの伝導機構 神田晶申(筑波大)

バンド構造

- (単層) ゼロギャップ半導体、金属伝導
 E_F 付近で線形の分散関係
 → 質量ゼロのキャリア、一定速度で運動
 高移動度、新規相対論的量子効果
- (2層) 放物線が1点で接する。
- (3層以上) 半金属
 厚さが増すほどバンドの重なり大。
 物性は厚さに大きく依存する。← 注意が必要

利点

- ゲート電界による伝導制御
- 高移動度(室温で $15,000\text{cm}^2/\text{Vs}$ 、フォノン散乱による
 上限 $20\text{万}\text{cm}^2/\text{Vs}$) 高電流密度($10^8\text{ A}/\text{cm}^2$)
- もともと金属伝導、バンドギャップ可能
- 回路部品の多くをグラフェンから構成可能
- 大気中で安定、原料が豊富
- ★ 微細加工による物性制御
- ★ 化学修飾による新規物性発現 (★:ほとんど未着手)

問題点、課題

- 合成法 劈開法(スコッチテープ法)が主流だが、応用には不向き
 特性を維持しつつ、単層、2層グラフェンなどを作り分ける必要
- 微細加工 エッジの制御
- 新規物性予測
- 金属電極とのコンタクトの解明

スピ注入
 +
大面積エレクトロニクス
フレキシブル透明電極
実現の可能性あり

図 7.1-5 神田晶申氏 (筑波大学): グラフェンの伝導機構

新材料・新アーキテクチャによるエレクトロニクスデバイスの課題
分子設計に基づくナノ電子デバイス 田中一義(京大)

有機分子に期待できること

- 有機分子系であることから、ある程度自由な設計が可能
- サイズが $1\sim 10\text{ nm}$ であり、集積密度を $1\text{個}/(30\text{ nm})^2$ 程度に上げることができ、
 $1000\text{ 億個}/\text{cm}^2$ ($10^{13}\text{ 個}/\text{mm}^2$)程度が達成可能
 現行の無機半導体では $1\text{ 億個}/\text{cm}^2$ 程度
- 動作効率が高く、消費電力を抑えられること。熱損を極小に抑える分子設計ができる可能性がある。
- スピントロニクス部材として用いると、有機分子系ではスピンの「死ににくい」。

有機分子の問題点

- 有機分子系であることから、劣化の可能性(長時間動作の信頼性)
- ナノ系固有の問題として、デバイス全体のFabricationの困難さ
- ナノギャップ電極部材の選定と歩留まり向上の必要性
 (金、白金などの金属は、室温下では表面はほとんど「液化化現象」を起こしている。 Cf. Ertl)
- ミスマッチなく外部電極との超分子の接続を取ること。
- (産業上は)明日、明後日には儲からない。”2030年”志向

リジッドな分子架橋がポイントの一つ

単一分子FETのリアル構造

図 7.1-6 田中一義氏 (京都大学): 分子設計に基づくナノ電子デバイス

田中一義氏 (京都大学) は、有機分子を用いたナノ電子デバイスを紹介し

1. 本ワークショップ
 2. 仮説と事前アンケート
 3. 議論の進め方/CMOSの原理限界と課題
 4. セッションI
 5. セッションII
 6. セッションIII
 7. 全体討論
 8. 締め
 Appendix

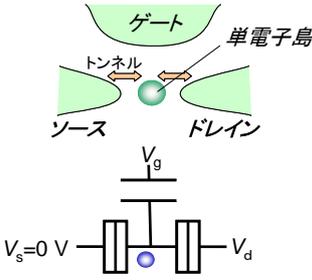
た(図 7.1-6)。この研究課題で、キーとなるのは、リジッドな分子架橋あるいは接続アンカーであることを示した。

藤原聡氏 (NTT) からは、今までの単電子デバイスに対する誤解を解くという非常に明確なメッセージが伝えられた(図 7.1-7)。

新材料・新アーキテクチャによるエレクトロニクスデバイスの課題
単電子デバイス 藤原聡(NTT)

方向性
 電子トランジスタ(SET)は極微小サイズの(周期的動作をする)特殊なFETの一つとみなすべき。使い方としては、CMOS/SET混載
 Low power and medium performance
 高機能性による素子数低減効果を活かす使い方(例えば算術回路)。
 トンネルコンダクタンス律速のため長配線駆動には向かない。

課題
 高温動作化(微細化)
 デバイス作製技術の制御性・再現性の向上(特性ばらつき低減化)
 キラーアプリ不明。回路研究との連携が必須。



単電子トランジスタ論理はFET回路であり良好に安定動作する。
 単電子ビット論理については、Fault-tolerantな回路設計あるいは確率的情報処理(物理乱数としての利用)の導入が有効。
 単電子トランジスタでCMOS的な回路は構成可能。
 Fan-outはトンネル抵抗の大きさに決まる。CMOS混載とし、単電子トランジスタは短配線部に用いるのが効果的(サブμS程度)。
 ナノワイヤFETなど微小なFETはすべて背景電荷に敏感。
 要はVth制御を可能とする材料・プロセス技術の開発が重要。また、界面電荷の影響は、クーロンブロックド振動周期分のVthシフトとなり、デバイス故障につながらない可能性あり。

図 7.1-7 藤原聡氏 (NTT) : 単電子デバイス

川崎雅司氏 (東北大学) からは、酸化物エレクトロニクスの観点から、新しい状態変数 (State Variable) としてどういうものがあるかという話があった(図 7.1-8)。この分野では、日本が圧倒的に強いが、余りのんびりできる状況ではないとのことであった。

長谷川剛氏 (NIMS) は、原子スイッチが、脳型コンピュータの実現、あるいはプログラムのロジックに利用できる可能性を示した(図 7.1-9)。伊藤公平氏 (慶応大学) からは、量子コンピュータについての課題が整理されて提示された(図 7.1-10)。

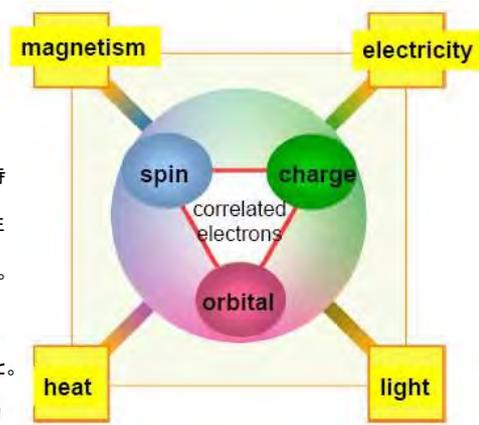
新材料・新アーキテクチャによるエレクトロニクスデバイスの課題
酸化物エレクトロニクス 川崎雅司(東北大)

- 1) Electrical control minimize dissipation: polarization current or spin current
- 2) Thermal (energy) management: energetics of dynamic phase change?
- 3) Dynamics: ultrafast phase-generation (<1ps) on a nanometric scale two-phase domain wall dynamics?
- 4) Noise/Endurance: phase stability, decoupled from lattice dynamics
- 5) Manufacturing Cost?

新しい状態変数の開発を目指す。
 例: スピン
 例: オービタル
 例: トロイダルモーメント

利点:
 ・極小デバイスにしても、物理現象が機能することが期待できる。
 ・界面の組み合わせにより新しい現象が発現する可能性がある。
 ・変位電流、スピン流を情報伝達に使える可能性がある。
 ・極めて速い動作を期待することができる。
 ・電子が多いので、欠陥の存在などに鈍感。

課題:
 ・格子系とのカップリングを制御して、熱散逸を減らすこと。
 ・“電子的”に強相関電子効果を制御すること。
 ・“室温で”という条件をクリアするための継続的な材料的探索が必要。



この分野は“今のところ”日本が圧倒的に強い。

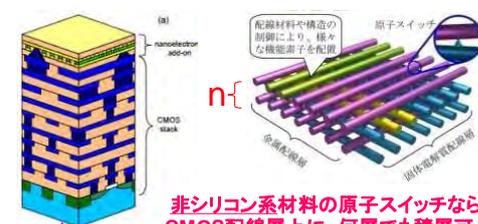
図 7.1-8 川崎雅司氏 (東北大学): 酸化物エレクトロニクス

新材料・新アーキテクチャによるエレクトロニクスデバイスの課題
原子スイッチ 長谷川剛(NIMS)

- 1、新しいアーキテクチャーへの応用が可能
 例: クロスバー型演算回路 (Hybrid CMOS/Nanoelectronic Circuits)
 不揮発ロジック回路 (Memristor, Atom Transistor)
 脳型コンピューター (学習機能、センサー機能)
 全光ロジック回路の入出力端子
- 2、課題: 素子単体の機能開発
 集積化技術、
 回路制御技術 (アーキテクチャー) の開発

Though individual neurons are slow, the system as a whole is very fast.

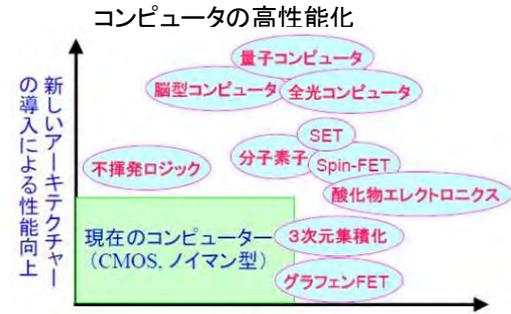
例え、全ての面でCMOSの特性を上回らなくとも、既存のコンピュータを凌駕するシステムを開発することは可能。



非シリコン系材料の原子スイッチなら
CMOS配線層上に、何層でも積層可。

課題: 集積化技術開発
 機能性素子開発
 制御方式の開発

コンピュータの高性能化



新しいアーキテクチャーの導入による性能向上

素子の高性能化による性能向上
(速度、微細化、集積度、消費電力。)

図 7.1-9 長谷川剛氏 (NIMS): 原子スイッチ

1. 本ワークショップ
 2. 仮説と事前アンケート
 3. 議論の進め方/CMOSの原理限界と課題
 4. セッションI
 5. セッションII
 6. セッションIII
 7. 全体討論
 8. さいごめ
 Appendix

**新材料・新アーキテクチャによるエレクトロニクスデバイスの課題
量子コンピューティング素子／システム 伊藤公平(慶應大)**

なぜ、量子コンピュータ？

- ・現在のコンピューターの不可能を可能にする計算機の開発
量子シミュレーション(突き詰めればすべてが量子系)
素因数分解
- ・基礎物理学発展への寄与
量子力学に関する基礎的実験
- ・新学問体系の構築
物理・計算機科学・材料・化学・電気工学の融合
- ・最先端科学技術の限界突破
特にナノテクノロジー、最先端計測技術



国家に数台あれば良い?!

課題:

- ・量子情報は脆い→アルゴリズム実行完了までに壊れる
- ・Error correction (誤り訂正)→完全に壊れる前に 10^6 回計算できればよい
- ・遅くても速い量子コンピュータ？
→超並列だから大丈夫というのは間違い／ショアの素因数分解には最低でも10kHzは必要
- ・結局は異なる量子を結合する技術が必要→プロセッサ、メモリー等の結合
- ・クロックスピードの高い量子ビット(プロセッサ)の情報はすぐに失われる
- ・クロックスピードの低い量子ビット(メモリー)は読み出し等が困難
- ・結局は異なる量子を結合する技術が必要
→プロセッサとメモリーの光や電子やフォノン等を用いた結合

結論: 量子情報は量子情報の道を進むであろうがそこで開発される技術がBeyond CMOSに使えるのでは？

図 7.1-10 伊藤公平氏(慶應大学): 量子コンピューティング素子／システム

第3のアウトプット項目『新しい技術の芽があるか』については、以上で挙げたテーマ以外のものをいくつか例示する。

一つ目は、田中氏(京都大学)の分子新型デバイスである(図 7.1-11)。これは、今までの研究開発の道筋の中でも提案されてきたことであるが、最近、米国のヘリオス・プロジェクトで人工光合成の研究が非常に盛んになっている状況や、川崎氏(東北大学)が紹介した脳の話もあり、再考する必要があるのではないか。

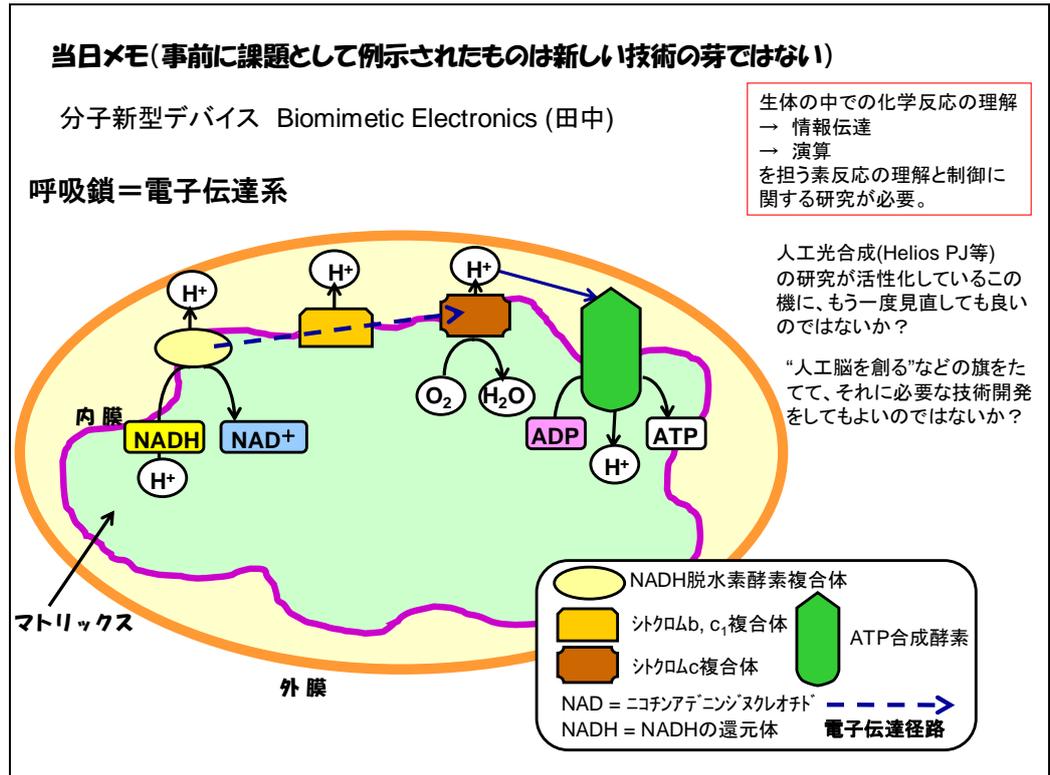


図 7.1-11 田中一義氏（京都大学）の分子新型デバイス概念

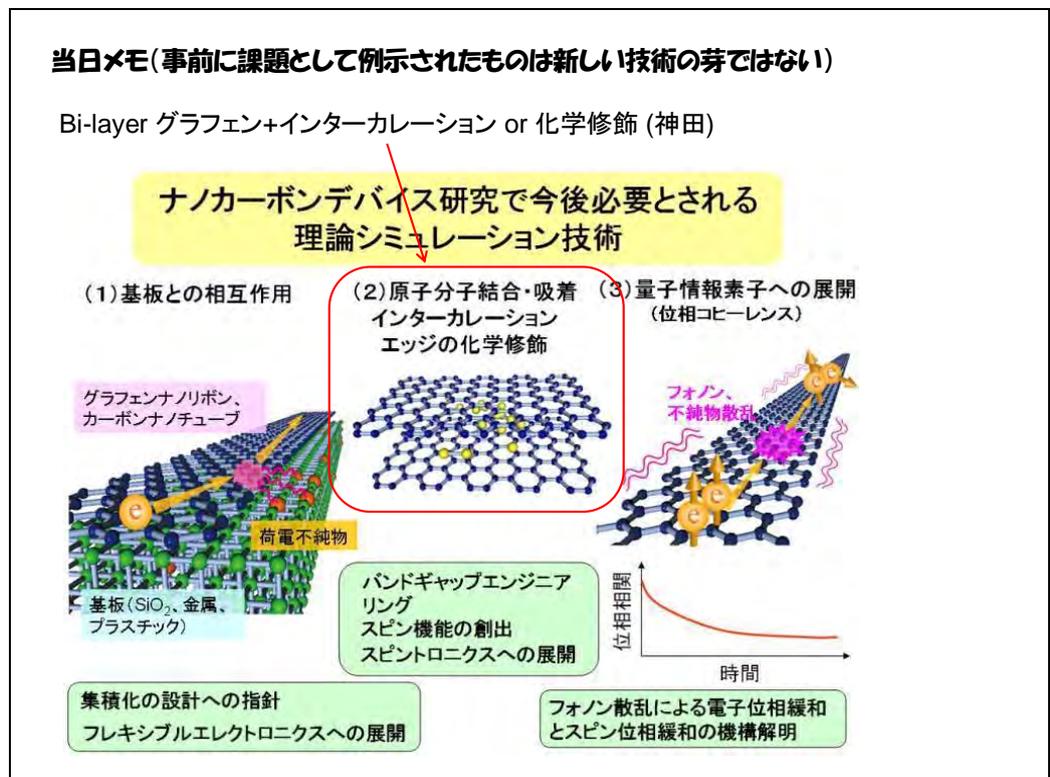


図 7.1-12 新しい技術の芽、ナノカーボンデバイス

次に、グラフェンにインターカレーションや化学修飾を行う、ナノカーボ

ンデバイスの研究がある（図 7.1-12）。この研究はまだあまり進んでいないという認識なので、本日の WS で示された新しい芽ではないかと考える。

さらに、藤原氏（NTT）や複数の参加者のプレゼンテーションスライドからも示唆を得、「究極の姿として原子をきちんと使う」という概念（仮に「アトム・デバイス・コンセプト」と命名した）があるのではないかと思い、図 7.1-13 をまとめてみた。

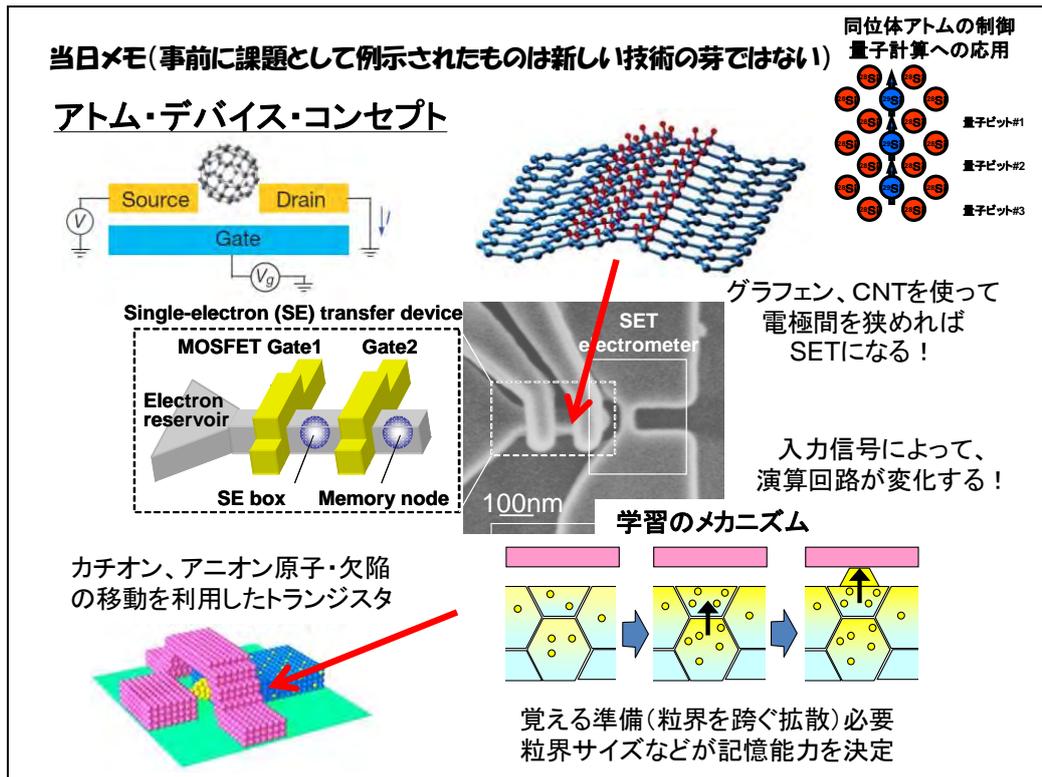


図 7.1-13 新しい技術の芽、アトム・デバイス・コンセプト

金山コーディネータから提示された「CMOS 微細化・集積化・低消費電力化の限界を超えるには」に対しては、議論のため、5つのチャレンジをつくってみた（図 7.1-14）。チャレンジの内容は、(1) 漏れ電流を抑えつつ駆動電流を向上する、(2) オン/オフ比を向上する、(3) 素子の特性ばらつきを抑える、(4) 回路段数を低減する、(5) 情報伝送における遅延減少・低消費電力化、である。これら5つのチャレンジに対する具体的な戦略・アクションとして、今日のワークショップのプレゼンテーションや質疑討論等を整理し、さらに関連する材料や現象を例示してみた。

CMOS消費電力限界を超えるための5つのチャレンジ

(具体的アクションを検討しやすいように設定。例示付)

- 1) (スイッチ素子としての)もれ電流を抑え、なおかつ、駆動電流を向上する。
 具体的アクション: 最適の材料・構造を選択 (極低消費電力・高性能化)
- 2) (電界効果トランジスタの動作原理に起因する)On/Offの急峻さを向上する。
 具体的アクション: 新しい物理現象を利用する。
 例: 強相関電子効果、分子物性、単電子効果、電子増倍効果、トンネル効果
- 3) 素子の特性バラツキを抑える。
 具体的アクション: 最適材料・構造の選択/原子レベルでの制御・無欠陥化
- 4) 構成素子数や論理段数を低減する。
 具体的アクション: (CMOSの基本回路はインバータであるが)より機能性の高い回路で構成する。
 例: 不揮発性ロジック(ロジック+メモリ)、プログラマブル・ロジック(原子スイッチ/欠陥制御素子)、アナログ(脳型)ロジック
- 5) 情報伝送(素子単体、配線を含む)における遅延減少、超低損失化を行う。
 具体的アクション: 回路容量制御、熱伝導制御のための新材料導入。
 例: スピン流、揺らぎ利用、エンタングル光子対、電子波の位相

1)～5)について、時間軸を入れるべき。←産業界からの具体的なターゲット提示があると良い。
 1)～5)を実現するためのプロセス技術開発もチャレンジである。
 2030年の先を見据えるならば、Extended CMOS, MtMIについてのチャレンジもあるべき。

(参考) 応用物理学会アカデミックRM

図 7.1-14 CMOS 消費電力限界を超えるための 5 つのチャレンジ

最後のアウトプット項目『世界に勝つための戦略を提案する』に関しては、アンケートに加えて、横山直樹氏（富士通研）からつくばナノエレクトロニクス拠点についての話があった（図 7.1-15）。「国際的な」人材育成の拠点になるといった切り口もあると思う。

文部科学省のナノテクノロジーネットワーク事業のお世話をしている経験から、オープン・イノベーション・プラットフォームとして拠点をみた場合、図 7.1-16 に示すように、(1) 最先端の研究機器、(2) 高いスキルを持ったエンジニア、(3) 研究開発・経営ノウハウ、の 3 つの柱が必要と考える。現在のナノテネット事業では、各機関の自主努力プラス委託費として維持費と人件費をいただいている状況なので、この 3 つの柱をきちんと推進している形にはなっていない。こういった経験から、つくばナノエレクトロニクス拠点では、戦略的に、マインドを持ったトップを選んで、省庁の壁を越えて予算を投入し、継続的に運営していくことが必要と考える。

- 1. 本ワークショップ
- 2. 仮説と事前アンケート
- 3. 議論の進め方/CMOSの原理限界と課題
- 4. セッション I
- 5. セッション II
- 6. セッション III
- 7. 全体討論
- 8. 締め
- Appendix

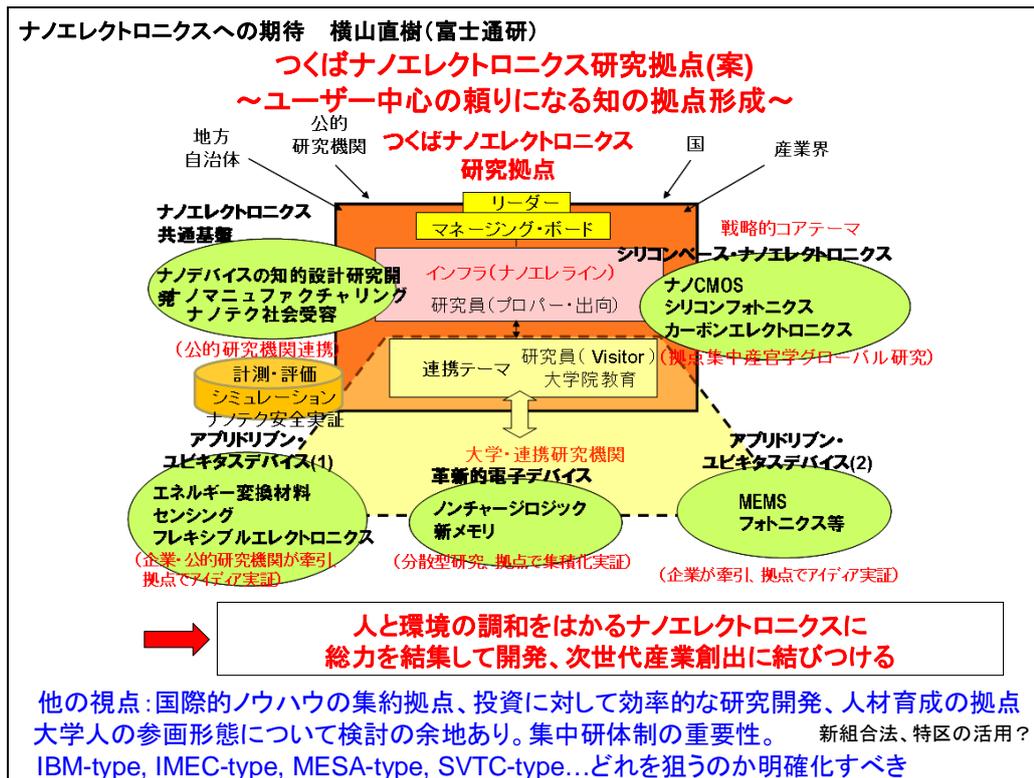


図 7.1-15 つくばナノエレクトロニクス研究拠点構想

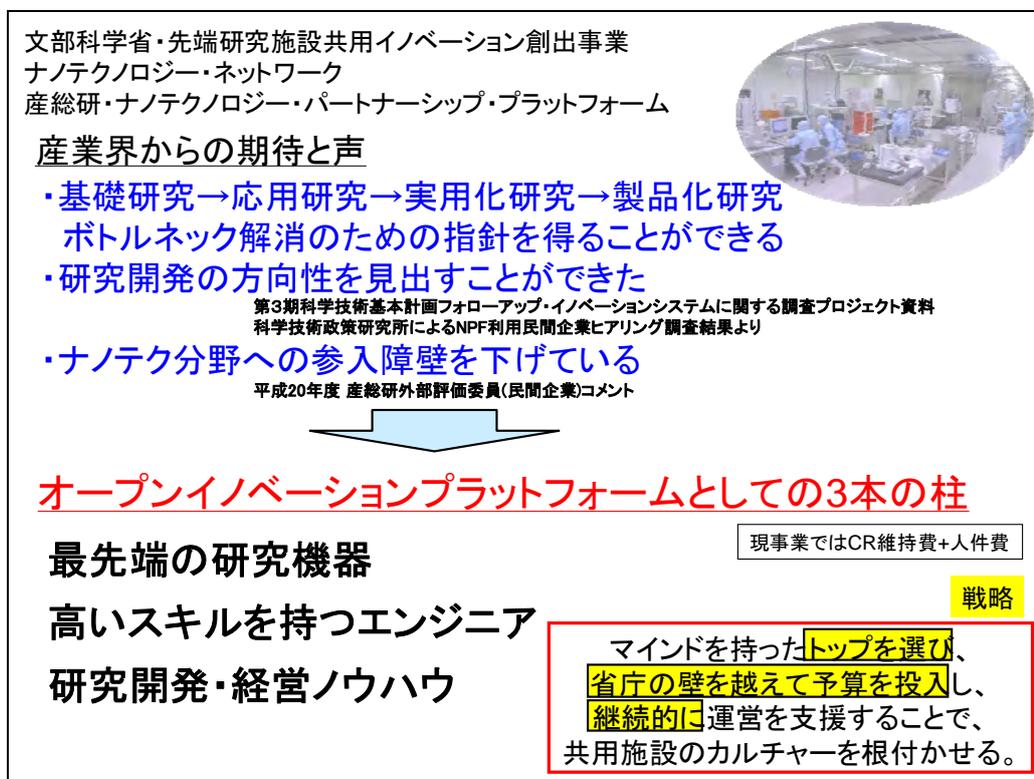


図 7.1-16 オープンイノベーションプラットフォームとしての3本の柱

さらに、ナノエレクトロニクス研究の研究推進体制、人材育成の課題につ

いては、事前アンケートの結果があるので整理した（図 7.1-17）。本日の議論で「他人任せにしない戦略策定が必要」とのコメントがあったので、加筆した。さらに、幅広い分野の研究者からの貢献や意見交換の推進、基礎研究から応用技術開発までの垂直統合、迅速な原理実証も必要になる。これらが実現できれば、CMOSテクノロジーと「サキモノ・テクノロジー」を結び場として、この共有施設を戦略的に使うことができると考える。そのような施設には自然とノウハウが集まってきて、例えば今日のワークショップで話のあった「グラフェン研究にファン・デル・ワールス・エピタキシーを使う」といったアイデアの提供等、『温故知新の場』としても有効に使えるのではないか。

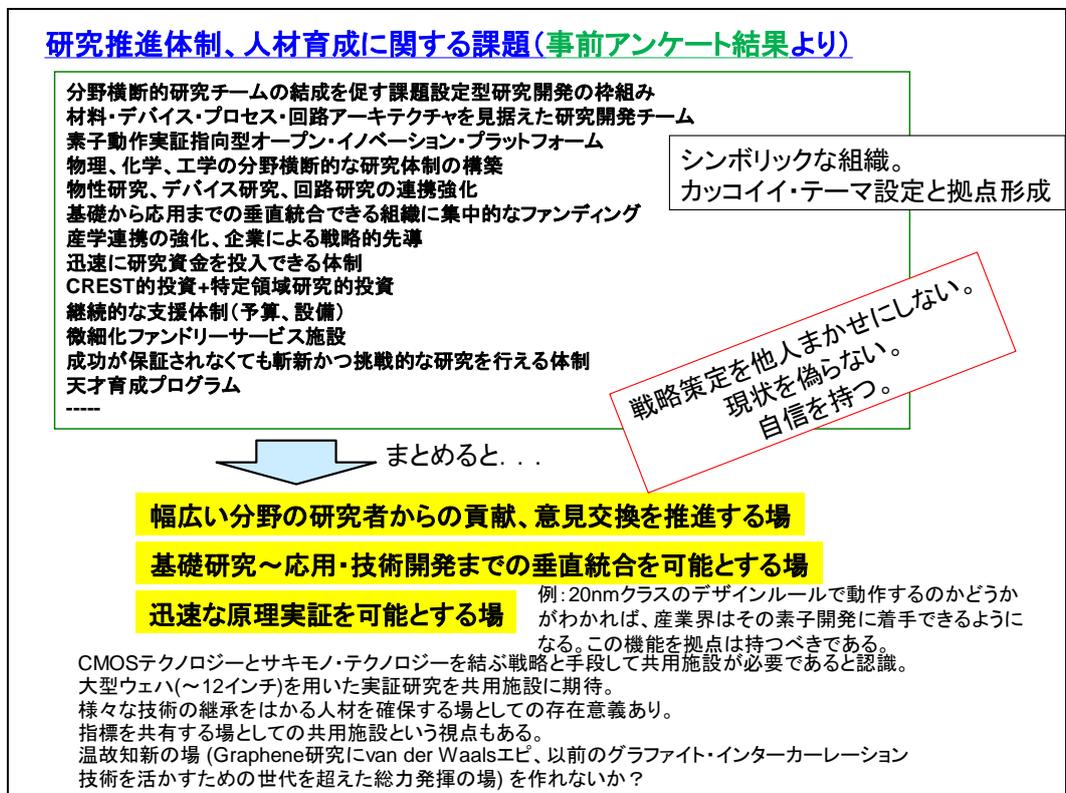


図 7.1-17 ナノエレクトロニクス研究における研究推進体制、人材育成の課題

1. 本ワークショップの趣旨
 2. 仮説と事前アンケートのまとめ
 3. 議論の進め方/CMOSの原理限界と課題
 4. セッションI
 5. セッションII
 6. セッションIII
 7. 全体討論
 8. 締め
 Appendix

7.2 全体討論

座長（以下では **Z** と表記*）： この総合討論で議論し、できれば方向性を見出したい内容は大きく 2 つある。

- (1) 研究の方向性：今、ナノエレクトロニクスと言われている分野（特に、論理演算の分野）で、今後、どういう戦略を構築すべきか。場合によってはファンディングまで含めて、どうするか。
- (2) (1)を実現するために必要な仕掛け。日本では個々の技術は非常に強いが全体としての強みになっていない、それらを束ねる何らかの仕掛けが必要というのが、事前アンケートの一致した回答だった。

最初は、「7.1 セッションサマリー」の「CMOS 消費電力限界を超えるための 5 つのチャレンジ(図 7.1-14)」に関して、今後、現状技術に近いところから遠いところも含めて注力すべき戦略性のある話題について意見を頂きたい。今日のワークショップは、ITRS とは少し違って、現状の CMOS に近いところから、CMOS の技術を拡張するところ、さらには少し飛んだ話までシームレスにカバーするというトレンドになっているが、まず、技術を最終的に受け取る産業界の方にかがいたい。

A: 「CMOS の限界を超えるための」というタイトルになっているが、CMOS の限界を何ととらえるかということが最初の問題。今日最初の話では、消費電力の問題だった。一方、国に数台あれば十分という話のあった量子コンピュータのように、CMOS ではできないような演算を、国家予算を入れてでもやる強い要求があれば、先の発展性がある。単に今のトレンドのままだと、電力が増えてしまうからそれを抑えたい、ということしかモチベーションがないとすると、「CMOS 限界を超えるための 5 つのチャレンジ」に書いてあるような話であって、それは今日の『2030 年以降の話』にはなかなか繋がっていきにくい。

Z: CMOS の使い方を色々広げるということを見ると、現状レベルの維持ではなく、基本的に消費電力を下げるといふ努力が必要。これによりアドオンする対象もふえるという意味で、落とせない技術ではないか。

B: 色々な工夫をして CMOS の微細化の限界をなるべく先に延ばす系統の技術と、CMOS のフレームワークを乗り越えて、電荷も使わない、何か違う形でのスイッチングをするというものを志向する技術とは、時間的なフレームや研究対象が随分違う。「CMOS 限界を超えるための 5 つのチャレンジ」の中を、CMOS とその派生技術に注力するという技術と、その先の CMOS と違う

* 座長以外の発言者 **A**, **B**, **C** は発言順

原理に基づいてスイッチをつくったり論理素子をつくったりするという技術の大きく2つに分けて、これらの各々にどういう候補があり得るか、何年ごろを目指すのかという整理をすると、より明快になる。

Z: 今日のお話では、何年頃という時間軸的なことを明確には触れていただかなかったのだが、恐らく相当先を見たチャレンジングなこともやるべきだし、期待する効果が比較的明確なこともやるべきだ。両方をいかにバランスよくうまくやるかということだと思うが、今日のセッションIでお話された方の感想をうかがいたい。例えば、スピン流というのは本当に効率よく実現できれば今すぐにでも使えるのかもしれないが、技術としてどのくらいの距離感を想定しているのか？

C: 色々な物理現象があるが、その中で学術的に興味深く、かつ役立つものというのは比較的少ない感じがする。その中では、スピン流はかなりいい候補だとは思うが、基礎原理がまだわかっていないところなので、何とも言えないという面が大きい。基礎原理がもう少しわかったところで、そこであと何年後という議論になると思う。それにはもう数年かかるのではないか。

Z: ITRSによると、グラフェンデバイスは5年後に実用化といわれているが？

D: 実用化時期の判断は難しい。主に基礎科学の研究者がグラフェンの研究をやっているので、デバイスとしてどういう形になるのかというイメージがわからない。グラフェンを使うとこんなものができるか？と質問してもらって、基礎科学をやっている研究者がそれに答えることによってイメージをはっきりさせるのが大切。それによって、時間軸はだんだんと明らかになっていき、できないこともわかってくる。

Z: 産業界でカーボンをやられている方と基礎科学の研究者とのインタラクションはどうなっているのか？

E: グラフェンでトランジスタができるまではとても待てない。グラフェンには、他にも身近な使い方があると思う。まず材料技術を立ち上げて、それを使うことで、材料技術を上げる。例えば、カーボンナノチューブは、まずは金属の性質で応用を考えて、そのうちに半導体と分離ができるようになった。グラフェンもそういったステップを踏んでいけばよいと考える。グラフェンで、トランジスタも含めて将来を考えるには、企業の人と基礎科学の研究者が、ターゲットを一緒に考えていくことが重要である。

F: 5年での実用化は難しい。今のところ、実験室でできているデバイスというのは、別にグラフェンを使わなくてもいいデバイスであり、それはプロセス技術がそこまでいっていないからである。「ナノカーボンエレクトロニクス」と言うのであれば、本来の意味でのグラフェンの電子特性を生かしたデバイスであるべき。そのためにはやはりプロセス技術を開発し、特殊用途でよいが、グラフェンでなければならぬデバイスを作る必要がある。それが

1.	本ワークショップ
2.	仮説と事前アンケートのまとめ
3.	議論の進め方/CMOSの原理限界と課題
4.	セッションI
5.	セッションII
6.	セッションIII
7.	全体討論
8.	まとめ
	Appendix

できればフィードバックがかかる。例えば、グラフェンの移動度を活かして、高周波デバイスで、グラフェンでしかできないものができれば、それを元に、次のデバイスを探索しようということになる。

Z: グラフェンの最初の応用を出すに足るような技術テーマが出て、それを実現することで突破口が一つ開けると、連鎖的に色々なことが発展できると考えるのか？

F: できると思うし、それができれば非常に希望が持てる。そういうことをできる能力を持つ研究施設、拠点があるとよい。

A: CMOS の限界が消費電力かどうかという話をしたが、グラフェンはある意味で逆方向に行っていて、バンドギャップを開きにくく、オフ電流は抑えにくい。消費電力が上がっても使いたいという用途がないと進展しないと考える。ITRS の委員会でグラフェンが選ばれたときには、消費電力の問題は考えなくてもよい用途があるということだったのか？

G: そうだと思う。具体的な用途は議論されていなかったが、失敗したとしても次に修正すればいいという感覚が非常に強く、時代に合ったことをやろうということである。発表者は物理学者だった。

C: グラフェンの特長はいくつかあると思うが、移動度の問題はそれほど改善しないという見込みでよいのか。ITRS にしても、製造業の方にしても、グラフェンのどこがいいと思っているのか。

B: 色々な意見がある。LSI をやっている人にとって一番大きいのは、今までの CMOS と同じ回路が使えるとことにある。つまり、今までシリコンチャンネルで MOS トランジスタをつくっていて、N チャンネルと P チャンネルがつくれる。グラフェンもカーボンの単一層なので、少なくとも MOS トランジスタはつくれる。P 型と N 型両方できるかどうかは不明だが、ドーピングやエッジ修飾でできる可能性があり、回路図的には CMOS と同じものがかけて今までの資産が使える。そういう意味での期待がある。一方、スピン波を使うデバイスだと、そもそもどうやって論理回路を組めばいいかというところがまだわからないので、5 年や 10 年では無理ではないか。もし CVD ができて、全面に同じ方向でカーボンのグラフェン膜ができれば、CMOS に近いプロセスで色々なことができる可能性がある。カーボンにしかできないことができるというよりは、シリコン CMOS の延命の一つの方法としてカーボンが拳がっているのが現状である。

Z: 要するに移動度が高いので、5 年後ぐらいに実用化したいというメッセージだということか？

E: グラフェンは、油絵のキャンバスのようなもので、これからまだまだ色々なことができる、可能性を秘めた魅力的な材料だと言える。

Z: 次に、単一分子に近いような形で、素子や、ごく簡単な回路レベルをつ

くろうという分子デバイスの距離感は何？

H: プロトタイプとして FET を動作させるようにできるのは多分 5 年ぐらい。あと、劣化の問題に対して分子集積による補償作用をどのようにするかという問題を解決するために、順調に行ってトータル 10 年ぐらい必要。開発においては、リジッドな接続とアンカーの問題、分子と外界との結びつきというのをどうやって押さえていくかというのが一番重要なポイントである。

Z: そのために、幅広い分野の人の能力を糾合する必要があるということだったか？

H: 分子デバイスでは、色々なパーツがある。人的リソースとして有機合成ができる人、それを組み合わせるコンポーザーに相当する人、外界との接続をちゃんと構成できる人、それに、理論支援の 4 つぐらいは絶対に必要。日本には良いリソースがあるのだが、連携を組めないがために随分損をしているところがある。研究を統合して、うまくベクトルの矢を束ねる必要がある。

カーボンナノチューブについてだが、CVD で作るときの金属触媒の形状を制御することが、最終的にカイラリティ制御について非常に重要であるということがわかってきた。例えば、5 回対称性を持つ準結晶という金属結晶を触媒として用いると、カイラリティが制御できるということがある程度わかってきている。触媒粒子の形状や結晶構造によってナノチューブを制御するというのが一つの方向ではないかと思う。

Z: 次に、酸化物エレクトロニクスに関しては、どのくらいの距離感で、またそこにつなげるのに必要な戦略は？

J: 3 つある。一つは、抵抗を変えることでスイッチングができる。今、2 端子の ReRAM は、フラッシュに対する対抗性をきちんと明示できれば、近い時期に集積回路ができるのではないか。論理回路への展開を模索する時期にもきている。2 つ目は、ITRS 最新版ではハイライトされていないが、酸化物エレクトロニクスの物理にはもっと波及効果が大きい何か、例えばエネルギー変換など、があると考えている。3 つ目は、状態変数を制御する駆動力として何か、共役でない未知の駆動力というのがあり得ること。駆動力がわかっていないものを何年後と言うことは不可能であるが、駆動力と状態変数のリンクを研究するという新しい基礎研究の大きな方向性、研究に対する新しい視点が ITRS に反映された。

G: ITRS の議論でも、基本的に物理を提供するのは大学の研究者で、その人たちに対する「何年後にできるか」とかいう質問はあり得ない。そのかわり、問題を抽出した産業の方々が、問題点や解決方法を、一人一人に聞いて回することで、解決できる可能性がある。その手法が、Beyond CMOS の正しい方向性ではないか。問題は、Beyond CMOS だけに限らない。例えば湾岸戦争のときに、スピントロニクスで生物兵器を兵士が検知するデバイスをつくってく

- 1. 本ワークショップの趣旨
- 2. 仮説と事前アンケートのまとめ
- 3. 議論の進め方 / CMOS の原理限界と課題
- 4. セッション I
- 5. セッション II
- 6. セッション III
- 7. 全体討論
- 8. まとめ
- Appendix

れと依頼がきたことがある。問題を提示して、大学の教員に投げかけていくことが、戦略的基礎研究だと考える。

Z: さて、今までの議論で、ある単独の技術だけではなかなか実証に至らないので、幅広い技術を使う必要があること、それに見合った装置、ファシリティーを必要とするために、共通的な拠点が重要だということが挙げられた。総論としては皆賛成だが、具体的な拠点の運用方法は必ずしも共通認識が得られていないので、残りの時間で議論したい。

特に、大学の先生は、実際に共通的な拠点や制度ができたときに、そこにどういう形でどれだけかかわることができるのか、あるいはそうすることが本当に大学の先生にとって有益なのか？

K: 今日のワークショップのテーマは CMOS だったが、CMOS というとはやはり集積システムとしてある機能を果たしてくれるものである。CMOS を置きかえようとしたものは、CMOS が機能している以上のものを提供しなければならない。Beyond CMOS を実地に試して民間に提供するには、特に昨今の経済事情あるいは環境の中では、かなりのところまでやらなければならない。もっと状況は良かったときでさえ、民間への提供は難しかった。ベンチャーも少ない我が国では、実際役に立つのかどうかということまで試せるようなある種のファウンドリーで、集積化して初めて役に立つようなものを実際に試すことができればよいと考える。

一方で、Beyond CMOS がすぐに回路を試せるかわからないので、Extended CMOS から始めて実績を積み、徐々に Beyond CMOS の集積化を図るようなことが、その種の拠点の役割だと考える。そういう意味では、Beyond CMOS に関して共通にある種の認識（指標）を持って、Beyond CMOS の候補を探索するのがよく、高いハードル、チャレンジすべき高い山のような指標が必要である。何でもかんでも Beyond CMOS として、やってみるというわけにはいかないと考える。Beyond CMOS と現在の CMOS にはギャップがあり、それをどうやって工夫して埋めていくかというのも知恵の出どころ。

ナノエレクトロニクスというのはナノテク・材料の方で議論されていて、一方、ナノエレクトロニクスは IT の議論に乗るものであるので、本来は一体でやるべき。例えば回路を用いて新しい情報処理、例えば不良設定問題、ill-posed problem などに取り組むのも、ある種デバイス・ディペンデントな面もあるかもしれない。広い立場で研究チームができて、チャレンジできれば、ナノエレクトロニクスから新しい情報処理の方向が出てくるのではないかと強く期待している。

Z: 大学でかなりのレベルの素子ができるファシリティーをもっている立場に立って、なおかつ、使いやすい拠点の機能、組織はどのようなものか？

K: 小さなレベルでは、歩留まりを工夫しながら基本的な動作までは持ち込めるが、それ以上の回路になると、どうしてもそういうファシリティーを使うフェーズになる。この最初の基本動作確認フェーズは、集中的な共通ファシリティーができた場合でも、絶対必要なものである。ある集積レベルまでのものは大学が面倒を見るが、それ以上のきちんとした集積、ある規模以上の集積回路、あるいはユニットを組み合わせた集積回路が動くレベルは新しいファシリティーに期待したい。特に、トレーニングされた技術者を常に雇用し続けるというのは至難の業であるので、会社と大学をつなぐ中間を受け持つ拠点が必要である。

Z: ある程度集積化実証が行われている研究を推進している立場からはどうか？

L: 原子スイッチが集積化できたのは NEC と共同研究をしたおかげで、多分 NIMS だけでは原理実証しかできなかった。そういった意味では、個々の技術（大学とか国研で原理実証）の間をつなぐようなファシリティーがぜひ欲しい。ただし、研究拠点ができたからといって、個々の研究機関のファウンドリーとか、そうした措置がなくなってしまうのは問題。研究拠点と個々の分業ができることが必要。個々の原理実証は個々の研究機関で、企業に行く一歩手前のようなレベルは研究拠点で行うのが良い。

K: 磁気トンネル接合の研究では、その前の CMOS は日立製作所と一緒に、文部科学省のファンドを受けて行った。研究拠点では、上手に大学の人達等を運営側の責任者にも据えるような形でやらないと、うまくいかない面があるかもしれない。

M: NTT のラインは 4 インチのシリコンのラインで、多分今、大学の方が立派なプロセスを持っている。ただし、ものづくりを NTT は長くやってきたのでノウハウの蓄積はある。実際に集積化できるというラインが、官の方で運営されると、日本にとってよいと考える。

A: 拠点の例として Albany NanoTech (ANT) と IMEC が挙げられた。どちらを志向するのかによって全然違う。ANT は IBM が 1 社ですべてのプロセスを受け持っているので、ちゃんとしたものができる。IMEC は基本的に教育機関だから、設備は装置メーカーに頼っているし、信頼性をどう評価するのかわからないデバイスをつくっている、という認識である。大学の先生が共同製作拠点を欲しいというときに、そこを教育機関と位置づけるのか、本当にプロセスを動かすところと位置づけるのかによって全然つくるものが違う。当然、運営の仕方も異なり、企業で使える一歩手前を目指すというのであれば、ちゃんと集積設計ができるエンジニアをパーマメントで雇用しなければならない。教育機関と位置づけるのであれば、全然見方が違う。そこのところをよく考えて設計しないと、せっかく拠点をつくっても、箱だけになってしまう

1.	本ワークショップの趣旨
2.	仮説と事前アンケートのまとめ
3.	議論の進め方/CMOSの原理限界と課題
4.	セッション I
5.	セッション II
6.	セッション III
7.	全体討論
8.	まとめ
	Appendix

う。

個人的には、ANT型がよいと思う。企業経験のある、パーマナントスタッフがある規模でいて、ちゃんと物が流せる、大学の先生のアイデアを形にできる、といったことが必要。日本の装置・材料産業はまだとても強いので、ここを育てるという意味でもよい。

B: 少し違う観点からのコメントであるが、ナノテクのデバイスを考えてナノエレの材料を開発する、もしくは大学で研究したという段階で、企業の立場で知りたいのは、それが例えば非常に微細化した、例えば 50 nm の寸法で本当にメモリとして動くのだろうかというところである。ミリメートルとかセンチメートルの寸法の薄膜サンプルで得られた情報が、例えば 50 nm、20 nm のデザインルールで微細化に耐えるものであるかどうか。もしそれができるのだったら、今の CMOS と組み合わせると、その組み合わせによって CMOS の限界を突破できる可能性がある。非常に良い材料であっても、微細化の余力がないと、結局今の CMOS のインフラを規模で凌駕することができない。例えば、ギガトランジスタ級の CPU がもう CMOS だけでできている。基本的には基礎的なデータであるが、寸法を 100 nm からもう少し下のところに絞ったときに、その材料が素子として機能するかどうかというところが最初に知りたいところで、まずその機能を拠点が持つのがいいのではないかと考える。

N: ここまで装置中心の議論だったが、共同研究のあるべき姿というのは、アンダーワンルーフ、つまり、同じところにいて常にコンタクトできるような状況、をつくるということが本当の意味の共同研究を実のあるものにする仕掛けとしてどうしても必要だと考える。大学から参画するときに、研究室を挙げてそちらに拠点を移そうとしても、日本の場合ほとんど不可能で、参加者がゼロに近くなってしまいうだろうと予想される。唯一うまくいった例は、十倉教授が東京大学と産総研の前身の一つである融合研に、2つの研究室を持って、かなり長い間両方で成果を上げたケース。この形が、日本で大学が参画して、しかもアンダーワンルーフという仕掛けで参画するとしたらあり得る。

C: 研究を持続的にやっていくには優秀な人が育たなければならない。研究拠点はできるだけシンボリックにやると良いと考える。外国から優秀な人を大量に招集するというのはやはり限界があるので、自国の学生をちゃんと育てて、ナノエレクトロニクス分野に引き込むことが極めて重要だと考える。シンボリックな格好良い組織があって、この研究をしてみたいなということがあると、日本の良い学生がどんどんこの分野に参入する。

Z: 時間も大幅に過ぎていたので、どうすれば格好良くなるかは後の議論として、これで全体討論を終了する。この総合討論では、皆さんの協力によっ

て、幅広い話題を取り上げ、今後の検討の材料を提供できたと考える。

1.	本ワークショップの趣旨
2.	仮説と事前アンケートのまとめ
3.	議論の進め方／CMOSの原理限界と課題
4.	セッションⅠ
5.	セッションⅡ
6.	セッションⅢ
7.	全体討論
8.	まとめ
	Appendix

8. まとめ

8.1 議論のまとめ

本 WS で期待したアウトプット（図 1.3-1 参照）に対し、以下のような話題提供、提案があり、議論が行われた。

（不揮発性論理素子）

- ・ 集積回路の集積度向上と低消費電力化を両立するための一つの方向性として、演算回路用不揮発メモリの開発が必要。

（スピンデバイス）

- ・ スピン流を使って伝導電子なしに、すなわち本質的にエネルギー散逸を伴う電荷を使わずに情報伝達が可能。
- ・ スピン流の基礎物理と、応用に適した材料開発が課題。

（グラフェン）

- ・ Dirac 粒子であるグラフェンはそのままではバンドギャップがなく、オフ状態が作れないが、ナノリボンによりバンドギャップ制御ができる。
- ・ グラフェンは大面積エレクトロニクスやフレキシブル電極への展開もあり得る。

（有機分子デバイス）

- ・ 有機分子デバイスではリジッドな分子架橋あるいは接続アンカーの技術がキーとなる。

（単電子デバイス）

- ・ 単電子デバイスは動作の安定性や fan-out に関する誤解があるが、それは間違い。SET は Non-conventional FET として位置づけられる。

（酸化物エレクトロニクス）

- ・ 強相関酸化物では電荷以外の新しい状態変数を使え、様々な可能性が考えられる。動作温度等の課題解決のために継続的な材料探索が必要。

（原子スイッチ）

- ・ 原子スイッチは不揮発論理回路や脳型コンピュータへの応用可能性がある。

（量子コンピューティング素子／システム）

- ・ 量子情報は Beyond CMOS としてとらえるべきではなく、そこで開発される技術が Beyond CMOS に使える。

期待するアウトプット(1)の「微細化・集積化・低消費電力化の限界を突破できる技術の可能性はあるか否か」については、事前アンケート結果では

「Yes」であり(図 7.1-1)、これに関連する議論、および(2)「新材料・新アーキテクチャによるエレクトロニクスデバイスの課題抽出」に関する議論が本 WS で進められた(図 7.1-2～図 7.1-10 参照)。

(3)の「エレクトロニクスの潮流を変える新しい技術の芽があるか」については本 WS では以下のような話題があった(図 7.1-11～図 7.1-13 参照)。

- ・ 生物に倣った(Biomimetic)分子新型デバイス
- ・ 脳のシナプスを模擬したアーキテクチャ
- ・ グラフェンの化学修飾による新規物性発現
- ・ アトム・デバイス・コンセプト：究極の姿として原子をきちんと使う

また本 WS の視点の一つであった、CMOS の現状および将来予測に照らしての位置づけ(CMOS の限界要因のどれをどのように突破するのか)に関連して、「CMOS 微細化・集積化・低消費電力化の限界を超えるための5つのチャレンジ」(図 7.1-14 参照)が提案された。

(4)「世界に勝つための戦略」に関連して、研究推進体制、人材育成、研究開発拠点に関する議論が行われた(図 7.1-15～図 7.1-17 参照)。

- ・ 異分野技術や異種材料技術の融合的なデバイス化研究が可能な共同利用施設
- ・ 国際的ノウハウの集約拠点、人材育成の拠点
- ・ 幅広い分野の研究者からの貢献、意見交換を推進する場、また、基礎研究から応用技術開発までの垂直統合を可能として、迅速な原理実証を可能とする場が必要

一方、事前アンケートで CRDS から提示した仮説に対しては、仮説(4)以外はほぼ全員が「Yes」であった。仮説(4)に対しては、「エレクトロニクスデバイスの超微細化・超集積化・超消費電力化に寄与できるフォトンクス技術がある」という意見が多く、エレクトロニクスにおける光技術の位置付けという点で参考になった。フォトンクス技術については別途検討したい。

上述のように、仮説(1)(Si ベース CMOS 技術として研究開発すべき課題がある)と、仮説(2)(Si ベース CMOS 技術の限界を突破または回避できる新原理、新材料、新アーキテクチャの実現可能性がある)はいずれも「Yes」の回答が多く、仮説(3)では、このうち(2)に公的資金を投入すべきとして賛同を得ているが、これは仮説(1)の Si ベース CMOS の極限追求のための研究開発が不要ということではない。「CMOS 微細化・集積化・低消費電力化の限

1. 本ワークショップの趣旨

2.

仮説と事前アンケートのまとめ

3.

議論の進め方/CMOSの原理限界と課題

4.

セッションI

5.

セッションII

6.

セッションIII

7.

全体討論

8.

まとめ

Appendix

界を超えるための5つのチャレンジ」にある Extended CMOS へのチャレンジについては、図 6.2-1 に示されている Beyond CMOS の位置付けと併せて留意しておく必要がある。

以上の議論を踏まえ、本 WS 企画チームとして、以下の研究開発の推進が重要と考える。

[1] 微細化、集積化の限界を突破または回避するためのナノエレクトロニクス基盤技術の研究開発

(研究開発課題例)

- ・ 新状態変数（スピン、軌道、相状態、分子状態など）を用いる論理デバイスの動作検証とデバイス技術構築
- ・ 新概念、新構造デバイスの基盤技術開発とエレクトロニクスデバイスへの適用可能性検証（不揮発性論理素子、分子デバイス、単電子デバイス、原子スイッチ、量子情報技術から派生する技術の活用 他）

[2] ナノエレクトロニクスデバイスのための新材料探索とデバイス適用可能性の実証

(研究開発課題例)

- ・ グラフェンを中心とするナノカーボン材料の電子物性制御とデバイスへの適用
- ・ スピンデバイス用材料開発
- ・ 強相関材料における状態変数制御法確立

これらの研究開発に当たっては、人材育成を含め、研究推進体制が極めて重要である。異分野融合研究が可能な共同利用施設、人材育成の拠点、基礎研究から応用技術開発までを垂直統合した迅速な実証の場も必要であり、このような共有施設を戦略的に使って、研究開発を推進していく必要がある。

8.2 閉会挨拶：オーガナイザ 田中一宜（JST CRDS）

本日の議論で、我々が求めていた解答が全て出たわけではないが、幾つかの具体的な技術の方向が出され、また、それを進める推進システムや運営システムについての示唆も出された。あらかじめご協力いただいたアンケートの結果については、本WSで議論しきれなかった部分は、別途まとめて議論したい。

今、総合科学技術会議で第3期科学技術基本計画の中間フォローアップをやっていて痛感することは、ナノテク・材料部門についての大きな問題として、日本は徹底して長期戦略がないということである。具体的には、中長期の計画を本気で考えない、あるいは、そういうことを考えるインセンティブが公的機関の中に少ないということが問題である。これに対する一つの解答は、法人になった国立研究所とか独立行政法人、あるいは国立大学法人自身が、限界があるとしても与えられた裁量権の中で自主的に戦略シナリオをつくり、実施成功例を出していくという方向だろう。特に大きな拠点をつくる場合は、公的ファンディング機関からの予算が切れた途端に運営継続性が無くなっていくということがよくあるので、その場合には、参加する研究機関側が、それぞれその立場で意義をはっきりと認識した上で、自主的に資金やスペースについてサポートし、拠点の機能を充実させて自分達もベネフィットを享受するというインセンティブを持っていることが肝要である。

もう一つ本日のWSで出された大事なコメントで、拠点をつくるにしても、人材育成ということに重点を置くのか、あるいは、今本当に企業が困っているその一歩先のところをやることに重点を置くのかということは、設計の段階でよく考えていく必要がある。拠点を国際的に如何に開くかということも含めて、内部でももう一度議論したい。

1.	本ワークショップの趣旨
2.	仮説と事前アンケートのまとめ
3.	議論の進め方/CMOSの原理限界と課題
4.	セッションI
5.	セッションII
6.	セッションIII
7.	全体討論
8.	まとめ
	Appendix

Appendix

A.1 ワークショッププログラム

表 A-1 本ワークショップのプログラム

開催日時：平成 21 年 3 月 9 日(月) 10:00 ～ 18:00		
開催場所：(独) 科学技術振興機構 研究開発戦略センター 2F 大会議室		
プロローグ		
10:00	開会挨拶	オーガナイザ 田中一宜 (JST CRDS)
10:10	趣旨説明	波多腰玄一 (JST CRDS)
10:20	議論の進め方について / CMOS の原理限界と課題	コーディネータ 金山敏彦 (産総研)
微細化・集積化・低消費電力化の限界を突破できる技術の可能性		
10:50	不揮発性論理素子実現のための課題	大野英男 (東北大)
11:20	純スピン流、超スピン伝導を利用したデバイスの可能性	齊藤英治 (慶應大)
11:50	計算科学に基づくナノカーボンの電子物性	若林克法 (広島大)
12:20	グラフェンの伝導機構	神田晶申 (筑波大)
12:50	昼食	
新材料・新アーキテクチャによるエレクトロニクスデバイスの課題		
13:30	分子設計に基づくナノ電子デバイス	田中一義 (京大)
14:00	単電子デバイス	藤原 聡 (NTT)
14:30	酸化物エレクトロニクス	川崎雅司 (東北大)
15:00	原子スイッチ	長谷川剛 (NIMS)
15:30	量子コンピューティング素子 / システム	伊藤公平 (慶應大)
16:00	休憩	
16:20	ナノエレクトロニクスへの期待	横山直樹 (富士通研)
16:40	全体討論	座長 金山敏彦 (産総研)
		セッションサマリ 秋永広幸 (産総研)
		コメンテータ 鳥居和功 (日立)
		コメンテータ 石内秀美 (東芝)
		コメンテータ 横山直樹 (富士通研)
17:40	閉会	コーディネータ 金山敏彦 (産総研)

A.2 仮説／アンケートプレリサーチシート

以下の仮説(1)～(5)について、Yes/Noでお答えください。また Yes/No とお考えになられた理由も簡単に記述いただけますようお願いいたします。

仮説(1) 集積システムとしての Si ベース-CMOS LSI における微細化・集積化の原理限界／物理限界と現在の CMOS 最先端技術とはまだ差があり、研究開発すべき課題がある。

Yes / No (どちらかに○をお付けください)

Yes の場合：① 研究開発すべき課題は何でしょうか？

② 究極の限界としてどこまで可能とお考えでしょうか。具体的な数値があれば挙げてください。

Ex. 微細化 ○○nm、スイッチング速度 △△psec、スイッチングエネルギー、動作電圧など

No の場合：その理由

1. 本ワークショップの趣旨

2.

仮説と事前アンケートのまとめ

3.

議論の進め方／CMOSの原理限界と課題

4.

セッションI

5.

セッションII

6.

セッションIII

7.

全体討論

8.

まとめ

Appendix

仮説(2) エレクトロニクスデバイスの微細化・集積化・低消費電力化における現在の Si ベース-CMOS 技術の限界(原理限界または物理限界)を突破または回避できる新原理、新材料、新アーキテクチャの実現可能性がある。

Yes / No (どちらかに○をお付けください)

Yes の場合: ① それはどのような技術(原理、材料、アーキテクチャ)ですか？

② その技術はいつ頃実現可能でしょうか？／またいつ頃必要となるとお考えでしょうか？

③ 実現のための重要課題は何でしょうか？ またその課題解決のためには何が必要でしょうか？(研究体制、人材育成等も含む)

No の場合: その理由

仮説(3) 20年後(2030年)の先のエレクトロニクス(実用化レベル)を考えた場合、上記(1)(Siベース-CMOSの極限追求)の推進のみでは限界があり、ナノエレクトロニクスにおける(2)(新原理、新材料、新アーキテクチャ)の研究開発が必須となる。そのためには、今から(2)に公的資金を投入すべきである。

Yes / No (どちらかに○をお付けください)

その理由 (諸外国との比較を含め、御意見をお願いします)。

(Yesの場合は、何故“今”、“この分野(ナノエレクトロニクス)に”投資が必要かについてもお答え下さい。)

仮説(4) エレクトロニクスとフォトニクスは、材料技術等で共通基盤技術があるが、光配線(シリコンフォトニクス)以外に、フォトニクス技術でエレクトロニクスデバイスの超微細化・超集積化・超低消費電力化に寄与できる技術はない。(情報処理デバイスを構成する機能への直接的な利用を主に考えていますが、リソグラフィ等のプロセス技術も含めてお答え下さい。)

寄与できる技術はない/寄与できる技術がある (どちらかに○をお付けください)

その理由

寄与できる技術があるとお答えの場合：それはどのような技術しょうか？

- 1. 本ワークショップの趣旨
- 2. 仮説と事前アンケートのまとめ
- 3. 議論の進め方/CMOSの原理限界と課題
- 4. セッションI
- 5. セッションII
- 6. セッションIII
- 7. 全体討論
- 8. まとめ

仮説(5)-1 ナノエレクトロニクスの研究開発プログラムの推進にあたり、異分野技術や異種材料技術の融合的なデバイス化研究が可能な共同利用施設が不可欠である。

Yes / No (どちらかに○をお付けください)

その理由。

仮説(5)-2 文部科学省の「先端研究施設共用イノベーション創出事業」における「ナノテクノロジー・ネットワーク」事業(<http://nanonet.mext.go.jp/>)は、日本における共同利用施設としての期待に応えたものになっている。

Yes / No / この事業について知らない / 利用したことがないのでわからない
(どれかに○をお付けください)

・ Yes/No の場合: その理由

・ 共同利用施設に今後期待するものは何でしょうか。

・ No の場合: 今後の具体策についてお考えがありましたら挙げて下さい。

その他、ご意見があればご自由にお書きください。

A.3 ワークショップ参加者

表 A-2 本ワークショップ参加者一覧

(a) コーディネータ・発表者・コメンテータ

氏名	所属	役職
金山 敏彦	産業技術総合研究所 ナノ電子デバイス研究センター	研究センター長
秋永 広幸	産業技術総合研究所 ナノ電子デバイス研究センター	副センター長
大野 英男	東北大学 電気通信研究所	教授
齊藤 英治	慶應義塾大学 理工学部 物理情報工学科	専任講師
若林 克法	広島大学大学院 先端物質科学研究科	助教
神田 晶申	筑波大学大学院 数理物質科学研究科	講師
田中 一義	京都大学大学院 工学研究科	教授
藤原 聡	NTT 物性科学基礎研究所 量子電子物性研究部	グループリーダー
川崎 雅司	東北大学 原子分子材料科学高等研究機構	教授
伊藤 公平	慶應義塾大学 理工学部 物理情報工学科	教授
長谷川 剛	物質・材料研究機構 WPI センター「国際ナノアーキテクトニクス研究拠点」	グループリーダー
鳥居 和功	日立製作所 中央研究所 ナノプロセス研究部	部長
石内 秀美	東芝 研究開発センター	次長
横山 直樹	富士通研究所 ナノテクノロジー研究センター	センター長

1. 本ワークショップの趣旨
2. 仮説と事前アンケートのまとめ
3. 議論の進め方/CMOSの原理限界と課題
4. セッションI
5. セッションII
6. セッションIII
7. 全体討論
8. まとめ

Appendix

(b) その他の参加者

氏名	所属	役職
馬場 寿夫	内閣府 総合科学技術会議事務局 ナノテク・材料／ものづくり担当	政策企画調査官
不動寺 浩	内閣府 総合科学技術会議事務局 ナノテク・材料／ものづくり担当	研修員
山下 洋	文部科学省 研究振興局 基礎基盤研究課 ナノテクノロジー・材料開発推進室	室長
大見 俊一郎	文部科学省 研究振興局 基礎基盤研究課 ナノテクノロジー・材料開発推進室	学術調査官
河本 洋	文部科学省 科学技術政策研究所	特別研究員
藤原 達也	経済産業省 産業技術環境局 研究開発課	研究開発調整官
丸山 太一郎	経済産業省 産業技術環境局 研究開発課	情報通信担当
鈴木 俊吾	経済産業省 製造産業局 ナノテクノロジー・材料戦略室	係長
黒沢 景	物質・材料研究機構 評価室	室長
真部 高明	新エネルギー・産業技術総合開発機構 ナノテクノロジー・材料技術開発部	主任研究員
大井川 欽哉	新エネルギー・産業技術総合開発機構 ナノテクノロジー・材料技術開発部	主査
國谷 昌浩	新エネルギー・産業技術総合開発機構 ナノテクノロジー・材料技術開発部	主任
伴 修実	電子情報技術産業協会 半導体部会 企画運営委員会	委員長
中村 邦雄	電子情報技術産業協会 半導体部会 技術委員会	実行委員会委員
馬場 重典	電子情報技術産業協会 電子デバイス部	部長
渡辺 久恒	半導体先端テクノロジーズ	代表取締役社長
記村 隆章	ナノテクノロジービジネス推進協議会	事務局長代理

小間 篤	科学技術振興機構 戦略的創造事業本部	研究主監
日夏 健一	科学技術振興機構 戦略的創造事業本部 研究領域総合運営部	部長
荒岡 礼	科学技術振興機構 戦略的創造事業本部 研究領域総合運営部	主査
松村 郷史	科学技術振興機構 戦略的創造事業本部 研究領域総合運営部	主査
横田 修	科学技術振興機構 戦略的創造事業本部 研究推進部	主査
古川 雅士	科学技術振興機構 戦略的創造事業本部 研究プロジェクト推進部	主査
土屋 江里	科学技術振興機構 戦略的創造事業本部 研究プロジェクト推進部	主査
米澤 崇礼	科学技術振興機構 戦略的創造事業本部 研究プロジェクト推進部	係員
佐々 正	科学技術振興機構 戦略的創造事業本部 基礎研究制度評価タスクフォース	チーフ
佐々 紘一	科学技術振興機構 戦略的創造事業本部 基礎研究制度評価タスクフォース	主任調査員
篠原 譲司	科学技術振興機構 戦略的創造事業本部 基礎研究制度評価タスクフォース	主任調査員
中川 正広	科学技術振興機構 戦略的創造事業本部 基礎研究制度評価タスクフォース	主任調査員
佐藤 勝昭	科学技術振興機構 戦略的創造研究推進事業 さきがけ 「革新的次世代デバイスを目指す材料とプロセス」領域	研究総括
遠藤 伸裕	科学技術振興機構 戦略的創造研究推進事業 CREST「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」領域	領域参事
泉 弘一	科学技術振興機構 戦略的創造研究推進事業 さきがけ 「革新的次世代デバイスを目指す材料とプロセス」領域	技術参事
屠 耿	科学技術振興機構 国際部	副調査役
青木 一彦	科学技術振興機構 国際部	主査

1. 本ワークショップの趣旨
2. 仮説と事前アンケートのまとめ
3. 議論の進め方/CMOSの原理限界と課題
4. セッションI
5. セッションII
6. セッションIII
7. 全体討論
8. まいめ

Appendix

植田 秀史	科学技術振興機構	研究開発戦略センター	副センター長
丹羽 邦彦	科学技術振興機構	研究開発戦略センター	上席フェロー
田中 一宜	科学技術振興機構	研究開発戦略センター	上席フェロー
安藤 健	科学技術振興機構	研究開発戦略センター	シニアフェロー
木村 茂行	科学技術振興機構	研究開発戦略センター	特任フェロー
村井 眞二	科学技術振興機構	研究開発戦略センター	特任フェロー
石原 聰	科学技術振興機構	研究開発戦略センター	フェロー
石森 義男	科学技術振興機構	研究開発戦略センター	フェロー
河村 誠一郎	科学技術振興機構	研究開発戦略センター	主任調査員
嶋田 一義	科学技術振興機構	研究開発戦略センター	フェロー
豊蔵 信夫	科学技術振興機構	研究開発戦略センター	フェロー
永野 智巳	科学技術振興機構	研究開発戦略センター	フェロー
中山 智弘	科学技術振興機構	研究開発戦略センター	フェロー
西木 玲彦	科学技術振興機構	研究開発戦略センター	フェロー
波多腰 玄一	科学技術振興機構	研究開発戦略センター	フェロー
渡辺 正裕	科学技術振興機構	研究開発戦略センター	フェロー

※ 所属・役職は WS 開催時

■ワークショップ企画メンバー（ワークショップ開催時）■

田中 一宜	上席フェロー	（物質・材料/ナノテクノロジーユニット）
石原 聡	フェロー	（物質・材料ユニット）
伊東 義曜	主任調査員	（電子情報通信ユニット）
河村誠一郎	主任調査員	（ナノテクノロジーユニット）
西木 玲彦	フェロー	（物質・材料ユニット）
波多腰玄一	フェロー	（物質・材料ユニット）
渡辺 正裕	フェロー	（ナノテクノロジーユニット）

※お問い合わせ等は下記ユニットまでお願いします。

科学技術未来戦略ワークショップ

「次世代を拓くナノエレクトロニクス」

～2030年の先を求めて～

報告書

CRDS-FY2009-WR-02

独立行政法人 科学技術振興機構 研究開発戦略センター

平成 21 年 6 月

物質・材料ユニット

〒102-0084 東京都千代田区二番町3番地

電話 03-5214-7483

ファックス 03-5214-7385

<http://crds.jst.go.jp/>

©2009 JST/CRDS

許可無く複写／複製することを禁じます。

引用を行う際は、必ず出典を記述願います。
