

戦略プログラム
ナノエレクトロニクス基盤技術の創成
—微細化、集積化、低消費電力化の限界突破を目指して—
平成21年7月
JST/CRDS

CRDS-FY2009-SP-01

ATTAATC A AAGA C CTAAC T CTCAGACC
AAT A TCTATAAGA CTCTAAC T
CTC GCC AATTAATA
TTAATC A AAGA C CTAAC T CTCAGACC
AAT A TCTATAAGA CTCTAAC
TGA C CTAAC T CTCAGACC

戦略プログラム

ナノエレクトロニクス基盤技術の創成 —微細化、集積化、低消費電力化の限界突破を目指して—

STRATEGIC PROGRAM

Construction of Fundamental Technologies for Nanoelectronics
**—Towards a technological breakthrough overcoming limitations in scaling,
integration and power consumption reduction—**

0 1 0 1 0 0 0 1 1 1 0 1 0 1 0 0 0 0 1
0 0 1 1 0 1 0 0 0 1 0 0 0 0 1 1 0
0 1 0 1 1 1
0 1 0 1 0 0 0 1 1 1 0 1 0 1 0 0 0 0 1
0 0 1 1 0 1 0 0 0 1 0 0 0 0 1 1 0
0 1 0 1 1 1
0 0 1 1 0 1 1 1 1 1 1 0 0 0 0 1 0 1 0 1 0 1 1



独立行政法人科学技術振興機構 研究開発戦略センター
Center for Research and Development Strategy Japan Science and Technology Agency

研究開発戦略センターでは、国として重点的に推進すべき研究領域や課題を選び、以下3種類いずれかの戦略プロポーザルとして発行している。

戦略イニシアティブ

国として大々的に推進すべき研究で、社会ビジョンの実現に貢献し、科学技術の促進に寄与する

戦略プログラム

研究分野を設定し、各チームが協調、競争的に研究することによって、その分野を発展させる

戦略プロジェクト

共通目的を設定し、各チームがこれに向かって研究することによって、その分野を発展させると同時に共通の目的を達成する

エグゼクティブサマリー

本提案は、現在のエレクトロニクスを支えているCMOS技術の限界を超える新しい概念や技術に立脚する、将来産業の基盤の確立に向けたナノエレクトロニクスのシーズ研究開発の戦略的推進に関する提言である。

現在、我が国の産業界では新基幹産業創出のためのナノエレクトロニクス開発のシナリオの議論が始まっているが、その構想とも連携しながら、大学・独法研究機関が主体となって技術シーズを探索する研究開発の戦略を提言する。

情報通信機器が処理する情報量は年々指数関数的に増大し続けており、エレクトロニクスデバイスの微細化、集積化は今後も必須の流れとなっている。しかし、微細化の物理限界や、微細化による特性のばらつきの増大、集積化に伴う素子の消費電力の増大が、将来、大きな問題となってくる。この限界を突破するには、進展著しいナノサイエンス、ナノテクノロジーを駆使し、現在のCMOSを超える新しい動作原理に基づくデバイスの実現を目指した研究開発、およびそれに必要な新材料の探索を行うことが必須である。海外では既にこの分野に多額の研究投資が行われており、我が国も国主導で今後研究開発を加速する必要がある。

具体的な研究開発課題は以下の通りである。

- 1) 高速化・大容量化・低消費電力化・高信頼化のための新原理・新構造論理素子／記憶素子の動作検証とデバイス技術構築
- 2) ナノエレクトロニクスデバイスのための新材料探索とデバイス適用可能性の実証

上記1)は、電荷を論理変数とした現在の論理素子に代わる新状態変数を用いたデバイス、および超高速、超大容量、超低消費電力化のための新原理記憶素子の研究開発に関するものであり、2)はこれらの新原理、新構造の論理素子、記憶素子実現のために必要な新材料の研究開発に関するものである。新原理デバイスにおける新状態変数の例としてはスピン、相状態、分極、分子配置などがあり、いずれも電荷を用いないことによって、エネルギー散逸がなく、静電容量による遅延もなくなるので、このような新状態変数を利用したデバイスが実現すれば、超低消費電力化、超高速化への可能性が拓ける。これらは現状ではまだ実現されておらず、一部は概念の実証すらできていない。したがって難易度は極めて高いが、実現すればインパクトは非常に大きい。

本提案の研究開発の効率的な推進のためには、研究開発拠点の設置、産学独の連携研究、国際化方策、さらには、人材育成をも研究開発成果とみなす観点が必要である。具体的には以下の推進方法を提案する。

- (1) 研究開発拠点： ナノエレクトロニクス基盤技術の研究開発では、高度に管理

される設備装置群が必要である。欧米における幾つかのグローバル研究拠点を参考に、我が国の状況に適合した研究開発拠点を設置し、多くの研究者が拠点に集結して研究開発の推進を図ることが必要と考えられる。

(2) 産学独連携： 研究開発成果を原理的提案レベルにとどめることなく、効率良く実社会で使われるようにするには、産学独連携関係が築かれることが望ましい。産学独が結集して幅広いシーズについて研究開発を進めながら、進捗段階に応じて産学独の参画の程度などを変えていくような体制をも検討すべきである。

(3) 国際化： 本提案のような将来に向けたシーズ探索型研究開発では、国外からも世界トップレベルの研究者や意欲的な学生が参画できるような推進体制が必須である。例えば、研究者の子弟のためのインターナショナルスクールのように、従来我が国で欠けていた社会インフラ面での整備が特に必要である。

(4) 人材育成： 長期的観点からみた我が国のナノエレクトロニクス分野の最大の問題は、将来を担う人材の不足である。本提案のプログラムでは、単に技術開発成果のみを求めるのではなく、人材の育成も重要な成果であるといった観点で研究開発を推進すべきである。

エレクトロニクスデバイスにおける微細化、集積化、低消費電力化の限界の突破／回避は現状技術の延長では解決困難な課題であり、新原理、新構造、新材料の探索と、それらを用いたデバイスの研究開発に対する長期にわたる取り組みが必要である。上記提案の実現に向けて、関係各省の現行プログラムあるいは計画中のプロジェクトとも融合させて、国としての投資効率を上げる運営が不可欠である。

Executive Summary

Proposed is the strategic promotion of seed-oriented nanoelectronics R&D based on a novel concept and emerging technology for penetrating the technological limit of CMOS aiming at the establishment of a long-term industrial platform in the future. For this purpose, academia and government-financed research institutes should lead their strategic R&D for exploring scientific and technological seeds for future nanoelectronics, in parallel with a scenario for new nanoelectronics as one of the future main industries.

Technologies for the down-scaling and integration of electronic devices will remain indispensable for meeting the demands of an exponential increase in information data that should be treated electronically. However, we are facing serious problems, such as an intrinsic physical limit of scaling, increasing dispersion of device parameters, and increasing heat power density caused by the integration. In order to overcome these difficulties, it is urgently needed to promote R&D, by making the best use of emerging nano-science and nanotechnology, in order to realize electronic devices based on novel principles replacing conventional CMOS, and to explore new materials applicable to the new devices. Since large public investments have already been made in this area not only in the US but also in the EU, it is urgent to accelerate the R&D activities of this area under the umbrella of a national strategic R&D plan.

Two specific R&D programs are proposed:

- 1) An R&D program for device operation and device technologies of novel-concept logic and memory devices for realizing high-speed operation, high capacity, low power consumption, and high reliability
- 2) An R&D program for exploring new materials enabling nanoelectronics devices and for demonstrating their technological feasibility for device application

R&D program 1) is concerned with novel logic devices using new state variables that can replace conventional logic devices that are basically operated by electronic charge, and also novel memory devices for ultra-high speed, ultra-high capacity, and ultra-low power consumption. R&D program 2) aims at exploring new materials necessary for the novel logic and memory devices. The aforementioned "new state

variables" include, for example, spin, phase, polarization, and molecular configuration. These non-charge state variables have a possibility of realizing ultra-low power consumption and ultra-high speed operation, due to their characteristics without power dissipation and without signal delay originating in the capacitance. However, such performance has not yet been realized at present, and even the concept has not been verified for some state variables. Therefore, the proposed program includes high risks and high challenges, but the impact will be very high when the goal is achieved.

For the effective promotion of the proposed R&D, establishment of a research hub center, cooperative research of industry, academia and government, globalization, and personnel training and education should be evaluated as the achievement of the project. Specific promotion programs proposed are listed below.

- (1) Establishment of a research hub center: Highly controlled facilities for device fabrication, processing, and characterization are indispensable for the proposed R&D of fundamental nanoelectronics technologies. The facilities should be constructed to adapt to the Japanese environment, referring to several global hub centers in the US and the EU.
- (2) Cooperative research of industry, academia, and government: The results obtained in the R&D should not only be conceptual ideas, but also be guiding principles for the practical application in the real world. For this purpose, construction of a cooperative system of industry, academia, and government is desirable. Industry, academia, and government should collaborate for the R&D of various germinated seeds, and adjust the system according to the progress of the project.
- (3) Globalization: An operation system that can promote participation of excellent researchers and active students, both domestic and from overseas, is essential for the proposed seed-oriented R&D.
- (4) Personnel training and education: The most serious problem in the nanoelectronics field in Japan is insufficient human resources to play major roles in the next generation. The R&D should be promoted in a way whereby personnel training and education becomes one of the important achievements of the program.

Breakthrough or bypass of limitations in scaling, integration, and power consumption reduction will be difficult to achieve by the extension of

current technologies, and thus a long-term approach for the investigation of novel-principle-based devices with new structures and new materials is essential. For the realization of the proposed program, governmental operation for maximizing funding efficiency, harmonizing with the current and planned programs across the related ministries and agencies, should be promoted.

目次

エグゼクティブサマリー

1. 提案の内容	1
2. 研究投資する意義	4
3. 具体的な研究開発課題	6
3.1 高速化・大容量化・低消費電力化・高信頼化のための新原理・新構造論理素子／記憶素子の動作検証とデバイス技術構築	6
3.2 ナノエレクトロニクスデバイスのための新材料探索とデバイス適用可能性の実証	9
4. 研究開発の推進方法	12
5. 科学技術上の効果	14
6. 社会・経済的效果	16
7. 時間軸に関する考察	18
8. 検討の経緯	19
9. 研究開発課題の詳細	21
9.1 高速化・大容量化・低消費電力化・高信頼化のための新原理・新構造論理素子／記憶素子の動作検証とデバイス技術構築	21
9.1.1 スピン、スピン波デバイス	22
9.1.2 マルチフェロイックデバイス	22
9.1.3 単電子デバイス	23
9.1.4 原子スイッチ	25
9.1.5 分子デバイス	26
9.1.6 量子情報処理デバイス	27
9.1.7 新原理ナノ記憶素子	28

9.2 ナノエレクトロニクスデバイスのための新材料探索とデバイス適用可能性の実証	29
9.2.1 低次元材料	30
9.2.2 グラフェン	30
9.2.3 機能性高分子材料	31
9.2.4 スピン機能材料	32
9.2.5 酸化物エレクトロニクス材料	33
9.2.6 メタマテリアル	34
10. 国内外の状況	35
10.1 海外のナノエレクトロニクス研究拠点	35
10.2 米国における取り組み	38
10.3 EUにおける取り組み	38
10.4 国内の関連施策	38
10.5 その他	39
用語説明	41

1. 提案の内容

本提案のナノエレクトロニクス基盤技術の創成とは、ナノサイエンス、ナノテクノロジーを駆使した材料・プロセス・デバイス技術により、現在のエレクトロニクスデバイスと異なる新しい動作原理に基づく情報処理デバイス実現を目的とした新原理、新構造、新材料の基盤技術研究である。

本提案は、ナノエレクトロニクスの将来産業の基盤の確立に向けたシーズ研究開発の戦略的推進に関する提言である。現在、我が国の産業界でナノエレクトロニクス開発を進める構想が進んでいる（10.3参照）が、その構想とも連携しながら、大学・独法研究機関（学独）が主体となって技術の種を探索する研究開発の戦略を提言する。

情報通信機器が処理する情報量は、特にその処理速度および情報の蓄積量において年々指数関数的に増大し続けている。またその使用される環境は社会基盤としての国や基幹産業の幹線系としてだけでなく、ユビキタスという言葉に代表されるように、携帯電話をはじめ個人の生活基盤にまで深く浸透している。総デジタル化社会の構築へ向けて、国や産業界の幹線系情報通信機器およびユビキタスとして機能する端末情報処理機器では、今後も指数関数的に増大する情報量の高速処理に対応できる性能が要求される。これらの社会的要請に応えるため、情報処理デバイス（論理素子、記憶素子）の微細化、集積化は今後も必須の流れとなっているが、微細化の物理限界や、微細化による特性ばらつきの増大、集積化に伴う素子の消費電力の増大が大きな問題となってくる。

高集積化、高性能化とともに、低消費電力化は今後必須であり、そのための技術開発が必要とされている。このための研究開発として、(1) CMOS技術を推し進めた極限の追求、(2) CMOSに代わる動作原理のデバイス・材料探索 という2つのアプローチがある。本提案は、このうちの(2)を中心とした基盤技術研究の提案である。

電荷の移動を用いた論理素子におけるスイッチングエネルギーの原理限界は動作温度の熱エネルギー（ kT ）であるが、現状のデバイスはそれよりはるかに大きいエネルギーで動作している。したがって上記(1)のCMOS技術の極限追求という施策により原理限界に近づく余地はまだ残されているが、電荷以外の新状態変数を用いることにより、微細化の物理限界に耐え得る、あるいは微細化の物理限界を回避できる論理素子を実現できる可能性がある。ここでいう電荷以外の新状態変数とは、例えば、スピン、相状態、分極、分子配置などである。このような新状態変数を用いることにより、素子の低消費電力化も達成できる可能性がある。例えば、電荷の流れを伴わないスピン流を実現できれば、電荷に起因したジュール熱等の熱散逸をなくすることができる。また、スピンのみならず、電荷の移動を伴わない状態変数を用いれば、静電容量による遅延、応答限界を回避できる可能性もある。これらの新状態変数を用いる論理素子は現状ではまだ実現されておらず、一部は概念の実証すらできていない。したがって難易度は極めて高いが、実現すればインパクトは非常に

大きい。

論理素子と共に、記憶素子（メモリ）の高速化・大容量化・低消費電力化も今後必須の研究開発項目である。上述の指数関数的な情報量の増大に対応するには、原子レベルの空間に記憶機能を持たせることが必要となってくる。また、大容量の情報を読み書きが必要となるため、高速化、低消費電力化、および高書き換え回数に耐える高信頼化も必須である。このような記憶素子の実現は現状技術の延長では困難であり、新原理、新材料による新原理ナノ記憶素子の研究開発が必要である。

以上のような新原理、新構造の論理素子、記憶素子の実現のためには、そのための新材料の研究開発が必須である。上述の新状態変数に対応して、それぞれ新材料の探索が必要であり、さらにそれらの新材料のデバイス適用可能性を見極める必要がある。デバイスの研究開発と材料探索とは密接に関連しており、両分野の研究者の連携が必要であるが、研究開発に当たっては、材料探索→デバイス開発という旧来のリニアモデルによるのではなく、両方を並行して進めるべきである。

本プロポーザルにおけるナノエレクトロニクス基盤技術の創成のために、以下の課題の設定を提案する。

- 1) 高速化・大容量化・低消費電力化・高信頼化のための新原理・新構造論理素子／記憶素子の動作検証とデバイス技術構築
- 2) ナノエレクトロニクスデバイスのための新材料探索とデバイス適用可能性の実証

コラム —電荷以外の状態変数とは—

状態変数（state variable）とは、論理素子において0と1の論理状態を表す物理量のこと、CMOSの場合は電荷が用いられている。

電荷以外の状態変数として様々なものが検討されている。以下にその例を示す。

スピン、スピン流： 電子の2つのスピン状態であるアップスピンとダウンスピンをビットに用いる。電荷の流れがなくてもスピン流は流れるので、低消費電力化の可能性が検討されている。ただし、スピンの注入、検出が課題。電荷を用いる論理素子では、室温の熱エネルギーで状態が変わるのを防ぐために熱ゆらぎエネルギーより1桁以上大きい障壁が必要で、そのためにスイッチングエネルギーの下限が設定されるが、スピンデバイスではこの制限が異なり、また熱平衡状態に戻る前に複数回のスイッチングが可能なことから、その点でも低消費電力化の可能性が検討されている。

相状態： 物質の相変化を利用。金属状態／絶縁状態、磁性状態／非磁性状態、強磁性状態／強誘電体状態（強相関材料：マルチフェロイック材料）など。

複数の秩序状態： マルチフェロイック材料では、例えば電気的分極と磁気的分極（磁化）を独立に制御できる。これにより、多値（4値）論理素子を構成できる可能性がある。

分子状態： 分子配置（高抵抗状態と低抵抗状態）、分子の配位状態、チャージトラップ（ニュートラル状態とチャージ捕獲状態）など。

電子軌道準位： 量子計算のキュービットへの適用が検討されている。量子ドットにおける電子軌道準位は比較的利用し易い。

2. 研究投資する意義

ナノエレクトロニクス基盤技術の創成に研究投資する意義は、シリコンCMOSの延長では対応できない「次世代エレクトロニクス（Beyond CMOS）への壁」を突破して、日本が10～20年後のエレクトロニクスを主導するための布石である。

シリコンCMOSデバイス技術は日本の半導体産業を支えているが、その微細化限界がすでに議論され、世界の半導体企業がこの限界突破の対策が必要な局面に立たされている。しかしながら、この分野の研究開発は長い時間と多額の研究費が必要であり、産業界だけでは手を打てない状況にある。海外では既にこのような状況を回避するために、次世代のデバイス研究に多額の研究投資が行われている（「10. 国内外の状況」参照）。例えば米国のNSFやEUのFP7では基礎から応用までの広い領域にファンディングが行われている。

シリコン半導体は「産業の米」と呼ばれるまでに産業が成長したが、日本はアジア諸国から厳しく追い上げられており、最先端デバイスを開発し続けることでその地位を確保しなければならない経済的立場に追い込まれている。しかしながら、昨今の未曾有の経済不況もあり、企業は先行研究に対して独自に投資する余力に乏しく、海外と同じように国費によるファンディングで研究開発を先導すべき必要がある。

現在までシリコンCMOS技術はムーアの法則に沿った微細化、集積化により、高性能化、低消費電力化、低コスト化が進められてきた。しかし、シリコンCMOS技術の微細化限界はITRS（国際半導体技術ロードマップ）でも議論されており、「CMOSの次」(Beyond CMOS) を探求するアプローチが進められている。ITRSのERD（Emerging Research Devices）とERM（Emerging Research Materials）の技術作業部会での具体的アプローチとして、現在のCMOS動作原理とは異なる、新しい動作原理を用いた新デバイス、新回路、新システムの実現が挙げられている。この新しい分野を支える基盤技術として、材料技術、プロセス技術、デバイス技術、回路技術、システム化技術を含む研究フロンティアの創出が必要である。

CMOSデバイスを中心にした従来の情報処理デバイスは、電子に基づく動作原理による電子デバイスが主流であったが、新デバイスの登場により、異なる動作原理に基づくデバイスの選択肢を獲得できる。これらの新動作原理に基づくデバイスは、超低消費電力や高速性等を特徴としており、IT機器の設計自由度を大きく向上させ、更に、幾つかの動作原理に基づくデバイスで構成された融合デバイスの実現により、そのデバイス選択肢はより多様になり、情報処理デバイス選択のパラダイムシフトにつながる。またここで実現された材料技術、プロセス技術、デバイス技術、回路技術を他の動作原理デバイスへ応用することで、デバイス作製技術に大きなブレークスルーを引き起こすことが期待される。

昨今重要性が高まっている知的財産権の確保の点ではこの分野への早期着手により、新情報処理デバイスの基本特許を獲得できれば、世界の新情報デバイス分野の開発レースの主導権を握ることにつながる。

新情報処理デバイスは、シリコンCMOSより更なる消費電力の低減を可能とするため、今後IT機器増加による消費電力増大の懸念にも対応できるものである。

また、デバイス、プロセス、材料を含む広い分野に関わる技術であることから、分野融合的な取り組みと産学独連携によるオールジャパン的な取り組みが必要である。このような融合研究に研究投資することは、単なる科学と技術の充足だけではなく、分野間にまたがって能力を発揮できる人材の育成を図ることにつながる。

このような「CMOSの次」を指向する技術分野は、長期にわたる広い取り組みが必要であり、国が早期にファンディングすべき領域である。

提案の内容

研究投資する意義

具体的な研究開発課題

研究開発の推進方法

科学技術上の効果

社会・経済的效果

時間軸に関する考察

検討の経緯

研究開発課題の詳細

国内外の状況

用語説明

3. 具体的な研究開発課題

エレクトロニクスデバイスの微細化、集積化、低消費電力化の限界を突破または回避するため、新原理、新構造デバイスの研究開発、およびそれらのデバイス実現のための新材料探索の課題を設定する。デバイスの研究開発と材料探索とは密接に関連しているが、研究開発に当たっては、材料探索→デバイス開発というリニアモデルではなく、両方を並行して進めるべきである。これは、材料探索には時間がかかること、および新原理デバイスと材料とが必ずしも1対1には対応していないことによる。またデバイスの研究開発は材料探索を待つ必要はなく、例えば、デバイスとしては、低温での動作検証ができるデバイス技術構築を進め、一方で室温動作可能な材料を探索するというように並行して進めることにより、両者の成果を互いにフィードバックしながら効率的な研究開発を推進できる。具体的には、以下の課題の設定を提案する。

3.1 高速化・大容量化・低消費電力化・高信頼化のための新原理・新構造論理素子/記憶素子の動作検証とデバイス技術構築

現状のCMOS微細化をこのまま推し進めると、数原子層レベルの構造を制御しなくてはならないことになり、特性ばらつきの増大など微細化の物理限界が顕在化してくる。また、微細化によりCMOSのゲート長で決まる動作速度は向上するが、一方で配線の抵抗(R)と容量(C)は微細化で増加するため、 RC 積による遅延の増加は深刻な問題となる。

研究開発課題の一つとして、微細化に耐えうるデバイスアーキテクチャ、新概念の動作原理の探索を挙げる。このようなデバイスを実現できる可能性の候補として、スピン、位相、光子、分極、磁束量子、多重極配向、量子状態などの電荷以外の状態変数を用いるデバイスがある。これらはまた、素子の低消費電力化にも寄与する可能性がある。例えば、電流を流さずにスピン流のみを流すことができれば、リーク電流等に起因する熱の散逸はなくなる。また、電荷の移動を伴わない状態変数を用いれば、静電容量による遅延、応答限界を回避できる可能性もある。このような新状態変数を用いるデバイス、新原理、新構造デバイスの例と課題を以下に挙げる。

(1) スピン、スピン波デバイス

電子の持つスピンを新たな状態変数として用いることができれば、これまでの電荷を用いるデバイスでは困難であった高性能、新機能のデバイスを実現できる可能性がある。例えば電荷の流れを伴わないスピン流が実現できれば、エネルギー散逸のない低損失伝送が可能となる。同様に静電容量がなくなることから配線遅延をなくす可能性もある。不揮発性論理素子への応用も検討されており、消費電力の極限的低減の可能性をもっている。またスピン流は量子情報を持っているので、将来的には量子スピンデバイスへの展開もあり得る。この分野は最近大きく進展してい

るが、基礎物理の探索、材料の探索を含め、課題は多い（材料に関する課題については、3.2 (4) 参照）。研究開発課題を以下に挙げる。

- ・ スピン、スピン流の物理原理の探索
- ・ スピンの生成、注入、輸送、操作、検出を制御するデバイス技術の開発

(2) マルチフェロイックデバイス

強相関材料では、強誘電性、強磁性など複数の性質（マルチフェロイック）が相互に制御可能であり、電荷以外の新たな状態変数を用いる論理素子を考える際に、状態変数として取りうる物理量、及びその制御方式に多くのバリエーションを考えることが可能である。電荷以外の状態変数として、スピン、スピンのトポロジー（空間的な配置）、結晶格子（熱や歪）、電子雲の形などが可能性として考えられている。現在の研究フェーズは、これら相互作用に基づく物理現象を数多く抽出し、その理論的・実験的基礎を確立する段階にある。研究開発課題を以下に挙げる。

- ・ 強相関デバイス、マルチフェロイックデバイスの学理の構築
- ・ 状態変数の制御方法の確立

(3) 単電子デバイス

単電子デバイスには、FET（電界効果トランジスタ）の1種である単電子トランジスタと、ソース・ドレイン間で電子1個だけを操作する単電子転送・操作デバイスとがある。単電子デバイスを使った論理素子の特徴は、デバイスの容量が非常に小さいことにある。そのため微細化・集積化への可能性を持っているが、単電子島の寸法を制御しなければいけないので、課題は多い。研究開発課題を以下に挙げる。

- ・ 単電子トランジスタによる素子数低減回路技術の開発
- ・ 単電子トランジスタの動作温度向上
- ・ 高速かつ高精度に電子1個を制御するデバイスの開発

(4) 原子スイッチ

原子スイッチは、金属イオンの拡散と酸化・還元反応による、フィラメント（伝導パス）の形成・消滅を利用したスイッチで、ギャップ型原子スイッチと接合型原子スイッチに大別される。配線層上にスイッチを積層できるという特長があり、3次元集積デバイス、不揮発性論理回路、脳型コンピュータ等、新しいアーキテクチャによるデバイスを実現できる可能性がある。また、プログラマブル論理素子、透明ディスプレイ等、既存デバイスの高性能化にも適用できる。研究開発課題を以下に挙げる。

- ・ 原子スイッチ単体の機能開発と集積化技術開発
- ・ 回路制御技術、デバイスアーキテクチャの開発

(5) 分子デバイス

分子に意図した機能を付加することにより、分子1個で回路としての機能を発現

できる可能性がある。有機分子のエレクトロニクス応用は、光伝導性や有機発光素子などで実用化され始めているが、これらは薄膜としての応用であり、1分子固有の特性を直接利用するという段階にはなっていない。従って、真に優れた導電性、特異なスイッチングや記憶機能を有する単一分子の合成法を開拓する必要がある。研究開発課題を以下に挙げる。

- ・ 単一分子の状態制御、およびその電子・光機能計測を可能とするナノ計測・制御技術の開発
- ・ 室温動作単一分子トランジスタ、分子ロジック回路および分子集積CPUの開発
- ・ 将来の分子コンピュータ構築に関するアーキテクチャの検討

(6) 量子情報処理デバイス

量子情報処理デバイスはこれまでも様々な研究が行われてきているが、例えば量子コンピュータの実現にはまだまだ時間がかかると予想されている。一方、ナノ構造における量子効果の研究は、これまでは10 nm級の半導体超薄膜構造を中心舞台として大きく発展し、各種のデバイス利用の道が開かれてきた。最近では、各種の量子ドットや細線やナノチューブ構造のような構造や、磁性元素を含む新素材などにも、探索の対象が拡大しつつある。これらの新ナノ構造や新ナノ素材では、より多くの現象と機能が現れて来つつある。これらは必ずしも量子情報処理デバイス実現に直接結びつくものではないが、技術上のブレークスルーを試行錯誤的に探索すべきである。研究開発課題を以下に挙げる。

- ・ 量子ドット系を含む各種の固体量子ビットデバイスの研究
- ・ 相関電子デバイス・相関光子デバイスにおける量子もつれ状態の研究
- ・ 量子細線系構造等による新原理デバイスの探索

(7) 新原理ナノ記憶素子

新原理記憶素子技術を差異化する重要な特性の一つは、電源オフ時にデータを保持できるかどうかである。不揮発性メモリは、その点で実用上本質的かつ絶対的な優位性を有する。新原理記憶素子の候補としては、スピンを利用したスピン・トランスファー・トルクメモリ（STTメモリ）、新規分子メモリ（単分子、高分子）、抵抗変化型メモリ、ヒューズ／アンチヒューズメモリ、イオン移動メモリ、原子スイッチメモリ、モット転移メモリ、強誘電体バリア効果メモリなどがある。研究開発課題を以下に挙げる。

- ・ 新原理記憶素子のスイッチングメカニズムの詳細な理解
- ・ スケーリング限界の律速要因の明確化
- ・ スピードの限界とその律速要因の明確化
- ・ エネルギー散逸メカニズムの解明と限界の明確化

3.2 ナノエレクトロニクスデバイスのための新材料探索とデバイス適用可能性の実証

新原理・新構造デバイスの実現には、それに用いる材料探索が極めて重要である。3.1で述べた新原理・新構造デバイスあるいは用いる新状態変数に対応して、それぞれ新材料の探索が必要であり、さらにそれらの新材料のデバイス適用可能性を見極める必要がある。

(1) 低次元材料

バルク材料に対して、構造を低次元化することにより、物性に異方性を付与したり、バンド構造を変化させたりすることができる。つまり、構造の次元性の制御で、新機能の発現を実現できる。このような構造の低次元化は、CMOSのように電荷を状態変数とするデバイスにおいてもその効果を発揮するが、スピンデバイスや分子デバイス等3.1で挙げたデバイスにも適用可能な技術である。

低次元材料の代表的なものは、ナノ微粒子（ゼロ次元）、フラーレン（ゼロ次元）、カーボンナノチューブ：CNT（一次元）、グラフェン（二次元）などである。

ゼロ次元材料である金属ナノ微粒子は、将来のパッケージング技術や低温配線技術の有力な解決策を提供すると期待される。研究開発課題を以下に挙げる。

- ・ スケーラビリティ
- ・ 電流密度耐性の詳細な理解

一次元材料の代表であるCNTは既に多くの可能性が示されているが、最も有望な応用は、高電流密度耐性、高熱伝導性、高機械強度性を利用したデバイスの配線やビア埋め込みなどの情報伝達機能への適用である。またバリスティック伝導性を利用した高速論理素子も有望な応用である。研究開発課題を以下に挙げる。

- ・ CNTのエピタキシャル成長と成長制御
- ・ 半導体バンドギャップの精密な制御（寸法制御、カイラリティ制御）

(2) グラフェン

低次元材料の一つであるグラフェンは数多くの利点を持った材料であり、今後のナノエレクトロニクス材料として様々な展開の可能性を持つ。主な特徴は、高速・バリスティックトランジスタが実現できる高移動度、配線材料への適用が期待される高電流密度、高い熱伝導度、長いスピン緩和長などであり、さらにカーボンナノチューブ（CNT）に比べて加工が容易であり、強いナノスケール効果とエッジ効果を持つことから、様々な機能を発現できる。研究開発課題を以下に挙げる。

- ・ 高品質、大面積、均質な単層グラフェン膜作製技術の開発（エピタキシャル成長技術を含む）
- ・ エッジおよび界面の制御技術
- ・ エネルギーバンドギャップの形成と制御

(3) 機能性高分子材料

機能性高分子材料は、特徴的な分子構造や反応性のある基を持つことで、特別な機能を有する高分子化合物である。将来の分子メモリや分子ロジック素子に適用される可能性に加えて、ナノエレクトロニクス素子作製に不可欠な超微細リソグラフィプロセスやエッチングプロセスへの適用可能性も高い極めて重要な材料であり、さらに低誘電率層間材料、パッケージ材料としても期待されている。研究開発課題を以下に挙げる。

- ・ 他の材料との良好な密着性、高い耐久性、水分の吸着と拡散の抑制、強い機械的特性を実現するための界面制御技術の確立
- ・ より低エネルギーの電子でスイッチングを可能とする外部電極とのコンタクト形成技術、およびその実現のための原子レベルのコンタクトに対する理解
- ・ 機能性分子の構造と複雑な状況の中で発揮される材料機能の相関を明らかにするモデルの構築

(4) スピン機能材料

スピン機能材料は、電子が持つ電荷に加えて、スピンの有する機能・自由度を素子の記憶や演算に用いる材料である。スピン機能材料は数多く知られているが、主なものとしては、金属強磁性体、ハーフメタル、マルチフェロイック材料、希薄磁性半導体がある。研究開発課題を以下に挙げる。

- ・ 金属強磁性体の界面の安定性、ショットキー障壁の制御導電型とキャリア濃度の制御
- ・ ハーフメタルの再現性ある材料作製方法、半導体材料と整合性良い材料の開発、界面の制御技術の開発
- ・ 室温動作可能なマルチフェロイック材料の開発
- ・ 希薄磁性半導体のキュリー温度 (T_c) 向上 (室温以上)
- ・ 低消費電力でスピン流を発生させることが可能なスピン流材料の開発
- ・ 長いスピン緩和時間を持つ半導体材料の開発、効率的なスピン注入を可能にする材料特性と界面の形成技術

(5) 酸化物エレクトロニクス材料

酸化物材料は、既に透明導電膜、透明トランジスタ、光触媒、高温超伝導材料等でも開発が進められており、様々なデバイスへの応用可能性がある。酸化物のなかでも遷移金属酸化物をはじめとする強相関酸化物は、新状態変数（スピン、スピンのカイラリティ、軌道、結晶格子の相状態など）を用いた新デバイス材料として期待され、多くの新材料が探索されている。研究開発課題を以下に挙げる。

- ・ ノイズ耐性の高い新状態変数、材料の探索とその理論的解明
- ・ 新状態変数を有する薄膜材料の製作手法（温度、圧力等）の確立

(6) メタマテリアル

メタマテリアルは、物質の誘電率と透磁率の両方を制御し、異種材料の複合化による通常のコンポジット材料の限界を超えて、新しい機能、物性を発現するように設計された物質である。現時点では、メタマテリアルをエレクトロニクス材料として利用する研究開発はほとんど行われていない。しかし材料設計の自由度拡大という観点からは、視野に入れておく必要がある。誘電率、透磁率の両者の制御により、新しい機能のデバイスを実現できる可能性がある。研究開発課題を以下に挙げる。

- ・ メタマテリアルのエレクトロニクスデバイスへの適用可能性の検討
- ・ ボトムアップ手法等、作製方法の開発
- ・ 低損失化のための設計手法確立と、材料探索

提案の内容

研究投資する意義

具体的な研究開発課題

研究開発の推進方法

科学技術上の効果

社会・経済的效果

時間軸に関する考察

検討の経緯

研究開発課題の詳細

国内外の状況

用語説明

4. 研究開発の推進方法

本提案の効率的な推進のためには、研究開発拠点の設置、産学独の連携研究、国際化方策、人材育成をも研究開発成果とみなす観点、さらには、NOE（Network of Excellence）の形成が必要である。これらは極めて重要であり、本提案の本質的要素とも言える。

(1) 研究開発拠点

ナノエレクトロニクス基盤技術の研究開発には、材料試作設備、物性評価装置、プロセス装置など、高度に管理される設備装置群が必要である。そのようなインフラを研究機関ごとに整備し運営するのは、研究資金効率上も、取得データ共有などの観点からも得策とは言えない。欧米においてこの分野の研究開発の中心となっている幾つかのグローバル研究拠点（10.参照）を参考に、我が国の状況に適合した研究開発拠点を設置し、そこに多くの研究者が拠点到集結して研究開発の推進を図ることが必要と考えられる。

(2) 産学独連携

本研究開発の成果は原理的な提案レベルにとどまることなく、効率良く実社会で使われるようになることが重要である。そのためには例えば産業界のファシリティーを使用して基本動作を確認するといった産学独連携関係が築かれることが望ましい。あるいは、前項の研究開発拠点到産学独が結集して幅広いシーズについて研究開発を進め、研究開発の進捗段階に応じて産学独の参画の程度やテーマが変化していくような、シームレスな研究開発体制をも検討すべきである。また、創出される知財については、将来の産業界での実施を念頭に、国際競争力強化の視点に立った権利の確立や標準化を図るべきである。

(3) 国際化

本提案のような将来に向けたシーズ探索型研究開発によって、独創的、画期的な将来技術の種を生み出すためには、国外からも世界トップレベルの研究者や意欲的な学生が参画できるような推進体制が必須である。そのためには、公用語を英語にするというような研究開発拠点内での国際化方策にとどまらず、例えば、研究者の子弟のためのインターナショナルスクールの確保のように、従来我が国で欠けていた研究拠点到外の社会インフラ面での整備が特に必要であることを強調したい。

(4) 人材育成

長期的観点からみた我が国のナノエレクトロニクス分野の最大の問題は、将来を担う人材の不足である。本プログラムでは、単に技術開発成果のみを求めるのではなく、人材の育成も重要な成果であるといった観点で研究開発を推進すべきである。研究開発拠点到を活用した産学の融合研究は、人材育成の観点からも有効である。上

記のように国際的にもオープンで魅力的な研究開発拠点が設置されれば、大学との連携を生かした学生への研究の場の提供やポストクの雇用等を通じて有能な人材をこの分野に誘引することになり、さらにはそのキャリアを活かした産業界への人材移動も促進される。

エレクトロニクスデバイスにおける微細化、集積化、低消費電力化の限界の突破／回避は現状技術の延長では解決困難な課題であり、新原理、新構造、新材料の探索と、それらを用いたデバイスの研究開発に対する長期にわたる取り組みが必要である。

そのためには、複数の府省による、関連する現行プログラムあるいは計画中のプロジェクトとの融合によって個別COE（Center of Excellence）をNetwork化したNOE（Network of Excellence）として、真の国際競争力のある研究開発拠点の形成を図ることが極めて重要である。省間の制度的な隘路の除去等、実質的な府省連携の加速推進により、国としての投資効率を上げる運営が不可欠である。

提案の内容

研究投資する意義

具体的な研究開発課題

研究開発の推進方法

科学技術上の効果

社会・経済的效果

時間軸に関する考察

検討の経緯

研究開発課題の詳細

国内外の状況

用語説明

5. 科学技術上の効果

ナノエレクトロニクス基盤技術の創成による科学技術上の効果として、以下の4点が挙げられる。

(1) 新情報処理デバイスの研究フロンティアの創出

現在のCMOS動作原理とは異なる、新しい動作原理を用いた新デバイスとその集積回路は、超低消費電力、大容量、超高速、高信頼、低環境負荷などの特徴のどれか、または複数の特徴を併せ持ったシステムの実現に寄与すると予想され、これに基づいた革新的なIT製品が創出されることが期待される。新しいデバイス動作原理の中には、物理がまだ明らかになっていない現象も含まれており、今後の研究の進展により、学問体系化に必要な理論的・実験的な基礎科学の研究フロンティア創出が予想され、現に一部の分野では急速な発展がみられる。さらに、これらの新しい分野を支える基盤技術として、材料創製技術、加工プロセス技術、デバイス設計・製造技術、集積回路設計・製造技術、システム化技術を含む研究フロンティアが創出される。

(2) 情報処理デバイス選択のパラダイムシフト

情報処理デバイスは、従来、電子に基づく動作原理による電子デバイスが主流であったが、電荷によらないデバイスの登場により、異なる動作原理に基づくデバイスの選択肢を獲得できる。これらの新動作原理に基づくデバイスは、超低消費電力や高速性等の特徴を有するのみならず、既存デバイスとは異なる性能ポートフォリオが期待されており、今後益々幅広い設計バリエーションが要求されるIT機器の設計において、これらデバイスから、個々の要求に応じた最適なものを選択することで、設計の自由度が大きく向上する。更に、幾つかの動作原理に基づくデバイスで構成された融合デバイスの実現により、デバイス選択肢はより多様なものとなる。

(3) 材料技術、プロセス技術、デバイス技術、回路技術の他の動作原理デバイスへの応用

本提案の実施過程で創出される新しい材料創製技術、加工プロセス技術、デバイス設計・製造技術、集積回路設計・製造技術は、従来のCMOSデバイスも含めた広範囲なデバイス開発に应用的に適用することが可能な基盤技術であり、エレクトロニクス分野に大きなブレークスルーを引き起こす起爆剤となることが期待される。これら技術は広大な分野を擁し、各分野の技術開発における成果が、隣接分野のブレークスルーをもたらすなど、研究開発の爆発的なシナジー効果が期待される。さらに、本提案プログラムにより、大学や研究機関などの各研究組織間の連携が強化されることが期待される。

(4) 基本特許を含めた知的財産権の確保

この分野への早期着手により、新情報処理デバイスの基本特許を獲得できれば、世界の新情報デバイス分野の開発レースの主導権を握ることにつながる。デバイスに関する基本特許は、システム・アプリケーションレベルの標準化（デファクト化）戦略と連携的に実施することにより、さらに強力な国際競争力に結びつくことが期待される。パソコンのみがICTの発展を牽引した時代は終わりを迎えつつあり、今後はIT機器もより小型化・シームレス化し、ユーザの志向に合わせて変化する柔軟性が求められることが予想されるため、これまで市場の覇権を取った既存技術も変化を余儀なくされる。このような状況のなかで、基本OSやアプリケーション、そしてそれを支える集積回路技術の革新が競争力に転化するチャンスは十分期待できる。

提案の内容

研究投資する意義

具体的な研究開発課題

研究開発の推進方法

科学技術上の効果

社会・経済的效果

時間軸に関する考察

検討の経緯

研究開発課題の詳細

国内外の状況

用語説明

6. 社会・経済的效果

本戦略プログラムへの投資による社会・経済的效果として、以下の3つが挙げられる。

(1) 将来の半導体市場における日本の地位確保

「2. 研究投資する意義」でも述べたように、半導体技術は広い産業分野を支えるキーテクノロジーであり、その経済波及効果は莫大であるが、CPUなどのアーキテクチャでは欧米に先行され、メモリなどの製造ではアジア諸国から厳しく追い上げられている。現在までの日本の半導体産業はムーアの法則に沿った微細化、集積化が進められているシリコンCMOS技術により支えられている。しかしこの技術の限界も議論されており、いつその限界がやってくるのかが、大きな議論となっている。その時期は10～15年後というのが大方の意見である。このようなことから、シリコンCMOSの延長では対応できない「次世代エレクトロニクス（Beyond CMOS）への壁」を突破できた国こそが、10～20年後のエレクトロニクスの主導権を握ると考えられ、本提案はこの主導権争いに打ち勝つための布石である。

2008年の世界の半導体市場規模は2,619億ドル（27兆8千7百億円）、対前年62.9億ドル増となり、2008年は年後半の世界的な金融危機の世界経済への影響のため+2.5 %と伸長が鈍化しているものの、2007年に達成した過去最大の市場規模を更に続伸すると予測されている。このような調査結果から、今後地球規模で経済活動が低迷しない限り、国単位での地域的な勃興はあるものの、世界単位での半導体市場は堅調に推移すると考えられる。

したがって、『次世代エレクトロニクス』が現実的な物になるであろう10～20年後にも、日本が世界の半導体産業において現在と同様に重要な位置を占めるためには、これから長期にわたる国としての取り組みが不可欠であり、本提案の成果により、日本の継続的な地位の確保が可能となる。

（参考文献）

- 1) 2008年秋季半導体市場予測の結果（WSTS）
- 2) 平成17年度超微細技術開発産業発掘戦略調査報告書（経済産業省）

(2) 省エネルギー

IT機器の増加による電力需要の大幅な増大が予想されており、もし仮にIT機器が今後も現在のCMOS技術を用いて作り続けられるとすると、IT機器数の大幅な増大につれて、電力消費量が2025年では2006年の5.2倍となり、総電力需要の20 %を占めると予想され、その対策が求められている。本提案での成果になると期待される新状態変数を用いたデバイスのひとつの狙いは、電荷を状態変数に用いたデバイスでの低消費電力原理限界を突破することにあり、電力消費量の抑制を牽引する。したがって本提案は省エネに対しても大きな効果をもたらすことが期待さ

れる。

(3) 人材育成

エレクトロニクス分野の優秀な人材の不足が指摘されているが、本提案による異分野融合の促進は、単純にポストクの雇用機会を創出するだけでなく、拠点における産学独融合研究に参画することで、異分野の理解、研究開発マネジメントに対する理解を高め、大学や独立行政法人の研究機関だけでなく企業への就職を含めたキャリアパスの増加が期待できる。ひいては産学独の研究人材の流動が円滑になることが期待できる。

提案の内容

研究投資する意義

具体的な研究開発課題

研究開発の推進方法

科学技術上の効果

社会・経済的效果

時間軸に関する考察

検討の経緯

研究開発課題の詳細

国内外の状況

用語説明

7. 時間軸に関する考察

物理的にも経済的にもシリコンデバイスの微細化の限界が見えてきた現状を踏まえて、欧米を中心に海外でナノエレクトロニクス研究開発拠点構築の動きが急速に活発化している（「10. 国内外の状況」参照）。日本でも経済産業省と文部科学省連携のもと、つくばにおける産学独連携のナノエレクトロニクス研究開発拠点の整備が開始されており、そこでどのような研究開発テーマを選択するか、どのような研究開発体制を構築するかは喫緊の課題である。

以上を鑑みると、本提案プログラムの研究開始時期は2010年度とすることが期待される。研究期間については、20年後の産業化を目指すナノエレクトロニクスの基盤技術の確立に向けて、実用化時期の観点から、短期（5年から10年先の実用化）、中期（10年から15年先の実用化）、長期（15年以上先の実用化）の3段階が考えられる。つまり5年を単位として、最長15年程度のプロジェクト期間が必要になる。具体的には5年プロジェクトとして開始し、課題の困難性、長期研究の必要性を考慮して、5年間でしかるべき成果が出て、さらに継続することが必要と判断されれば、さらに3年あるいは5年の更新延長を可能とする方法をとるのが良い。実施期間中のマイルストーンによる評価は必須とする。同一テーマでも、研究の進捗に応じてプレーヤあるいはプレーヤ構成を変える。

課題の性質上、開始時点では幅広いテーマで始めることが望ましい。テーマにより必要な研究開発期間が異なる（例えば後述の表9.2-1参照）ので、それも考慮して継続必要性を判断し、内外の状況を見ながら、少しずつ内容を絞っていくことが必要である。

8. 検討の経緯

本提案に至るまでのJST研究開発戦略センター（CRDS）における関連検討会、ワークショップとして、「ナノ・電子情報材料戦略」検討会（2006年8月）、「ナノテクノロジー・材料分野」俯瞰ワークショップ（2006年12月）、「物質・材料分野」俯瞰ワークショップ（2008年7月）、科学技術未来戦略ワークショップ「次世代を拓くナノエレクトロニクス～2030年の先を求めて～」(2009年3月)がある。

2006年8月にCRDSで開催した「ナノ・電子情報材料戦略」検討会において、①超高速・超微細・超集積化デバイス、②新概念・量子構造デバイス、③新材料系機能 の分野における研究開発の俯瞰と重要研究課題について議論が行われ、ナノ融合ファクトリー、大学の活用、研究開発拠点などについても議論が行われた。この検討会で、材料研究を高度に融合しBeyond CMOSデバイス材料への道筋をつける戦略目標が今後取り組むべき重要課題であることが提言された。

2006年12月に開催した「ナノテクノロジー・材料分野」俯瞰ワークショップでは、ナノエレクトロニクス領域の課題として、喫緊には低消費電力化、将来にかけては、高速化のみならず、スピン、量子などのナノエレのコンピュータ実現等が挙げられた。このワークショップで、日本が国際的に遅れを取り戻すために、①融合拠点・共用施設の重点構築、②異分野融合・垂直技術融合の推進加速、③俯瞰的視野を持つ人材育成・境域システム構築、が重要と指摘された。

2008年7月に開催した「物質・材料分野」俯瞰ワークショップでは、「ナノテク・材料分野」への継続的投資の重要性があらためて確認された。ナノエレクトロニクス関連では、今後重点投資すべき重要領域／課題として、「新状態変数エレクトロニクス」、「カーボンベース・ナノエレクトロニクス」、「インテグレート・ナノカーボンデバイス」、「スピントロニクス材料」、「スピン流デバイス」、「マテリアルインフォマティクス」、「高機能分子の設計・探索戦略の確立」などが挙げられた。また、このワークショップの半導体材料分科会において、時間軸・難易度と技術インパクトを軸に重要領域を整理し、それぞれの重要課題を議論した。難易度が高く技術インパクトも大きいハイリスク・ハイインパクトの重要課題として、新原理・新材料情報処理デバイスでは、利得をもつスピントランジスタ、原子スイッチ・欠陥制御スイッチ、室温強磁性半導体等が挙げられた。

2009年3月に開催した科学技術未来戦略ワークショップ「次世代を拓くナノエレクトロニクス～2030年の先を求めて～」では、次世代に向けて我が国が推進すべきナノエレクトロニクス戦略について、「微細化・集積化・低消費電力化の限界を突破できる技術の可能性」、「新材料・新アーキテクチャによるエレクトロニクスデバイスの課題」、「エレクトロニクスの潮流を変える新しい技術の芽」、「次世代エレクトロニクス分野で世界に勝つための戦略」を議論した。このWSの事前アンケートおよび当日の議論で、微細化・集積化・低消費電力化の限界を突破／回避できる新原理、新材料、新アーキテクチャの候補と重要課題について様々なものが挙

げられた。WSでは情報記憶・処理・伝送デバイスのうち、情報処理（論理デバイス）を中心としたプログラム構成とし、深掘りの議論を行った。また、このWSでは研究推進体制、人材育成、研究開発拠点に関する以下のような議論が行われた。

- ・ 異分野技術や異種材料技術の融合的なデバイス化研究が可能な共同利用施設
- ・ 国際的ノウハウの集約拠点、人材育成の拠点
- ・ 幅広い分野の研究者からの貢献、意見交換を推進する場、また、基礎研究から応用技術開発までの垂直統合を可能として、迅速な原理実証を可能とする場が必要

本提案は、これらの検討会、ワークショップでの議論を踏まえ、その後の検討によりまとめたものである。

参考文献

- 1) 「ナノ・電子情報材料戦略」検討会報告書, CRDS-FY2006-WR-13(2007)
<http://crds.jst.go.jp/output/pdf/06wr13.pdf>
- 2) 「ナノテクノロジー・材料分野」俯瞰ワークショップ報告書,
CRDS-FY2007-WR-07(2007)
<http://crds.jst.go.jp/output/pdf/07wr07.pdf>
- 3) 「物質・材料分野」俯瞰ワークショップ——ナノテクの成果・融合の効果・今後の課題—— 報告書, CRDS-FY2008-WR-05(2008)
- 4) 科学技術未来戦略ワークショップ「次世代を拓くナノエレクトロニクス～2030年の先を求めて～」報告書, CRDS-FY2009-WR-02(2009)

9. 研究開発課題の詳細

9.1 高速化・大容量化・低消費電力化・高信頼化のための新原理・新構造論理素子/記憶素子の動作検証とデバイス技術構築

エレクトロニクスデバイスに求められる高速化、大容量化、低消費電力化、高信頼化を実現するために、微細化・集積化が必然の流れとなっているが、現状のCMOS技術では微細化の物理限界が見え始めており、集積化に伴う消費電力あるいは単位面積当たりの発熱量の増大は深刻な問題となりつつある。このような微細化・集積化の限界を打破あるいは回避するために、CMOSに代わる新しい動作原理のデバイスの探索が必要である。新概念動作原理のデバイスを実現できる可能性の候補として、CMOSで使われている電荷以外の新しい状態変数を用いたデバイスという切り口から、その例を表9.1-1に示した。

表9.1-1 新状態変数の例と、それを用いるデバイス

状態変数例	デバイス	特長、効果
スピン	スピントランジスタ スピンメモリ	消費電力の極限的低減 不揮発性論理回路 新アーキテクチャ
スピнкаイラリティ 電子相状態 電子軌道状態	強相関デバイス マルチフェロイックデバイス モット転移メモリ	外場に対する大きな応答 多値論理 新アーキテクチャ
単電子ビット	単電子デバイス	素子数低減 新アーキテクチャ
伝導パスフィラメント ドナー(アクセプタ)領域長	原子スイッチ、イオンメモリ メモリスタ	配線層上への集積化 脳型コンピュータ 新アーキテクチャ
分子状態(分極、スピン、 分子構造)	分子デバイス、分子メモリ	設計の自由度、低消費電力 新アーキテクチャ
量子ビット(単一光子偏光 状態、核スピン、量子ドット 中の電荷状態、超伝導磁束 ビット他)	量子コンピュータ 量子メモリ	非ブール代数論理 新アルゴリズム 新アーキテクチャ

本節では、この中から、スピン/スピン波デバイス、マルチフェロイックデバイス、単電子デバイス、原子スイッチ、分子デバイス、量子情報処理デバイスについてそれぞれの課題を述べる。これらの論理素子の他に、記憶素子については9.1.7でまとめて述べる。

9.1.1 スピン、スピン波デバイス

半導体集積回路を構成する基本素子として、電子の担う電荷を状態変数として用いる既存の電子デバイスの概念を拡張し、電子の持つスピンを新たな物理的状态変数として活用するスピndeバイsが注目を集めている。近年、磁気トンネル接合（MTJ）の飛躍的な性能向上により、磁気記憶装置（HDD）の性能が実用レベルで大幅に向上するとともに、MTJの不揮発メモリへの応用（MRAM等）の開発が活発に進められている。また、MTJ不揮発メモリを、既存のCMOSロジックと混載することにより、集積回路全体の低消費電力化、省素子化を狙った研究開発が進んでいる。MTJの基本構造と原理をMOS構造と融合・集積させることを狙ったスピントランジスタの提案などの基礎研究も活発化している状況にある。また、さらに将来を見据えた研究として、電流を伴わない（すなわち、ジュール損が発生しない）スピン流に基づく情報処理・伝送工学の理論的・実験的な模索が始まっている。

CMOSとMTJ不揮発メモリのハイブリッド構造を採用するメリットとしては、トランジスタの個数の低減化とそれにとまう消費電力の大幅な削減が期待される。今後の研究課題として、MTJの書き込み電流が大きいため、書き込み電流を流すためのトランジスタが大きくなってしまふ問題を解決する必要がある。本質的に、MRAMの高集積化にも同様の課題が存在するが、この課題解決のため、消費電力が大きな電流誘起磁場を利用する磁化反転方式ではなく、スピン注入による磁化反転方式が提案されている。このために高効率なハーフメタル材料（スピン偏極率が100 %の材料）の開発が今後の大きな課題である。CMOS構造中にスピン材料をソース・ドレイン電極として集積させるスピンMOSトランジスタの提案も行われており、現在の開発フェーズは材料およびプロセスの探索段階にあるが、将来的に更なる集積化への方向性が示唆されており注目される。

電流発生にとまう消費電力を極限的に低減できる可能性を有する情報伝送の新原理として、電流を伴わないスピン流が提案されており、現在はスピン流の基礎物理法則が調べられている原理探索段階にある。スピン流を発生させた後の伝送には電流の概念が不要なため、ジュール損が無視できるなど、スピン流による情報伝送はこれまでの電子工学とは異なる原理法則を持った体系となるはずである。スピン流の発生・伝導・制御に関する理論的・実験的知見を集積することが、現段階での中心的研究課題である。将来的な開発課題として、スピン流発生に必要な電流量、すなわち消費電力を低減する方式と材料の研究が必要であり、また、スピンの情報が短距離で失われてしまわないう、スピン流緩和が小さな材料を開発する必要がある。

研究開発課題の具体例を下記にまとめる。

- スピン、スピン流の物理原理の探索
- スピンの生成、注入、輸送、操作、検出を制御するデバイス技術の開発

9.1.2 マルチフェロイックデバイス

強相関電子系の特徴は、強誘電性、強磁性など複数の性質（マルチフェロイック）

が相互に制御可能な系である点にあり、電荷以外の新たな状態変数を用いる論理デバイスを考える際に、状態変数として取りうる物理量、及びその制御方式に多くのバリエーションを考えることが可能である。電荷以外の状態変数として、スピン、スピンのトポロジ（空間的な配置）、結晶格子（熱や歪）、電子雲の形などが可能性として考えられている。例えば、強誘電性の変位電流あるいは分極に相当するものを情報担体に使うことや、Mott絶縁体の状態と金属の状態の2つの競合した電子状態の変化によって、伝導度などを変調するようなことも可能であると考えられている。現在の研究フェーズは、これら相互作用に基づく物理現象を数多く抽出し、その理論的・実験的基礎を確立する段階にある。強相関電子系材料の一つとして、ペロブスカイト型遷移金属酸化物が挙げられる。これらの材料は、遷移金属の選び方と組成比の制御により、バンドギャップや電子状態の充満度をドラスティックに制御できる系であることが特徴である。高温超電導体や巨大磁気抵抗物質もこれらに含まれる。

応用を見据えた一つの研究課題として、状態変化の応答時間の測定が挙げられる。ナノメートル寸法への微細化可能性という観点では、これらの材料では、各原子サイトに全て電子が存在することから、原理的にはナノメートル寸法への微細化に十分耐えうる材料であると考えられているが、加工プロセスの開発は今後の重要課題である。電圧印加により抵抗値が桁で変化する抵抗変化材料が知られており、抵抗変化メモリへの適用が研究課題となっている。また、絶縁体中でスピン流を利用可能な系が、強相関酸化物結晶の中に存在する。スピン流の発生や伝播の基礎研究プラットフォームとして期待される。光相変化や熱制御に関しては、実験的な知見が先行しているが、相変化の物理の特定が研究課題である。また、室温動作の可能性という観点に関しては、原理的観点から研究方針を明らかにすることが課題といえる。

研究開発課題の具体例を下記にまとめる。

- 強相関デバイス、マルチフェロイックデバイスの学理の構築
- 状態変数の制御方法の確立

9.1.3 単電子デバイス

単電子デバイスは2種類に大別され、それぞれ動作原理と応用が異なる。単電子トランジスタ（SET）は、電界効果トランジスタ（FET）の1種で、電荷の蓄積による電流遮断（クーロンブロッケード）に伴う周期的なオン／オフ特性を有するという性質により、スイッチ、センサ等に利用されている。一方、単電子転送・操作デバイスは、単電子トランジスタとは異なり、ソース、ドレイン間に3つ程度の島をつなぎ、ゲートにあるクロック周波数を入れた、ターンスタイルというデバイスで提案されており、クーロンブロッケード状態をクロックのタイミングで制御することで、ソースとドレイン間で、電子1個だけ操作することが可能となっている。

シリコンの単電子デバイスの国内外の研究状況は、大学、国立研究所が中心となっている。日本、韓国、台湾のグループの論文が多く、ヨーロッパでは、グルノー

ブル（フランス）のグループでデバイスを低温で測定した結果についての論文が、出てきている。その他には、シリコンの量子ビットを目指し、単電子の電荷を操る技術を使う目的で、オーストラリアからも単電子トランジスタ、シリコンの単電子デバイスの報告がある。一方で、アメリカは、非常にアプリケーション志向が強く、論文発表は少ない。単電子転送・操作・検出デバイスは、単電子デバイスよりもつくるのがさらにグレードが一步上がる。日本のグループ（NTT）がシリコンで、イギリスとドイツが化合物半導体でデバイスをつくっている。イギリスとドイツは電流標準の観点から研究を進めている。

この他には、シリコンに限らず色々なナノ構造、量子ドット、カーボンナノチューブ、ドーパント原子分子における単電子現象というのは広く認知されていて、研究対象として浸透している。これらを電荷計として使って、基礎的な研究のツールとして使う例も多数見られる。

単電子デバイスを使ったロジックの特徴は、デバイスの容量が非常に小さいことにある。その容量は、単電子島の寸法で制御しなければならず、分子を使うなどボトムアップのアプローチがかなり重要である。トップダウンで行う場合は、島の寸法を精密に制御しなければならない。また、イントリンシックなデバイスの動作速度は、非常に容量が小さいために、テラヘルツオーダーだと考えられる。これは回路として動く速度でなく、1個のデバイスを見た場合に高速であるということである。単電子デバイスのデメリットは、トンネル抵抗を使うデバイスであるために、トンネル律速のコンダクタンスで、ナノワイヤFETに比べて大体1桁か2桁ぐらいコンダクタンスが下がることにある。LSIで使うためには配線を駆動しなければならず、配線でスピードが落ちてしまう。よって、単電子デバイスは、余り長い配線を使わずにコンパクトな回路を使うことで、ポテンシャルを引き出せる可能性がある。単電子デバイスの高機能性は、周期的なオン／オフ特性にあるので、例えば、これを使ってExclusive ORの論理を1デバイスで構築することが可能である。Exclusive ORは、CMOSを使用した場合、たくさんの個数が必要になる。このように、単電子デバイスの高機能性を利用して小規模な回路をつくるという使い方が、一つのゴールになる。

動作温度の高温化の例としては、C60を使って単電子トランジスタをつくった例があり、C60の比較的大きな帯電エネルギーを利用して、高温で動くスイッチができるということが知られている。分子デバイスなどボトムアップアプローチのアドバンテージは、サイズが分子で決まるということであり、今後の方向性として重要である。一方、トップダウン的に、電子線リソグラフィを使って加工した報告が東京大学から出されている。室温において単電子・単正孔のトランジスタで、非常にシャープなスイッチ特性が実現されている。

単電子転送・操作デバイスの課題は、高速に、あるいは高精度に電子1個を操るという技術と、回路応用としてのアーキテクチャ開発、エラーへの対処が挙げられる。単電子ビット回路の例としては、幾つか提案があり、電子1個をメッセージャーとして運んで論理演算をするBinary Decision Diagram法、Quantum-Dot

Cellular Automaton、電子の配置とポラリティで情報を運ぶというようなものも単電子ビットの例である。

研究開発課題の具体例を下記にまとめる。

- 単電子トランジスタによる省素子化回路技術の開発
- 単電子トランジスタの動作温度向上（微細加工プロセス技術の精度向上や構造が確定したナノ材料を導入する手法）
- 高速かつ高精度に電子 1 個を制御するデバイスの開発

9.1.4 原子スイッチ

原子スイッチとは、金属イオンの拡散と酸化・還元反応による、フィラメント（伝導パス）の形成・消滅を利用したスイッチである。原子スイッチは、ギャップ型原子スイッチと接合型原子スイッチに大別される。主な材料は、金属の硫化物（ Ag_2S , Cu_2S ）、酸化物（ Ta_2O_5 , HfO_2 , Nb_2O_5 , TiO_2 ）などのイオン伝導材料である。抵抗変化型メモリ（ReRAM）は、酸素イオンの酸化・還元反応を利用している点が異なるだけで、本質的には原子スイッチと同じ動作原理を使用している。原子スイッチとReRAMは、メモリ応用では競合するが、ロジック回路応用では相補的な関係にある。

コンピュータの高性能化をはかるためには、素子単体の高性能化（動作速度、微細化、集積度、消費電力）による性能向上という方向性と、新アーキテクチャの導入による性能向上という方向性があり、原子スイッチは、後者の方向性で、新しい機能素子への利用を想定した研究開発を目指している。例えば、CMOS配線層上に、必要な層数の原子スイッチを積層できるので、これを利用した不揮発論理回路形成、不揮発／揮発メモリ、原子トランジスタ、メモリスタ原子スイッチが挙げられる。原子トランジスタでは、移動荷電粒子は金属イオンのみで、電子の移動を必要としないスイッチングを実現できるので、消費電力を単電子トランジスタレベルに抑えられる可能性がある。

さらに、メモリ＝学習機能と捉えて、原子スイッチを脳型コンピュータへ応用する方向性も考えられる。脳型コンピュータは、脳の特徴をソフトウェアで実現するタイプと、脳の特徴をハードウェアで実現するタイプに大別される。原子スイッチは後者に適用できる可能性がある。例えば、ランダムに配置された微細電極間を、フィラメントで結合し、原子スイッチの動作を利用して脳内の学習メカニズムを再現する方法が考えられる。

一方で、原子スイッチは、視覚センサや嗅覚センサとして使用することも可能である。実際、原子スイッチのイオン伝導体材料部に光伝導性分子を使用することで、光を感知する原子スイッチ、つまり、光センサとしての動作を確認している。波長選択性を持った光伝導性分子を使用すれば、視覚センサを構成することが可能になると考える。また、光伝導性分子の代わりに、特定の物質（分子）と反応する反応性の分子を用いれば、嗅覚センサを形成することも可能である。この嗅覚センサは、原子スイッチを使用することで、微弱な電流で動作し、1分子のレベルから高感度

に検出できることを特徴とする。

以下に具体的な研究開発課題例を示す。

- 原子スイッチの新しいアーキテクチャ開発：非シリコン材料による3次元集積化、不揮発性論理回路、メモリ（学習）機能を用いた脳型コンピュータ、センサ機能を用いたユビキタスコンピューティングや全光ロジック回路
- 原子スイッチを利用した既存デバイスの高性能化：プログラマブルロジックデバイス、メモリの高集積化、光入出力端子、透明ディスプレイ、原子トランジスタによる低消費電力化

9.1.5 分子デバイス

分子に意図した機能を付加することにより、分子1個で回路としての機能を発現できる可能性がある。優れた導電性、スイッチングやメモリ機能を有する単一分子の合成法を開発し、新しい情報処理システムで使用される新デバイス開発を目指す。

有機分子のエレクトロニクス応用は、光伝導性や有機発光素子などで実用化され始めているが、これらは薄膜としての応用であり、1分子固有の特性を直接利用するという段階にはなっていない。従って、真に優れた導電性、特異なスイッチングやメモリ機能を有する単一分子の合成法を開拓する必要がある。単一分子デバイス実現には、(A) 導電性、半導体性、絶縁性、およびスイッチングやメモリ機能などを有し、かつナノリソグラフィに適したサイズ/形状を有した新規分子の合成、(B) それら個々分子の機能を論理的に組み合わせ、目的とするデバイス機能発現を可能とする高度なナノレベルでの集積化技術、(C) 観測による特性変化の影響を最小限度に抑えつつ、単一分子や集積化した分子集合体の機能、形状を高感度計測するナノスケール分子評価・制御技術、以上の三つが相伴って発展していくことが必要となる。

具体的な研究課題としては、用途の観点から、「超小型、超軽量なナノスケール分子デバイスの開発」と「超高密度分子メモリの開発」に大別できる。前者では、ナノリソグラフィにより作製された電極群に高度に集積化した単一分子、又は少数分子群によって、論理演算を可能とする分子ロジックデバイスを開発する。現在のSiデバイスに比較して回路密度が10,000倍以上の分子デバイスの開発を目標とする。そのプロトタイプ開発の目標達成時期は15～20年、実用化に更に5～10年を目安とする。後者では、単一分子において、分子分極、コンフォメーション、スピンなどを情報記憶単位として用い、その高度集積化により超高密度な記憶素子を創成する。目標達成時期は8～13年、実用化に更に5～10年を目安とする。目標達成により超小型、超軽量の記憶素子が可能となり、現在の携帯電話の記憶素子部に国立図書館分の情報が記憶され、情報交換可能となる。

これらの研究の具体的課題例を示す。

- 分子と親和性を有する微細加工法の開発
- 単一分子の状態制御、およびその電子・光機能計測を可能とするナノ計測・制御技術の開発

- ・ 単一・少数分子系の電極を含む電子状態・伝導の理論的解析・シミュレーション
- ・ 電界・コンフォメーション・光等による伝導スイッチング素子、共鳴トンネル電子デバイス等の新規分子電子デバイスの開発
- ・ 室温動作単一分子トランジスタ、分子ロジック回路および分子集積CPUの製作
- ・ 将来の分子コンピュータ構築に関するアーキテクチャの検討

なお、やや将来的な関連課題として、次のような「バイオ分子デバイス」がある。

・ DNAエレクトロニクスデバイスの開発

塩基対、分子サイズと電導性の相関関係を実験的、理論的に明確にし、DNA単一分子の量子物性を確立するとともに、その結果を利用してDNAの電導性をナノスケールで制御することによる、生体に近い情報処理能を持つ分子デバイスの創製。また、塩基対への磁性粒子あるいは磁性分子の付加による、ナノスケールのメモリデバイスの開発。

・ ナノバイオ分子とシリコン素子が融合したデバイス

既存の電子デバイスとバイオ分子をナノスケールで複合化し、複合化によって初めて発現する機能を有する新原理デバイスの開発。

本分野は化学・物理・電子工学・ナノ工学・生物学等多分野の研究者がその専門性の融合により、また産学の協同によりその進展が始めて可能となる分野である。次世代の革新デバイス創成に対する社会的要請も強く、実際本研究の内容は次世代の産業創成へ寄与するところも大きい。この分野への取り組みが世界各地で開始されている状況もあり、早急にしかも強力に本分野の研究推進を計るべきである。

9.1.6 量子情報処理デバイス

種々の量子力学的な効果を制御・活用すると、優れた情報処理能力を持つ量子的な情報処理に不可欠な素子を生み出せる可能性がある。本研究では、こうした可能性を明らかにするために、その動作原理の探索解明と技術的課題の解決策を探り、新しいデバイス群の実現を目指す。

ナノ構造における量子効果の研究は、これまでは10 nm級の半導体超薄膜構造を中心舞台として大きく発展し、各種のデバイス利用の道が開かれてきた。最近では、各種の量子ドットや細線やナノチューブ構造のような構造や、磁性元素を含む新素材などにも、探索の対象が拡大しつつある。これらの新ナノ構造や新ナノ素材では、より多くの現象と機能が現れて来つつある。しかし、新しいデバイスの実現のためには、技術上のブレークスルーが要求され、10年余りの試行錯誤的な探索が必要と予想される。

本研究では、以下の諸現象や諸構造を中心に探索的な研究を進め、量子的な情報処理の可能性を開く技術の開発を目指す。

本研究の具体的課題例：

- 量子ドット系を含む各種の固体量子ビットデバイス
- 相関電子デバイス・相関光子デバイスにおける量子もつれ状態
- 量子細線系構造等による新原理デバイスの探索

9.1.7 新原理ナノ記憶素子

新原理記憶素子技術を差異化する重要な特性の一つは、電源オフ時にデータを保持できるかどうかである。不揮発性メモリ（NVM: Non-Volatile Memory）は、その点で実用上本質的かつ絶対的な優位性を有する。NVMは大別して容量変化型と抵抗変化型に分類される。容量変化型は、MOSゲート容量の変化によりFETの閾値電圧 V_{th} の値を変化させるタイプで、ゲート酸化膜に強誘電体材料を用いるFeFET-RAMに代表される。FeFETはMOSFETとしてのスケーラビリティを持つが、抗電界の膜厚依存性から考えると、スケーリングは22 nm程度が限界であると思われる。抵抗変化型メモリは、素子の抵抗変化を利用したメモリで、現在はこちらが研究の主流となっている。

抵抗変化型メモリは多くの種類が提案されているが、動作原理に基づく、ナノ電気機械式メモリ（NEMN: Nano-Electro Mechanical Memory）系と金属・絶縁膜・金属（MIM）系に分類できる。

NEMNは双安定な極微小の電氣的機械的スイッチから成るが、高集積メモリアレイの作製や特性制御の困難さに大きな課題がある。

導電性パスの形成と分解を利用したメモリには、ジュール熱によるヒューズ／アンチヒューズメモリ、イオン移動によるイオンメモリ、酸化還元による原子スイッチ・電気化学メモリなどがある。ヒューズ／アンチヒューズメモリの課題はスイッチングパラメータのばらつきが大きいことであり、イオン移動メモリの課題は、各種現象のメカニズム解明であり、原子スイッチメモリの課題は、高集積化・低消費電力化の実証である。

分子メモリは、分子構造変化や分子中の金属成分の拡散を利用したメモリであり、様々な提案があるが、分子における伝導スイッチングメカニズムが解明されていない場合が多く、今後の大きな課題である。

モット転移メモリでは、電荷注入は強相関電子から弱相関電子への転移を誘起し、その結果、金属と絶縁体の相転移を引き起こす。このメモリの課題は、電荷密度、歪、結晶の乱れなどの小さなパラメータ変化に対する相関電子の応答感度であり、材料と界面の精密な制御技術の確立が重要となる。

強誘電体バリア効果メモリは、誘電分極によるバリア高さの変調を利用するものであり、これにより強誘電性の抵抗スイッチングが生じる。課題は、スイッチング現象の原因が強誘電的なものであることの証明である。

以上見てきたように、新原理記憶素子の提案の多くは不揮発性メモリの機能を有する。最近では、2層グラフェンを使った抵抗変化型メモリや、ロジックと不揮発性メモリのトランジスタレベルでの融合であるSpin MOSFET、ロジックとメモ

りの融合（fusion）を狙った、Collective Spin Devicesなど、今後は、記憶素子と論理素子を分ける意味がなくなってくる可能性もあり、さらに、2種類のメモリを構造的に合体したUnified memory（MONOS + DRAM）なども提案されている。記憶素子もMore MooreからMore than Mooreへ変遷していると考えられる。

9.2 ナノエレクトロニクスデバイスのための新材料探索とデバイス適用可能性の実証

新原理・新構造デバイスの実現には、それに用いる材料探索が極めて重要である。表9.2-1にナノエレクトロニクス材料とメモリデバイス、論理デバイス、配線への適用可能性をまとめた。この表では、「7. 時間軸に関する考察」のため、予想される研究開発期間を3段階で示してある。本節では材料の視点から、ここに示した低次元材料、グラフェン、機能性高分子、スピン機能材料、酸化物エレクトロニクス材料について、それぞれの課題を述べる。また、表9.2-1以外にナノエレクトロニクス材料として可能性のある材料として、フォトンクス分野で注目されているメタマテリアルも取り上げた。

表9.2-1 ナノエレクトロニクス材料とデバイス適用可能性

	メモリデバイス	論理デバイス	配線
低次元材料 （グラフェンを含む）	ナノメカニカルメモリ CNT単電子メモリ ナノ構造フローティングゲートメモリ	半導体ナノワイヤFET CNTFET グラフェンFET グラフェンリボンFET 共鳴トンネル論理素子	CNT配線（含ビア） グラフェン配線 金属ナノワイヤ
機能性高分子材料	高分子メモリ	高分子論理素子	超低誘電率絶縁膜
スピン機能材料	スピン注入MRAM	MTJ集積CMOS スピンMOSFET スピン波デバイス	スピン流配線
酸化物エレクトロニクス材料	1 Tr FeRAM ヒューズ・アンチヒューズメモリ 抵抗変化メモリ 光相変化メモリ	強相関デバイス マルチフェロイックデバイス 原子スイッチ	

研究開発期間（予想）

短期（5年～10年）

中期（10年～15年）

長期（15年～）

9.2.1 低次元材料

一般に物質は等方的な物性しか示さないが、低次元化することにより、比較的簡単に物性に指向性、異方性を付与できる。つまり、構造の次元性の制御で、新機能の発現を実現できる。低次元材料の代表的なものは、ナノ微粒子（ゼロ次元）、フラーレン（ゼロ次元）、カーボンナノチューブ：CNT（一次元）、グラフェン（二次元）などである。またこれまでに、ゼロ次元と一次元の複合構造体である「ピーポッド」と呼ばれる構造体も発見されている。

ゼロ次元材料である金属ナノ微粒子は、高い比表面積を持っているため通常のバルク金属に比べて低温で溶融しうるが、これは将来のパッケージング技術や低温配線技術の有力な解決策を提供すると期待される。金属ナノ粒子の研究課題としては、スケーラビリティ、電流密度耐性の詳細な理解である。

一次元材料の代表であるCNTは既に多くの可能性が示されているが、最も有望な応用は、CNTが持つ高電流密度耐性、高熱伝導性、高機械強度性を利用したデバイスの配線やビア埋め込みなどの情報伝達機能への適用である。デバイス配線に用いる場合の研究開発課題は、CNTの成長制御、つまり所望の場所に正確にかつ方向を揃えて成長させる技術である。通常デバイス配線の長さはミクロンオーダーで比較的長いので、CNT配向への要求は非常に厳しい。CNTを電界中や結晶方位に沿って成長させることで、ある程度の配向性が得られるという結果も報告されている。

CNTが持つバリスティック伝導性を利用した高速論理素子も有望な応用である。CNTを高性能素子に適用する場合の具体的な研究開発課題としては、半導体バンドギャップの精密な制御、導電型（n型とp型）とキャリア濃度の制御、位置と方向の制御、接触抵抗の制御などが挙げられる。このうち、バンドギャップの制御には、CNTの直径の制御及びカイラリティ（原子配列）の制御が必要になる。通常バンドギャップはCNTの直径に反比例するため、直径の細いものが望ましい。キャリア濃度の制御には、ドーピングに関するメカニズムの理解が不可欠である。デバイスへの応用では、CNTと金属電極間の接触抵抗低減のために、ショットキー障壁の低い金属を開発するか、CNT側を高濃度にドーピングする必要がある。CNTをFETに应用する場合、以上に加えて表面、界面の課題が残っている。CNTは単位量あたりの表面積が大きい材料であるので、伝導特性は表面状態の変化に非常に敏感で、デバイスのノイズの原因になる。また、CNTの側壁は化学的に安定なはずだが、現実には表面に欠陥があり、伝導特性に影響を及ぼす。

9.2.2 グラフェン

低次元材料の一つであるグラフェンは数多くの利点を持った材料であり、今後のナノエレクトロニクス材料として様々な展開の可能性を持つ。主な特徴は、高速・バリスティックトランジスタが実現できる高移動度、配線材料への適用が期待される高電流密度、高い熱伝導度、長いスピン緩和長などであり、さらにカーボンナノチューブ（CNT）に比べて加工が容易であり、強いナノスケール効果とエッジ効

果を持つことから、様々な機能を発現できる。

一方、グラフェンの問題点は、デバイスに適した形状の形成技術、高精度かつ低温成長技術、エッジおよび界面の制御技術、グラフェン上の高誘電率膜の積層技術、ドーピングおよびキャリア濃度制御技術、コンタクト形成技術などである。さらに、グラフェンをトランジスタや他のエレクトロニクス技術へ適用する場合は、その2次元結晶の電子バンド構造へエネルギーバンドギャップを形成する必要がある。

グラフェンのバンドギャップエンジニアリングとして2種類の方法が知られている。一つは、ナノリボンを形成し、量子閉じ込め効果によってバンドギャップをつくる方法である。この方法の利点は、多少荒い加工でもバンドギャップの制御が可能であることである。もう一つの方法は、2層グラフェンを使う方法である。2層グラフェンの2つの副格子の対称性を電場によって崩すことでバンドギャップが開くことが示されている。実際、最近の実験でトップゲートとボトムゲートの間に垂直に電界をかけることにより、0.5 eV程度のバンドギャップが得られている。この方法の利点は、グラフェン自体の微細加工の必要がなく、移動度を高く保ったままギャップを作成することができる点である。

また、グラフェンは化学修飾による新規物性も期待できる。例えば異種原子分子をエッジにくっつけたり吸着させたりして化学修飾することで、新たな機能を発現できる。

現在グラフェンは所謂スコッチテープ法で作製されているが、今後デバイスへの応用を考えると、量産に耐える技術を開発する必要がある。グラフェンは基板との相互作用が大きいので、その点に注意しながら、バンドギャップの形成、ドーピング技術などを含めた高品質、大面積、均質な単層グラフェン膜作製技術の開発を行う必要がある。グラフェンの研究に関しては、大学や独法研究機関で材料からデバイス応用まで様々な研究がなされてはいるが、その裾野の広さや連携体制については欧米に遅れをとっており、研究の進め方の検討が必要な段階にきている。

9.2.3 機能性高分子材料

機能性高分子材料とは、特徴的な分子構造や反応性のある基を持つことで、特別な機能を有する高分子化合物である。本来の高分子にはない機能を付与する方法としては、水酸基、カルボキシル基、アミノ基などの1種以上の官能基を有するモノマーを共重合したり、一旦ポリマーを重合して、化学修飾により機能を付加する方法などが知られている。

機能性高分子材料は、将来の分子メモリや分子ロジック素子に適用される可能性に加えて、ナノエレクトロニクス素子作製に不可欠な超微細リソグラフィプロセスやエッチングプロセスへの適用可能性も高い極めて重要な材料であり、さらに低誘電率層間材料、パッケージ材料としても期待されている。

リソグラフィ技術における機能性高分子材料研究の課題は、液浸リソグラフィの解像度向上のための高屈折率を持つ液体とレジストの開発である。さらに波長13 nmの極端紫外光を用いる次世代EUVリソグラフィでは、この波長に対して高解像

度な、きわめて低いライン・エッジ・ラフネスを持つレジストの開発が必須となる。

低誘電率層間膜としての機能性高分子材料には、誘電率2.0以下で良好な密着性、十分な機械的強度、耐湿性を持ったものが要求される。これらの実現には、高度な機能性高分子設計が必要である。

機能性高分子材料をパッケージに適用する場合、ナノ粒子などを含むいろいろな材料との良好な密着性、高い耐久性、水分の吸着と拡散の抑制、強い機械的特性などが要求される。これらの特性改善のためには、界面の制御技術が鍵になる。

機能性分子材料をデバイスに適用する場合、有機分子系であることから、ある程度自由な設計が可能になる。また、無機半導体に比べてサイズが小さいことから、より高密度の集積化も期待される。一方、問題点としては、有機系であることから、劣化による信頼性の問題が存在する。しかし最大の問題は、特性のばらつきが大きいことであり、その主な原因は分子レベルの良好なコンタクトが実現できないこと、つまり分子末端と外部の電極とを配線することが難しいことである。機能性高分子のデバイス適用に関する具体的な研究課題としては、より低エネルギーの電子でスイッチングを可能とする外部電極とのコンタクト形成技術、その実現のための原子レベルのコンタクトに対する理解などがある。

以上の個々の課題に対して、機能性高分子材料の総合的な課題として、機能性分子の構造と複雑な状況の中で発揮される材料機能の相関を明らかにするモデルの構築の必要性を挙げることができる。

9.2.4 スピン機能材料

スピン機能材料は、電子が持つ電荷に加えて、スピンの有する機能・自由度を素子の記憶や演算に用いる材料である。すでにスピン注入MRAMなどの記憶素子で実用化を目指した研究が進んでいるが、ロジックデバイスへの適用には多くの課題が残っている。

通常使われるシリコンなどの非磁性半導体では、キャリアが持つスピンの向きがそろっていないため、その影響は見えにくく、半導体中のスピンについてはあまり取り上げられなかった。しかし、最近、半導体と磁性体のヘテロ構造や希薄磁性半導体など、スピンの影響が現れる新材料が作製されるようになり、スピントロニクスの分野が注目されるようになった。特にMOS型のスピントランジスタができれば、トランジスタの動作とスピン依存出力を合わせ持つデバイスができ、不揮発性メモリや再構成可能なロジックに応用できる。複合構造の一つとしては、グラニューラー構造も知られている。これは、半導体の結晶の中に強磁性の微粒子を単結晶性を保ったまま埋め込むもので、非常に大きな磁気光学効果や磁気抵抗効果が期待できる。

スピン機能材料は数多く知られているが、主なものとしては、金属強磁性体（Co、Ni、Feなど）、ハーフメタル（CrO₂、ホイスラー合金など）、マルチフェロイック材料（BiFeO₃、PZT/NiFe₂O₄など）、希薄磁性半導体（CdMnTe、ZnMnNiなど）である。

金属強磁性体の研究課題としては、界面の安定性、ショットキー障壁の制御などが挙げられる。

ハーフメタルに関しては、再現性ある材料作製方法とともに、半導体材料と整合性良い材料、特に界面の制御技術の開発が必要になる。

マルチフェロイック材料に関しては、マルチフェロイック性の完全な理解、特に薄膜微細化した際の理解が不可欠である。もしマルチフェロイック材料を用いて電界書き換えが可能な記憶素子が可能になれば、多値化のみならず、スピン注入磁化反転技術を超える低消費電力化が期待できる。

希薄磁性半導体では、エレクトロニクス材料と整合性のよい材料のキュリー温度(T_c)を室温以上に上げることが求められる。また透明かつ磁気光学効果の大きい磁性半導体材料の開発も必要である。

以上の他にスピン機能材料の共通の研究課題としては、長いスピン緩和時間を持つ半導体材料の開発、効率的なスピン注入を可能にする材料特性と界面の形成技術などが挙げられる。

いずれにしても、この分野では、原子操作により欠陥密度を限りなく減らした完全結晶に近いスピン機能材料の開発を可能にする結晶成長法の実現が鍵になるであろう。それが実現した暁には、究極の自己修復機能を持つ材料や希少元素を用いない高透磁率材料の開発が実現することが期待される。

9.2.5 酸化物エレクトロニクス材料

酸化物材料では、酸化物半導体と強相関酸化物が、エレクトロニクス材料として注目されている。すでに透明導電膜、透明トランジスタ、光触媒、高温超伝導材料として開発が進められている。例えば、発光デバイス、高周波トランジスタなど幅広い応用を目指すZnO、深紫外センサやパワーデバイスとして期待されるGa₂O₃、透明導電膜や光触媒として期待されるTiO₂、抵抗変化素子として低消費電力、高速動作メモリに向けた、(Pr,Ca) MnO₃、SrTiO₃、透明トランジスタでのアモルファスInGaZnO、高温超伝導材料のLaFeOP、ディスプレイやFET応用をめざす12CaO・7Al₂O₃(C12A7)等が挙げられる。

酸化物のなかでも遷移金属酸化物をはじめとする強相関酸化物は、担電荷デバイスであるSi CMOSにかわる新状態変数（スピン、スピンのカイラリティ、軌道、結晶格子の相状態など）を用いた新デバイス材料として期待され、多くの新材料が探索されている。強相関電子系は、互いの運動が強い相関を持つ電子集団であり、その状態の制御により上述の様々な状態変数を利用できる。強相関酸化物の代表例としてはペロブスカイト型酸化物（例：SrTiO₃、(La,Sr) MnO₃、(Pr,Ca) MnO₃、TbMnO₃、(Eu,Y) MnO₃等）がある。これら新材料はコンビナトリアル手法を用いて系統的な探索が積極的に進められており、これらの成果により、今後多くの新材料や新現象の発見が期待される。

新状態変数デバイス創出での主な課題は、

- ・ ノイズ耐性の高い新状態変数、材料の探索とその理論的解明

- ・新状態変数を有する薄膜材料の製作手法（温度、圧力等）の確立

また、これら技術の既存のエレクトロニクスデバイスへの適用可能性検証の主な課題として、

- ・既存デバイスとの置き換えの十分なメリット（性能、コスト等）
- ・既存のシリコンデバイスプロセスとのコンパチビリティがある。

9.2.6 メタマテリアル

物質の誘電率と透磁率の両方を制御できれば、材料物性の自由度が大きく広がる。メタマテリアルは、異種材料の複合化による通常のコンポジット材料の限界を超えて、新しい機能、物性を発現するように設計された物質である。特に誘電率と透磁率の両方が負である物質は左手系媒質と呼ばれ、（狭義の）メタマテリアルとして定義されている。このような物質は自然界には存在しないが、ナノ構造を用いて人工的に実現可能である。既にマイクロ波、テラヘルツ領域では、メタマテリアルが作製されており、さらに高周波領域、可視光領域でメタマテリアルを実現するチャレンジが進められている。

現時点では、メタマテリアルをエレクトロニクス材料として利用する研究開発はほとんど行われていない。しかし材料設計の自由度拡大という観点からは、視野に入れておく必要がある。誘電率、透磁率の両者の制御により、新しい機能のデバイスを実現できる可能性がある。また既存デバイスへの適用によって高機能化を図る方向性もある。例えばhigh-k、low-k材料への応用や、リソグラフィのための高屈折率材料などへの応用があり得る。

メタマテリアルの開発課題の一つは、その作製方法である。3次元のナノ構造が必要であることから、リソグラフィ技術の適用は難しい。フェムト秒レーザによる3次元構造作製法等が提案されており、作製例も報告されている。作製コストの観点から、将来的には自己組織化によるボトムアップ手法も必要になると考えられる。また、メタマテリアルの設計に関しては、現状で使用波長に対してその共振周波数付近での動作を前提としていることから、吸収損失の大きいことが問題である。複素誘電率、複素透磁率の設計手法と、それに用いることのできる材料探索が必要である。

以上から、具体的な研究開発課題例を以下に示す。

- ・メタマテリアルのエレクトロニクスデバイスへの適用可能性の検討
- ・ボトムアップ手法等、作製方法の開発
- ・低損失化のための設計手法確立と、材料探索

10. 国内外の状況

10.1 海外のナノエレクトロニクス研究拠点

米国やEUでナノエレクトロニクス研究の推進が戦略的に進められている。その中でナノエレクトロニクス研究拠点も重要な役割を果たしている。海外におけるナノエレクトロニクス拠点（研究ネットワークを含む）の例を表10.1-1～10.1-3に示す。

表10.1-1 海外のナノエレクトロニクス拠点例(1)

国、地域	拠点名	設置(年)	研究インフラ、参加機関	研究領域	特徴
米国	Albany NanoTech	2001	・250社のインダストリアルパートナーが所属。IBMは、150人が常駐（300人に増員予定）。 ・6000m ² の300mmウェハ対応CR（更に増設中） ・人員：2000人以上	・次世代LSI開発 ・Nanoelectronics ・EUVリソグラフィ技術 ・Interconnects	・SUNY-Albany校のCNSEを中核とする産官学連携コンソーシアム ・最先端設備による短期間での試作体制 ・技能者教育・育成 ・CNSEは下記INDEXの本拠点
	WIN	2006	UCLA, UCSB, UCB, UCI, Stanford, U Denver, Iowa, PSU	・ Spin devices, Spin circuits	・産業界（SIA）と国（NSF）が連携した、ナノエレクトロニクスのイニシアティブ（NRI）の支援による米国のナノエレクトロニクス研究ネットワーク ・全米に4つの大学グループ設立（参加機関の欄で、青フォントで示した機関が本拠点）
	INDEX		SUNY-Albany(CNSE), GIT, Harvard, MIT, Purdue, RPI, Yale, Columbia, Caltech, NCSU, UVA	・ Novel state-variable devices, Fab. & self-assembly	
	SWAN		UT-Austin, UT-Dallas, Texas A&M, Rice, Notre Dame, ASU, Maryland, NCSU, IUC	・ New state-variables logic devices, Materials & structures	
	MIND		Notre Dame, Purdue, Cornell, GIT, Penn State, IUC, Michigan, UT-Dallas, FSU	・ Energy-efficient devices ・ Energy-efficient architectures	

WIN: Western Institute of Nanoelectronics

INDEX: Institute for Nanoelectronics Discovery and Exploration

SWAN: Southwest Academy for Nanoelectronics

MIND: Midwest Institute of Nanoelectronics Discovery

SUNY: State University of New York

CNSE: College of Nanoscale Science and Engineering

SIA: Semiconductor Industry Association

NRI: Nanoelectronics Research Initiative

CR: クリーンルーム

表10.1-2 海外のナノエレクトロニクス拠点例(2)

国、地域	拠点名	設置(年)	研究インフラ、参加機関	研究領域	特徴
EU	IMEC	1984	・場所：ベルギーのフランドース州ルーベン市 ・200mmウェハ対応CR、300mmウェハ対応CR（2004年～）による試作ライン ・世界各国の半導体企業がパートナーとして参加（～500社）	・CMOS-based nanoelectronics ・Packaging, interconnection ・Photovoltaics ・Biomedical electronics ・Organic electronics ・Wireless autonomous transducer solutions	・マイクロエレクトロニクス、ナノテクノロジー、情報通信システム技術における産業界ニーズの3～10年先の基礎科学研究の遂行をミッションとして設立。 ・世界各国から大学院生（修士課程，博士課程）を受け入れ。
	MINATEC	2002	・人員：3500人 ・200/300mm試作ライン ・中心：Grenoble ・CEA-Leti, the CNRS, Joseph Fourier University が近接	・Nanoscience ・micro/nanotechnology ・Nano-optics ・Nano-magnetics ・Nano-manipulation	・フランス（およびヨーロッパ）のナノテク研究開発推進、産官学連携強化を目的として設立 ・4P成果（論文，特許，プロトタイプ，製品） ・博士課程大学院生，ポスドク研究者の受け入れ

IMEC: Inter-University Microelectronics Center

CEA: Commissariat à l'énergie atomique

Leti: Laboratoire d'Electronique de Technologie de l'Information

CNRS: Le Centre National de la Recherche Scientifique

MINATEC: Micro and nanotechnologies innovation campus

表10.1-3 海外のナノエレクトロニクス拠点例(3)

国、地域	拠点名	設置(年)	研究インフラ、参加機関	研究領域	特徴
台湾	ITRI	1973	・ 人員 : 6000名	・ ナノテクノロジー 研究部門 : 磁気抵抗RAM、ナノ粒子、ナノ計測、有機TFT、表面改質ナノワイヤアレイ	・ Core Facilities Programの一拠点
	交通大学 Center for Nano Science & Technology (CNST)	1958	・ 人員: 250人以上 ・ メンバーの予約による機器の自己使用	・ Probing the electron ・ Nano-scale real-time observation ・ Spin dependent transport ・ Quantum transport ・ Carbon Si-C-N, TiO ₂ Nanotube ・ Cu and C nanorods Luminescent ・ Single Electron Devices	・ SRRC, PIDC, NCHC, STCと共同研究 ・ ITRIと共同研究
韓国	KANC	2003	・ CR : 3500m ² ・ R&D/Venture building : 46650m ²	・ 化合物半導体とナノデバイスに特化	・ The Ministry of Education, Science and Technology, Gyeonggi province, KIST, KETI, Seoul National Univ., Hanyang Univ., Ajou Univ., Sungkyunkwan Univ., Kyunghee Univ. の連携ファブ
	NNFC	2004	・ 2370m ² の200mm ウェハCMOS package line ・ KAISTの中に4456 m ² のCR (クラス1 ~100)	・ Silicon-based ナノデバイス全般 ・ 医療用ナノロボット ・ 高効率太陽電池 ・ MEMS/NEMS ・ ナノバイオ	・ 韓国のナノテクノロジー開発強化計画によるナノ総合ファブセンター構築事業の一環としてKAIST内に設置 ・ 3つのナノテクサポートチーム : Nano Process NanoFusion Measurement

ITRI: Industrial Technology Research Institute

KANC: Korea Advanced Nano Fab Center

KIST: Korea Institute of Science and Technology

KETI: Korea Electronics Technology Institute

NNFC: National Nanofab Center

KAIST: Korea Advanced Institute of Science and Technology

提案の内容

研究投資する意義

具体的な研究開発課題

研究開発の推進方法

科学技術上の効果

社会・経済的效果

時間軸に関する考察

検討の経緯

研究開発課題の詳細

国内外の状況

用語説明

10.2 米国における取り組み

米国では、半導体、ナノテク関連の産学協同のNRI（Nanoelectronics Research Initiative）¹⁾に35大学、21州が参画。2020年までに、新しいコンピュータのための新規“Beyond CMOS”デバイスの実証を目指している。またHP（Hewlett-Packard）から、“CMOL”、“Memristor”など、新しい動作原理のデバイスが提案されており、その原理検証が行われている。

ファンディング関係では、NSFが分子スイッチ、分子メモリ関係で150件近く、ファンディング、材料関係では、グラフェン、メタマテリアルへのファンディングがある。

10.3 EUにおける取り組み

EUのIMEC（Inter-University Microelectronics Center）²⁾による世界の企業や大学との半導体、ナノテク関連の産学協同研究が進められている。日本企業もIMECプログラムに参加。より基礎的なものはMINATEC（Micro and nanotechnologies innovation campus）³⁾に拠点が構築されている。

2008年1月には、グラフェンの可能性を探索する3年間のプロジェクトGRAND（Graphene-based Nanoelectronics Devices）⁴⁾（FP7）が立ち上げられた。FP7では、従来FPの枠外であった基礎研究を対象にした“Ideas”と呼ばれている助成がある。この中にもGRAPHENE（Physics and applications of graphene）という名前のプロジェクトがあり、助成が行われている。

10.4 国内の関連施策

半導体MIRAIプロジェクトは2010年まで。経済産業省ナノテクノロジープログラム「ナノエレクトロニクス半導体新材料・新構造技術開発－うち新材料・新構造ナノ電子デバイス」(2007-2011) およびJST戦略的創造研究推進事業「次世代エレクトロニクスデバイスの創出に資する革新材料・プロセス研究」(2007～)が進められている。

つくばナノエレクトロニクス研究拠点構想

現在、産業界では、日本の総力を挙げてナノエレクトロニクスの研究開発を進める構想が進み、つくば地区に「つくばナノエレクトロニクス研究拠点」を設置するという具体的な案も検討されている⁵⁾。但し、この拠点では将来の環境調和型ユビキタス社会を実現するエレクトロニクス産業を目指しつつも、当面の研究開発計画は5年間を対象としており、現在の厳しい環境にある産業界としてはさらにその後の産業の基盤となる技術の開拓にはなかなか注力できない状況にある。例えば、本提案の中心課題の一つである『ノンチャージロジック』については、「産学連携により、産業界が本分野の研究をサポートし、成果を育て、産業応用を促進する組織が必要」(参考文献5) p.22)と記述されている。

このように、ナノエレクトロニクスの将来産業の基盤の確立に向けた技術の探索

的開発には、大学・独法研究機関の寄与が強く期待されている。

10.5 その他

ITRS (International Technology Roadmap for Semiconductors ; 国際半導体技術ロードマップ)⁶⁾におけるERD (Emerging Research Devices) 報告書(2007年版)⁷⁾では、Beyond CMOS技術による情報処理の指導原理として、Computational State Variables other than Solely Electron Charge (電荷以外の計算状態変数)を始めとする6項目が挙げられている(コラム参照)。またITRSの2008年夏会議において、ERD / ERM (Emerging Research Materials) 技術作業部会より、今後優先的に注力すべき分野として“Carbon-based Nanoelectronics”が挙げられた。

参考文献

- 1) <http://nri.src.org/>
- 2) <http://www2.imec.be/>
- 3) <http://www.minatec.com/>
- 4) <http://www.grand-project.eu/>
- 5) 環境調和型ユビキタス社会を実現するナノエレクトロニクス【基幹産業創出のためのナノエレクトロニクス研究拠点設置の提案】，産業競争力懇談会，(2009年3月6日) <http://www.cocn.jp/common/pdf/nanoele.pdf>
- 6) International Technology Roadmap for Semiconductors
<http://www.itrs.net/reports.html>
半導体技術ロードマップ専門委員会 (STRJ-JEITA)
<http://strj-jeita.elisasp.net/strj/>
- 7) ITRS-ERD 2007:
http://www.itrs.net/Links/2007ITRS/2007_Chapters/2007_ERD.pdf
JEITA和訳:
http://strj-jeita.elisasp.net/strj/ITRS07/pdf/06%202007_ITRS_ERD_Japanese_v2.0.pdf

コラム —ITRSにおけるBeyond CMOSの指導原理—

ITRSにおけるERD報告書（2007年版）では、Beyond CMOS技術による情報処理の指導原理として、以下の6項目が挙げられている（参考文献7）p.44、JEITA和訳 p.51）。

- (1) 電荷以外の計算状態変数
- (2) 熱非平衡システム
- (3) 新しいエネルギー伝達相互作用
- (4) ナノスケール熱制御
- (5) サブリソグラフィック作製プロセス
- (6) エマージングアーキテクチャ

これらはそれぞれ、以下のような目的、問題意識に基づいている。

- (1) 本質的にエネルギー散逸の伴う電荷以外に、論理計算に使える状態変数はないか
- (2) 熱雑音というスイッチングエネルギーの物理限界を回避できる手段はないか
- (3) 配線におけるRC限界を回避できる手段
- (4) 熱を逃がす手段
- (5) 微細化の物理限界ではなく工学的限界あるいは経済的限界を打破する手段
- (6) 非ブール代数論理等のアーキテクチャ

用語説明

(五十音順、[]内は頁番号)

Collective Spin Device [29]：様々な状態変数を複合的に用いること (Collective-effect state variables) で従来のSi-CMOSの持つ本質的限界を解決しようとする新しいコンセプトに基づいたスピントリクス素子。例えば、磁気トンネル接合とスピントリクス磁化反転の原理を使ったものなどが提案されている。

EUVリソグラフィ (EUV lithography) [31,35]：EUV (extreme ultraviolet: 極端紫外光 (波長 1～15 nm)) を使用するパターン転写技術。リソグラフィの解像度は光源の波長に比例するため、微細化のためには極短波長の光源が必要とされる。波長 13.5 nmを用いるEUVリソグラフィ技術の開発が進められている。

カイラリティ (chirality) [9,10,21,30,33]：3次元の構造がその鏡像と重ね合わせることのできない性質。カーボンナノチューブは6員環の並び方 (方向) でカイラリティが異なる。結晶、分子、スピン等のカイラリティがある。

希薄磁性半導体 (DMS: diluted magnetic semiconductor) [10,33]：化合物半導体に遷移金属等を添加した、磁性を持つ半導体。

キュービット (qubit) [3]：量子コンピュータの記憶素子で扱われる量子的な情報量単位のこと、0と1の重ね合わせた状態を持つことを特徴とする。

キュリー温度 (Curie temperature) [10,33]：強磁性体が常磁性体に変化する転移温度。室温で強磁性を得るためには、キュリー温度が室温より高い必要がある。

強相関材料 (strongly correlated electron state materials) [3,7,23]：多数の電子がクーロン相互作用により、お互いに強い斥力や引力を及ぼしながら、存在する材料をさし、遷移金属酸化物にこの種の多様な材料群を見出すことができる。強相関電子の集団は、相転移によりドラスティックにその性質を変える (金属－絶縁体転移など) ため、新原理の固体デバイス材料としての可能性を有する。

コンポジット材料 (composit materials) [11,34]：無機材料や有機材料を分子レベルで化学的或いは物理的に混合することで、個々の材料自身では持っていなかった新しい機能を発現する材料。

状態変数 (state variable) [1,6,21]：コラム (p.3) 参照

スコッチテープ法 (Scotch tape method) [31]: スコッチテープ (TM) を貼り付けてはがすことで薄膜のグラフェンシートを作製する方法。比較的簡単にグラフェン膜を得る方法として使われている。

脳型コンピュータ (brain computer) [7,21,25]: 人間の脳のメカニズムを模倣したコンピュータで、情報処理アルゴリズムを自動的に獲得する学習性と超並列性を併せ持った非ノイマン型コンピュータ。

ハーフメタル (half metal) [10,22,32]: アップスピン電子とダウンスピン電子のうち、片方のみフェルミ準位がバンド内にあり、両スピンの状態密度の差で決まるスピン偏極率が100%の材料。

バリステック伝導 (ballistic transport) [9,30]: 結晶中で電子が散乱されずに輸送される現象 (バリステックは弾道)。伝導する距離が電子の平均自由行程より短い場合に生ずる。

ビア (via) [9,29]: 半導体集積回路において、絶縁層 (層間絶縁膜) と導体層 (金属配線層) を交互に積層するために層間接続として開ける穴。ビアホールともいう。

ヒューズ/アンチヒューズメモリ (fuse/anti-fuse memory) [8,28,29]: ジュール熱による導電性パスの形成と分解を利用したメモリ。従来のヒューズメモリは、PROMのように、(製造時に接続されていたヒューズを切って) 導通状態を絶縁状態に変えることによってデータを書き込むメモリ、アンチヒューズメモリは、それとは逆に製造時絶縁状態だったビットを導通状態にすることによってデータを書き込むメモリで、いずれもOTP (one time programmable) メモリ。ヒューズ/アンチヒューズメモリは繰り返し書き替え可能な不揮発性メモリ。

不揮発性論理素子/回路 (nonvolatile logic device/nonvolatile logic circuit) [6,21,26]: 電源を切ってもそれまでの状態を保持する論理演算素子/回路。このような素子を利用して、電源を切っても、次に電源を入れたときには電源を切る前の状態から直ぐにスタートするコンピュータの実現などが期待されている。

ホイスラー合金 (Heusler alloy) [32]: 単体では磁性を持たないニッケルやマンガ、ガリウムなどの金属が合金となり、特定の構造をとるとき強磁性を示すもの。

ボトムアップ手法 (bottom-up method) [11,24,34]: 原子・分子をナノスケールの大きさで構造化して機能を引き出す手法。自己組織化機構等を利用。(⇔ トップダウン手法: 物質を削って機能を有する微細な構造を作製する手法。リソグラフィ/エッチングはトップダウンプロセス。)

マルチフェロイック材料 (multiferroic materials) [3,7,10,22,32] : 強磁性、強誘電性、強弾性などの性質を複数有する物質系を指す。マルチフェロイック物質には、異なる秩序状態の相互作用により新奇な応答現象が期待されるため、磁場による電気分極の応答や電場による磁化の応答などを利用したメモリやセンサデバイスなどへの応用が研究されている。

メモリスタ (memristor) [21,25,38] : HP研究所の研究チームが、コンデンサー (C)、抵抗器 (R)、インダクター (誘導子、L) という有名な3つの構成要素から成る電子回路に、4番目の構成要素を加えた。この新しい構成要素が、“memristor” (memory resistor、記憶抵抗) と呼ばれている。電圧によって抵抗値が変化し、かつ、電圧を取り去ったとき、最後の電圧に相当する抵抗値が保存 (記憶) される。

モット転移メモリ (Mott transition memory) [8,21,28] : モット転移 (金属－絶縁体相転移) を利用した記憶素子。電子効果メモリの一つで、電荷の注入により強相関電子から弱相関電子への転移を誘起し、その結果金属－絶縁体転移を引き起こす。

量子ビット (quantum bit) [8,21,24,28] : キュービット 参照

量子もつれ状態 (quantum entanglement state) [8,28] : 複数の粒子の相関が、一つ一つの粒子の古典的な確率では表せないとき、それらの粒子は量子もつれ状態 (エンタングル状態) であるという。

■戦略プロポーザル作成メンバー（所属は2009年3月時点）■

波多腰玄一	フェロー	（物質・材料ユニット）
西木 玲彦	フェロー	（物質・材料ユニット）
石原 聡	フェロー	（物質・材料ユニット）
伊東 義曜	主任調査員	（電子情報通信ユニット）
岡山 純子	フェロー	（海外動向ユニット／産業技術ユニット）
河村誠一郎	フェロー	（ナノテクノロジーユニット）
渡辺 正裕	フェロー	（ナノテクノロジーユニット）

※お問い合わせ等は下記ユニットまでお願いします。

戦略プログラム／Strategic Program

ナノエレクトロニクス基盤技術の創成
－微細化、集積化、低消費電力化の限界突破を目指して－
Construction of Fundamental Technologies for Nanoelectronics
－Towards a technological breakthrough overcoming limitations in scaling,
integration and power consumption reduction－

CRDS-FY2009-SP-01

独立行政法人 科学技術振興機構 研究開発戦略センター

Center for Research and Development Strategy

Japan Science and Technology Agency

平成21年7月／ July 2009

物質・材料ユニット／ Materials Unit

〒102-0084 東京都千代田区二番町3番地

電話 03-5214-7483

ファックス 03-5214-7385

<http://crds.jst.go.jp/>

©2009 JST/CRDS

許可なく複写・複製することを禁じます。

引用を行う際は、必ず出典を記述願います。

No part of this publication may be reproduced, copied, transmitted or translated without written permission. Application should be sent to crds@jst.go.jp. Any quotations must be appropriately acknowledged.

ATTAATC A AAGA C CTAAC T CTCAGACC
CT CTCGCC AATTAATA
TAA TAATC
TTGCAATTGGA CCCC
AATTCC AAAA GGCCTTAA CCTAC
ATAAGA CTCTAACT CTCGCC
AA TAATC
AAT A TCTATAAGA CTCTAACT CTAAT A TCTAT
CTCGCC AATTAATA
ATTAATC A AAGA C CTAAC T CTCAGACC
AAT A TCTATAAGA CTCTAACT
CTCGCC AATTAATA
TTAATC A AAGA C CTAAC T CTCAGACC
AAT A TCTATAAGA CTCTAACT
ATTAATC A AAGA CCT
GA C CTAAC T CTCAGACC
0011 1110 000
00 11 001010 1
0011 1110 000
0100 11100 11100 101010000111
001100 110010
0001 0011 11110 000101

