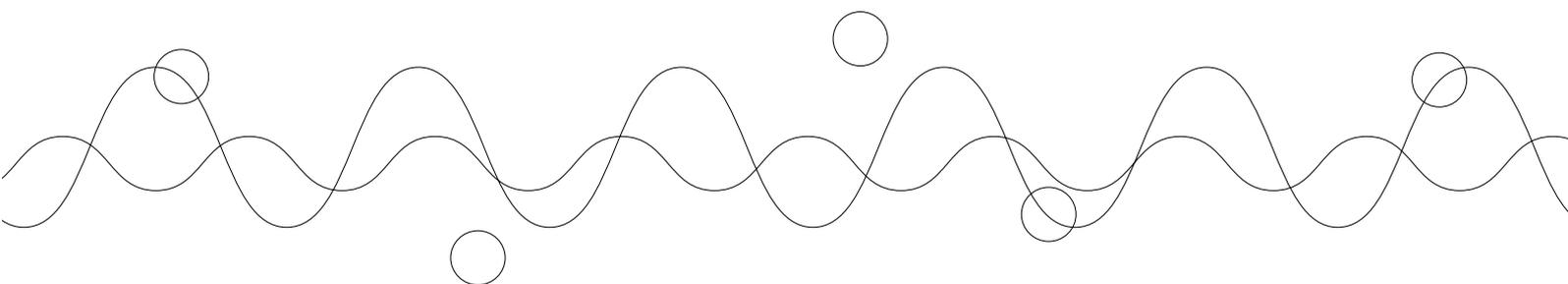


「ディペンダブルVLSI」に関する 科学技術未来戦略ワークショップ報告書



Executive Summary

独立行政法人科学技術振興機構 (JST) 研究開発センター (CRDS) では、科学技術に求められる社会的・経済的ニーズを踏まえて国として重点的に推進すべき研究領域や課題を選び、そのファンディング戦略を明確にするための活動を行っている。このような活動の一環として、重要研究テーマについて専門家による科学技術未来戦略ワークショップを開催している。

2005年に開催した「電子情報通信系俯瞰ワークショップII」において、「ディペンダビリティ」がキーワードとして取り上げられ、これをテーマにした一連のワークショップを企画している。2006年5月に開催したディペンダビリティワークショップを踏まえ、今回は「ディペンダブルVLSI」に関するワークショップを企画した。

今回のワークショップでは、5～10年先を見据えたとき「ディペンダブルVLSI」を実現するための基礎的研究分野としてどのような分野が重要であるかを議論し、重要研究テーマとそれを推進するための課題・推進方法を時間軸とともに明確化することを目的としている。

本ワークショップの問題提起として、以下の4件の講演が行われた。

1. (基調講演) ディペンダブルVLSIへ向けて
2. Cell Broadband Engineの開発におけるディペンダブルVLSI技術
3. VLSI製造技術と今後のディペンダブルVLSI
4. ICテスト評価技術からみた今後のディペンダブルVLSI

さらに、これを受けてグループ討議では、ディペンダブルVLSIの具体的な研究課題、および戦略プロポーザルに向けてのまとめ方について討論を行った。

具体的な研究開発課題としては以下が挙げられた。

- 人体埋め込みデバイスの開発
- 電子マネー、徴税、銀行システム
- 電子手帳、医療・健康管理システム
- ハイエンド回路設計
- Scalable Dependability System
- 誤動作回避技術(検知、冗長性)
- 偽造防止技術
- Dependableな設計製造技術
- コスト v.s. Dependability Trade Off
- 計算モデル
- Fault Model と Metrics

ディペンダブルVLSIの実現のためには、商習慣、価値観の転換が必要で、そのための広報活動、社会活動も重要であることが議論された。さらに具体的な推進方法として以下が挙げられた。

- 変幻自在プロセッサの国策的開発
- 産学連携、装置産業まで巻き込み、集中拠点方式、ライン
- 守備と攻撃の両面からの研究
- Computer Aided Mass Production Technology

本ワークショップでの議論を踏まえ、ディペンダブルVLSIの具体的な戦略プログラムに反映させていく予定である。

CONTENTS

| | | |
|---|------------------------------|----|
| 1 | 本ワークショップの位置づけ | 5 |
| 2 | ディペンダブルVLSIへの問題提起 | 9 |
| 3 | 具体的研究課題と推進方法に関する グループ討議結果 | 55 |
| 4 | まとめ | 79 |

付録

| | | |
|------|-------------------------------|----|
| I. | ディペンダブルVLSIワークショッププログラム | 87 |
| II. | ディペンダブルVLSIワークショップ参加者一覧 | 88 |
| III. | ディペンダブルVLSIワークショップ 第二部 グループ構成 | 89 |
| IV. | 事前アンケートまとめ | 90 |

1

本ワークショップの位置づけ

独立行政法人科学技術振興機構 (JST) 研究開発センター (CRDS) では、科学技術に求められる社会的・経済的ニーズを踏まえて国として重点的に推進すべき研究領域や課題を選び、そのファンディング戦略を明確にするための活動を行っている。このような活動の一環として、重要研究テーマについて専門家による科学技術未来戦略ワークショップを開催している。

この活動の一環として2005年9月29-30日にかずさアークで開催した「電子情報通信系俯瞰ワークショップII」※ において、「ディペンダビリティ」が重要なキーワードとして取り上げられ、これをテーマにした一連のワークショップを企画している(図1.1参照)。2006年5月12-13日に開催したディペンダビリティワークショップを踏まえ、今回は「ディペンダブル VLSI」に関するワークショップを企画した。

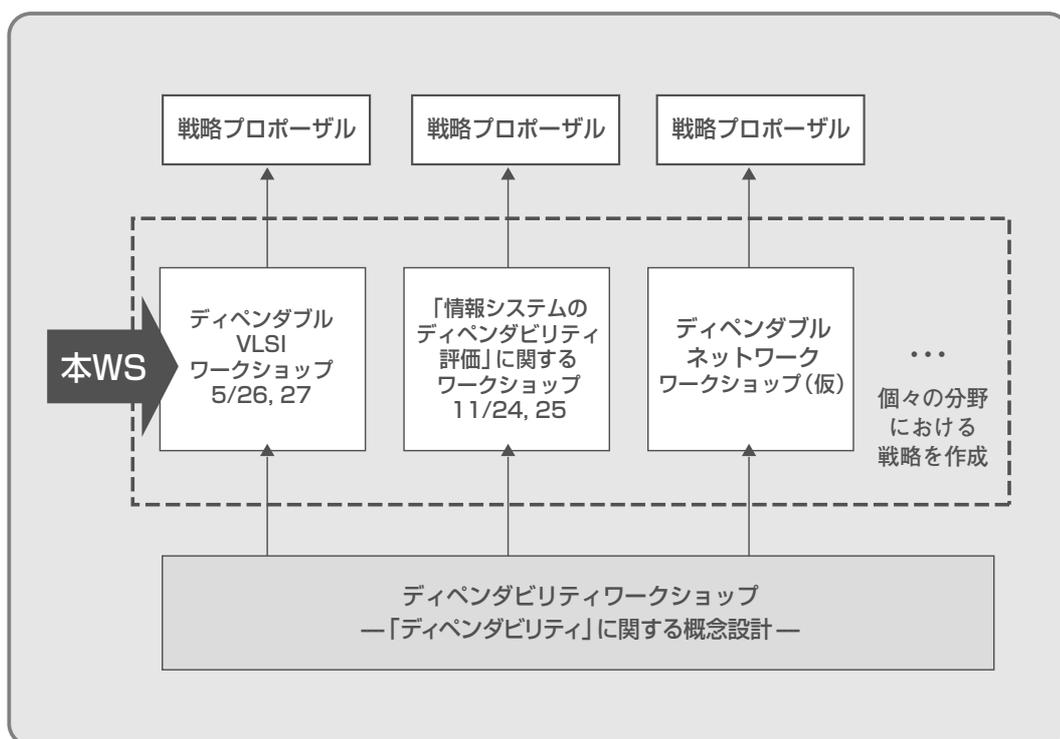


図1.1 ワークショップの位置づけ

※ 科学技術未来戦略ワークショップ(電子情報通信系俯瞰 WS II)
報告書 CRDS-FY 2005-WR-16 (2006)

今後のユビキタス情報通信時代においては、コンピュータ、ネットワーク機器、家電製品、ロボット等の性能や機能は絶え間なく進歩し、それらを牽引するVLSIの集積度と性能は飛躍的に向上すると予測される。しかしながら一方で、ナノレベルで微細化の進むVLSIは製造コスト、歩留まり、動作安定性、信頼性に対する課題が見え始めている。VLSIが社会の隅々まで浸透して多様な環境で使われるようになると、VLSIが個別機器や局所システムの信頼性に影響を与えるだけでなく、生命・財産・プライバシーの保護を前提にした『安全で安心な社会』を実現するためのディペンダビリティを左右すると考えられる。特に、自然系の課題(物理的な欠陥等)だけでなく、人間系の課題(ヒューマンエラーや人による悪意の攻撃)を考慮した対策が必要である。このような状況を考えてこれまでのアプローチでは限界があり、社会システム、コンピュータ、ネットワーク、アーキテクチャ、ソフトウェア、LSI製造プロセス・設計技術などすべてのレベルを視野に入れた広範囲な検討が必要であろう。このような分野横断的な取り組みにより基本概念の構築を行うことを目的として開催した「ディペンダビリティワークショップ」に続く本ワークショップではディペンダブルVLSI技術の具体化提案を行う。

今回のワークショップでは、5～10年先を見据えたとき「ディペンダブルVLSI」を実現するための基礎的研究分野としてどのような分野が重要であるかを議論し、重要研究テーマとそれを推進するための課題・推進方法を時間軸とともに明確化することを目的としている。

(ワークショップの構成)

本ワークショップは以下に示すように3つのセッションで構成した(プログラムは付録参照)。

第1部：VLSI分野におけるディペンダビリティについて4件の講演による問題提起

第2部：3グループに分かれて討議

第3部：グループ討議結果の発表と全体討議

なお、前回の「ディペンダビリティワークショップ」における事前アンケートで、VLSIのディペンダビリティに関する設問も設けた。このアンケート結果のまとめも、付録に添付してある。

2

ディペンダブル VLSI への問題提起

本ワークショップのテーマである「ディペンダブル VLSI」への問題提起として、以下の4件の講演が行われた。

- (基調講演) ディペンダブル VLSI へ向けて …………… 安浦 寛人 (九州大学)
前回のディペンダビリティワークショップでの議論を踏まえ、VLSI というテーマに絞ってディペンダビリティを考える。

- Cell Broadband Engine の開発におけるディペンダブル VLSI 技術
…………… 林 宏雄 (東芝)
セル (ソニーグループと IBM、東芝とで共同開発した大規模 LSI) におけるディペンダビリティ技術。

- VLSI 製造技術と今後のディペンダブル VLSI …………… 岡本 和也 (大阪大学)
VLSI 製造技術の現状と、今後の方向性。

- IC テスト評価技術からみた今後のディペンダブル VLSI
…………… 梶原 誠司 (九州工業大学)
これまでの IC テスト技術の役割と、ディペンダブルということに対して IC のテスト技術が一体どういう影響を与えるか。

Dependable VLSIへ向けて

安浦寛人

九州大学システムLSI研究センター

JST研究開発戦略センター
ディペンダビリティワークショップ資料

Dependable VLSIへ向けて

- Dependabilityとは？
- Dependability WS(5.12-13)のまとめ
- Dependable VLSIのための技術
- Grand Challenge作成への道

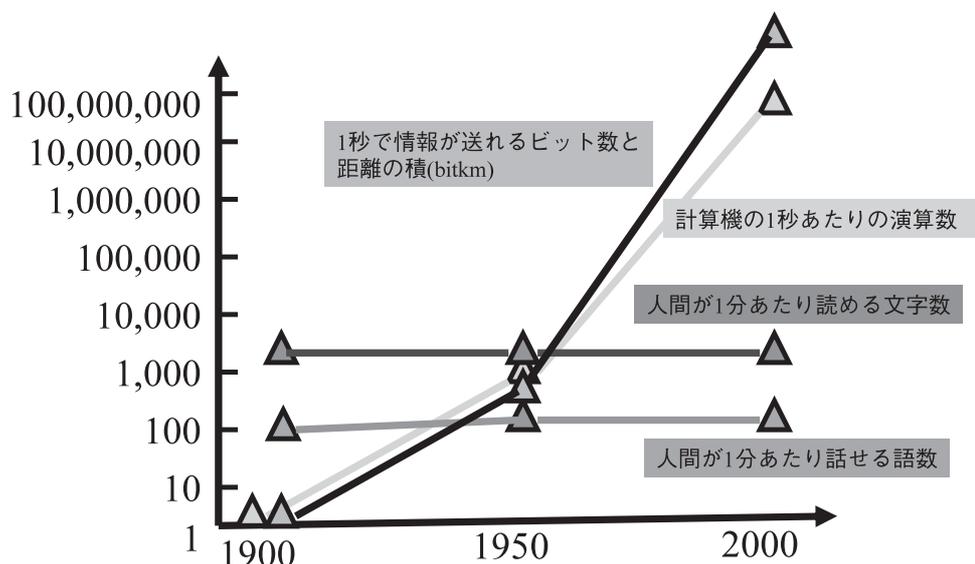
JST研究開発戦略センター
ディペンダビリティワークショップ資料

社会の神経系としての情報通信システム

- 20世紀後半は既存の社会システム(19世紀後半から20世紀前半に基本設計された)の中に情報通信技術を部分的に導入し、サービスの高度化、高速化を進める時代であった。
- 通信速度、情報処理速度の向上は、システムの設計時に想定しなかった事態を生み出すようになった。
- 21世紀は情報通信技術を前提として社会システム自身を再設計する時代。
 - 社会情報基盤(Social Information Infrastructure)
 - ユビキタス社会、e-Japan、u-Japan



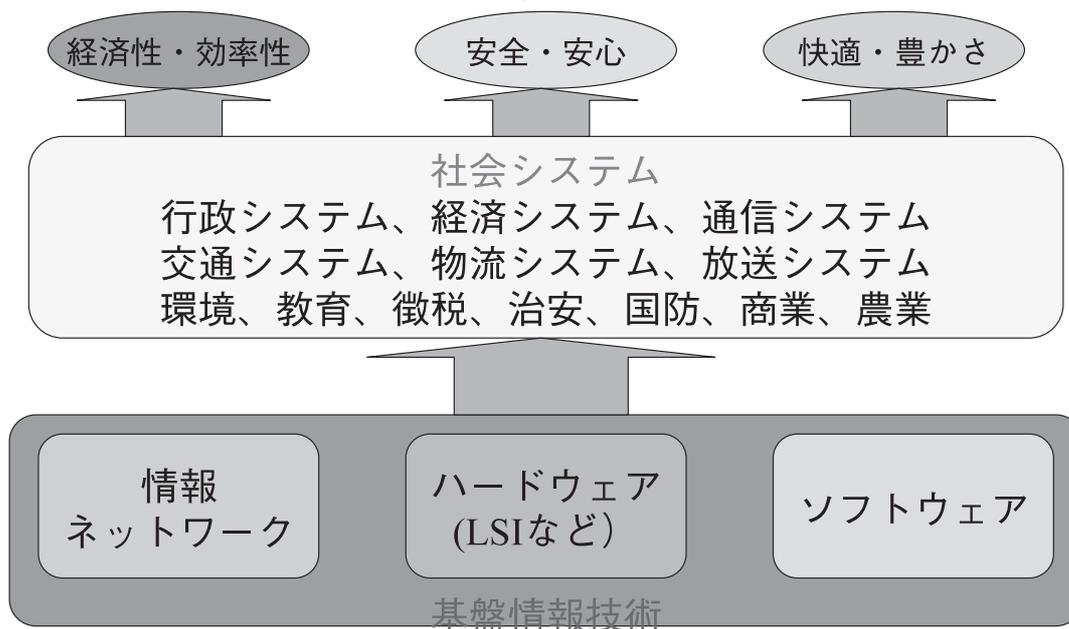
情報の通信・処理の変化



→ 社会システムの本質的な不安定化

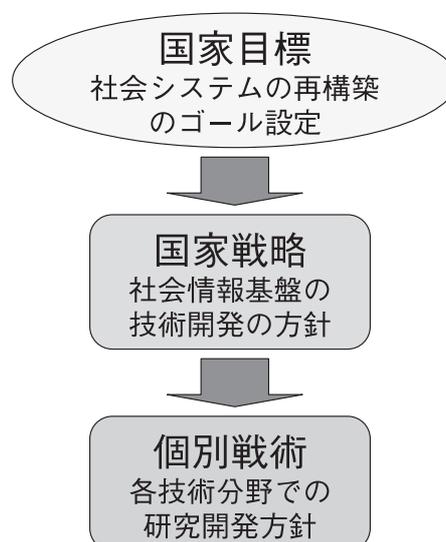
社会情報基盤の構築

Dependableな社会システムの再構築とそのためにより必要となる
基盤情報技術のDependability



何が求められているのか？

- 新しい情報通信技術と方法論
 - 社会や個人がDependableな社会システムの構築手法とその要素技術としての基盤情報技術
 - 社会制度や規則と連携した社会システムの再構築への技術側からの参画
- 社会システムの再構築を担う人材の育成とユーザの教育



Dependability WSのまとめ

日時：平成18年5月12日14時～13日11時40分

場所：JST社会技術研究開発センター 大手町りそなマルハビル 18F

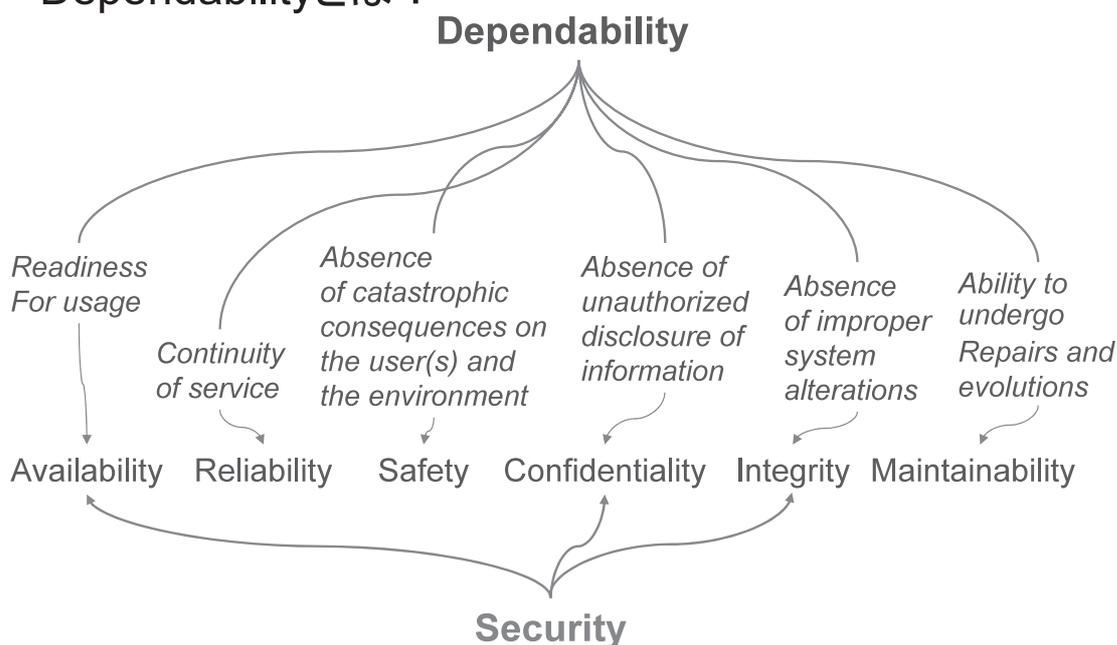
参加者：有村博紀（北大）、市川晴久（NTT）、井上隆秀（UCB）、岩野和生（IBM）、岡本和也（ニコン、阪大）、菊野亨（阪大）、木村晋二（早大）、黒田忠広（慶大）、佐藤了平（阪大）、柴田随道（NTT）、田中英彦（情報セキュリティ大）、谷口研二（阪大）、所真理雄（ソニー）、中島秀之（はこだて未来大）、中島啓幾（早大）、南谷崇（東大、JST）、服部雅之（トヨタ）、福田晃（九大）、福田剛志（IBM）、福田敏男（名大）、前口賢二（半産研）、松澤昭（東工大）、松本勉（横国大）、森川博之（東大）、安浦寛人（九大）ほかJSTメンバー

講演：

| | |
|------------------------|------------------|
| 『ディペンダビリティについて』 | 安浦 寛人 九州大学 |
| 『ディペンダビリティの概念と課題』 | 南谷 崇 東京大学 |
| 『情報通信ネットワークのディペンダビリティ』 | 市川 晴久 NTT |
| 『社会サービスのディペンダビリティ』 | 岩野 和生 IBM |
| 『自動車におけるディペンダビリティ』 | 服部 雅之 トヨタ自動車 |
| 『米国における研究戦略動向』 | 井上 隆秀 UCB CITRIS |

JST研究開発戦略センター
ディペンダビリティワークショップ資料

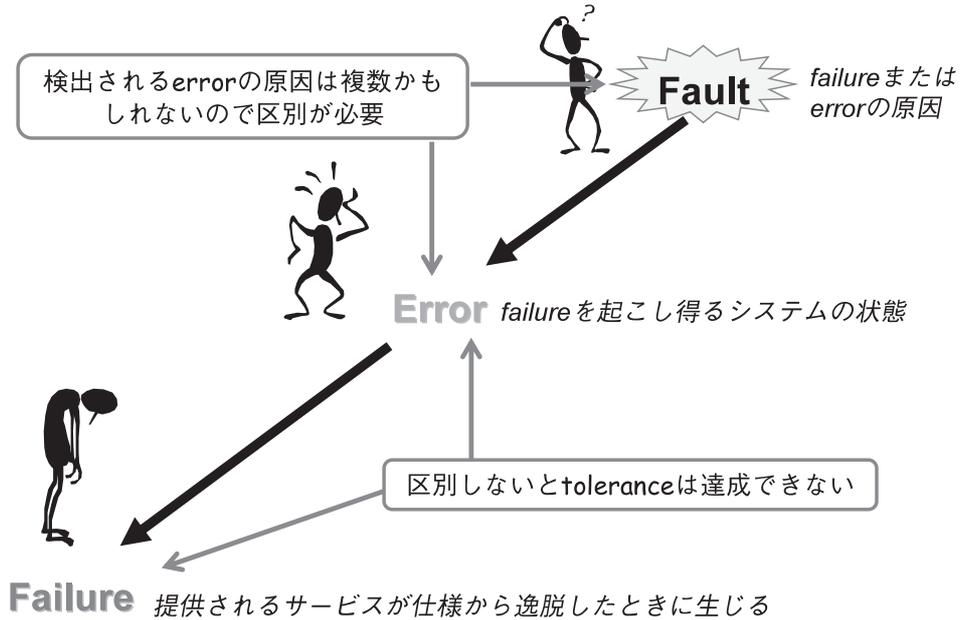
Dependabilityとは？



Absence of unauthorized access to, or handling of, system state

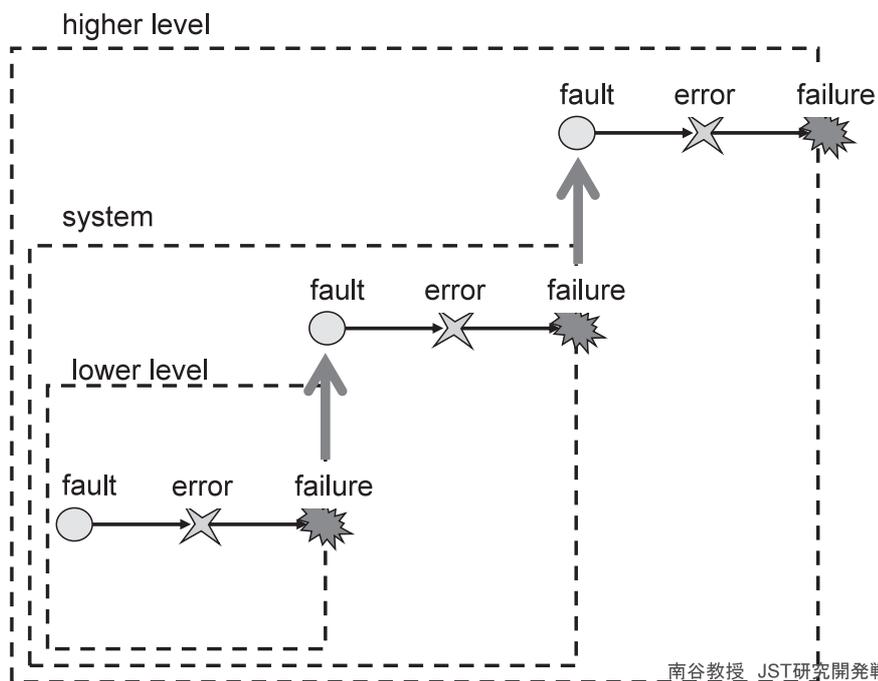
南谷教授 JST研究開発戦略センター
ディペンダビリティワークショップ資料

Dependability 阻害要因の因果関係



南谷教授 JST研究開発戦略センター
ディペンダビリティワークショップ資料

Fault Model: Recursion



南谷教授 JST研究開発戦略センター
ディペンダビリティワークショップ資料

Dependabilityとは

- ユーザ視点の概念
- 予測不可能性（想定外事象）を秘めた系において、システムに期待されるサービスが許容範囲内で提供されることが保証されること。あるいは、その保証の度合。
 - 合理的な有限責任をユーザに宣言するための基礎となる性質
 - 無限責任を負うべきシステム（原子力など）については、極めて厳しいレベルで要求される
- DependabilityのMetricsが定義されていないことが問題
 - 参照システムとの比較
 - 絶対基準における定義
 - 人命、財産、プライバシーなどユーザが託す対象によっても基準が異なる

JST研究開発戦略センター
ディペンダビリティワークショップ資料

「Dependability」の研究目標

- 人々が安全で安心して生活でき、快適で公正でかつ適度な競争を行える社会（人類・国が目標とする社会）を支える社会システムとその基盤情報技術構築の指導原理を与える。
- 情報技術の存在を前提とした新しい社会システムの再構築を目指す。
- Dependabilityの概念を明確化し、その研究戦略を与える。
- 国・納税者、利用者（一般市民）、学会・研究者、企業・産業界へのそれぞれへの説明の論理を与える。

JST研究開発戦略センター
ディペンダビリティワークショップ資料

何故Dependabilityか？

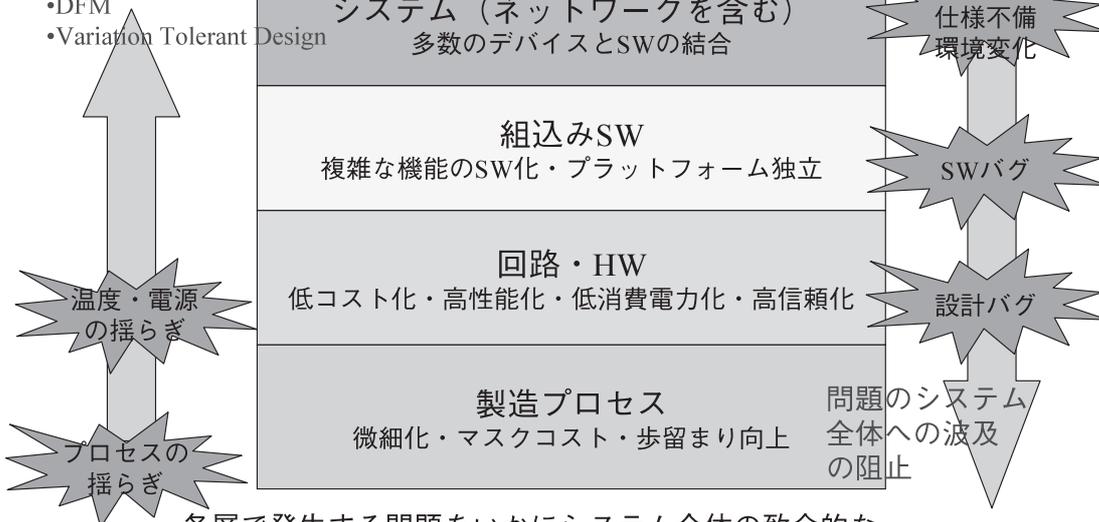
- 社会システムが急速に発達した情報技術に大きく依存するようになり、社会システム自身の再構築が必要となっている。
- Openなシステムが世界規模で実用化され、Closed Loopを前提としたシステム開発手法が適用できず、新たな手法が必要である。
- 技術の微細化・高速化・高集積化による種々の物理的限界、システム複雑化や相互接続による設計ミスや運用時のエラー、悪意ある攻撃者による各種の攻撃などによってシステムの安全性・信頼性・安定性などが脅かされている。
- さらに、システムのオープン化により従来の意味での「仕様(製品と社会の契約)」が定義できなくなった。
- 上記の各種のFault(人間のエラーや攻撃を含む)は不可避免なので、その存在を前提として安全で安心な社会システム構築のための技術開発が必要である。
- Commodity部品により構築される社会システムの信頼性や安全性が危惧されている。
- ユーザ・製造者・設計者・許認可権者の責任の明確化も重要である。
- このような状況で、安全・安心を保証するための新しい指導原理と技術が必要となっている。

JST研究開発戦略センター
ディペンダビリティワークショップ資料

揺らぎと不確実性への増大

物理的揺らぎの
設計による吸収

- DFM
- Variation Tolerant Design



各層で発生する問題をいかにシステム全体の致命的な問題にせずに済ませるかという問題

阻害要因による分類

- 自然現象による脅威 (Natural Threat)
 - 自然界からの雑音
 - デバイスの故障・経年変化
 - 製造時の揺らぎ
- 人間活動(設計、製造、運用)におけるミス(Human Errors)
 - 設計や仕様上の誤り
 - 製造時の誤り
 - 運用上の誤り
- 悪意ある攻撃による脅威 (Human Attack)
 - 攻撃への耐性(設計時、製造時、運用時など)
 - 事故時の対応(波及の局所化、迅速な復旧)
 - 利用者の了解性、社会の受容環境
- 複数の要因の複合的効果
 - システム同士、システム一人、人同士のインタラクションに起因する不具合
 - 「仕様が規定できない」という本質的問題

JST研究開発戦略センター
ディペンダビリティワークショップ資料

Life Cycle Stages

- Dependabilityに影響するLife Cycle Stages
 - 企画 (Planning)
 - 設計 (Design)
 - 製造 (Fabrication)
 - 検査 (Test)
 - 流通 (Distribution)
 - 運用 (Operation)
 - 廃棄 (Abandonment)

JST研究開発戦略センター
ディペンダビリティワークショップ資料

VLSI設計への課題(例)

- 寿命: 製品寿命に合わないデバイスの寿命
- 故障: 物理的な要因(PVT変動、宇宙線)への対応
- 設計ミス: 仕様、論理、物理、テスト
- 製造トラブル: 工程管理、統計的性質、不正な生産(横流し)
- テスト: 故障の見逃し、良品の横流し、DFTを利用した暗号鍵の盗難
- 運用中の障害: ユーザの誤り、過酷な環境、
- セキュリティ: ウィルスなどの攻撃、不正利用

JST研究開発戦略センター
ディペンダビリティワークショップ資料

人命にかかわる例 (自動車用チップ)

| | 自然現象 | 人的ミス | 人的攻撃 |
|----|------------------------|----------------------|---------|
| 企画 | 製品寿命(15年以上) | 仕様不備 | 企画の盗難 |
| 設計 | 耐故障設計 耐熱設計 耐雑音設計 | 設計ミス、バグ 利用環境の想定ミス | 設計の盗難 |
| 製造 | 製造ばらつき | 製造ミス | |
| 検査 | 間欠故障の見逃し | 見逃し率 | 不良品混入 |
| 流通 | 実装中の環境変化 | 不良・偽造品混入 | 偽造品混入 |
| 運用 | 経年変化 温度環境 | 利用事故 保守のミス | 無線による攻撃 |
| 廃棄 | | 情報の未消去 | 情報抜取 |

JST研究開発戦略センター
ディペンダビリティワークショップ資料

財産にかかわる例 (電子マネー用チップ)

| | 自然現象 | 人的ミス | 人的攻撃 |
|----|-----------------|----------------------|---------------------------|
| 企画 | 製品寿命(20年以上) | 仕様不備 交換時への配慮 | 企画の盗難 |
| 設計 | 耐故障設計 自己修復機能 | 設計ミス、バグ 利用環境の想定ミス | 耐タンパ設計 設計の盗難 特殊回路挿入 |
| 製造 | 製造ばらつき | 製造ミス | 違法な生産による 横流し |
| 検査 | 間欠故障 | 見逃し率 | 良品横流し |
| 流通 | 運搬・保存中の 環境変化 | 運搬等の事故 | 盗難、横流し |
| 運用 | 経年変化 宇宙線・環境 | 利用事故 | Phishing、virus 盗聴、不正利用 |
| 廃棄 | | 情報の未消去 | 情報抜取・解析 |

JST研究開発戦略センター
ディペンダビリティワークショップ資料

複雑なシステムの例 (携帯電話用チップ)

| | 自然現象 | 人的ミス | 人的攻撃 |
|----|-----------------|---------|---------------------------|
| 企画 | 製品寿命 | 仕様不備 | 企画の盗難 |
| 設計 | 耐故障設計 自己修復機能 | 設計ミス、バグ | 設計の盗難 特殊回路挿入 |
| 製造 | 製造ばらつき | 製造ミス | 違法な生産による 横流し |
| 検査 | 間欠故障 | 見逃し率 | 良品横流し |
| 流通 | 運搬・保存中の 環境変化 | 運搬等の事故 | 盗難、横流し |
| 運用 | 経年変化 宇宙線・環境 | 利用事故 | Phishing、virus 盗聴、不正利用 |
| 廃棄 | | 情報の未消去 | 情報抜取 |

JST研究開発戦略センター
ディペンダビリティワークショップ資料

VLSIIに求められるディペンダビリティとは？ (アンケートより)

| |
|---------------------------------|
| Availability |
| 継続的に供給されること |
| セカンドソースが確保できること |
| Safety |
| 低消費電力 |
| リサイクルの可能性 |
| Confidentiality |
| 内部処理の秘匿性 |
| 情報が自動的に消滅する機能 |
| チップ内にそのチップを認証する仕組みを持つ |
| 情報漏洩の防止能力 |
| 安易に変更出来ない暗号化設計手法 |
| 搭載された情報へのアクセス防止 |
| ユーザ・コンピュータ認証能力 |
| Integrity |
| チップに乗せるソフトウェアを認証して、処理内容を保証する仕組み |
| 高信頼アーキテクチャー |

| |
|---------------------------------|
| Reliability |
| 自己維持本能 |
| 厳格にタイミング仕様が満たされなくても動作するVLSI設計技術 |
| 一部の不良があっても動作する機能 |
| 一部の不良があると自動的に不良品と分別できる機能 |
| 回路が確実な結果を出す仕組み |
| どのような状況にあっても、所定の機能を発揮できること |
| 動的に処理内容を認証する仕組み |
| 給電が止まっても直前の情報処理を再現できるもの |
| 機能的バグの少なさ |
| 実装の機械的強度 |
| 処理能力に余裕があること |
| ソフトウェア耐性 |
| 動的な変動(温度の変化等)への対応 |
| 対環境耐性、長期信頼性の高さ |
| 耐攻撃性 |
| 耐衝撃性 |
| コンピュータウイルス検出能力とその実行防止能力 |
| 書き込み要求が妥当なものか否かの判断機能 |

| |
|-------------------------------|
| Maintainability |
| 自己テストと自己修復 |
| 誤動作の検知と対処 |
| Dynamicなセルフテスト&リペア機能 |
| 自己認識性 |
| 自己監視能力 |
| 自己終端能力 |
| 機能不正の症状・理由を対応可能な様にレポートする機能 |
| 統一インターフェース |
| スペックの公開 |
| スペックが細部まで保証されていること |
| システム毎の設計指針の確立 |
| 問題発生時にデバック容易な故障診断ツール |
| 回路系の動作不良・誤動作の明確化 |
| 動作不良・誤動作のテスト技術、補償技術(特にアナログ回路) |
| 高信頼性設計 |
| システム設計とリンクしたLSI設計ツール |
| Others |
| コストを意識した冗長性 |

JST研究開発戦略センター
ディペンダビリティワークショップ資料

ディペンダビリティVLSI WSの目的

- VLSIIに関するDependabilityの技術の位置づけと要求課題をまとめる。
- Dependableな社会システムを構築するために必要となるVLSIIに関する技術のGrand Challengeを示す。
- 本WSの最低限のアウトプット
 - 研究課題
 - 研究推進の方法
 - 国内外の状況

JST研究開発戦略センター
ディペンダビリティワークショップ資料

Grand Challengeの例

電子的貨幣基盤の構築



システムレベル
 社会システム（決済・徴税システム）
 法体系、経済システム、通信・ネットワーク

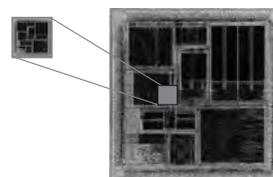
デバイスレベル
 携帯電話・ICカード
 発行・運用システム
 セキュリティ技術（暗号）、プライバシー保護
 組込みSW開発、危機管理

チップレベル
 Security on a Chip（耐Tamper技術）
 設計、製造、テスト段階での偽造防止技術
 Secure Coreの分離、真贋性保証技術
 「価値を載せられるシリコン」の技術

電子経済時代の通貨・徴税の仕組みの構築

「価値」を搭載するLSI

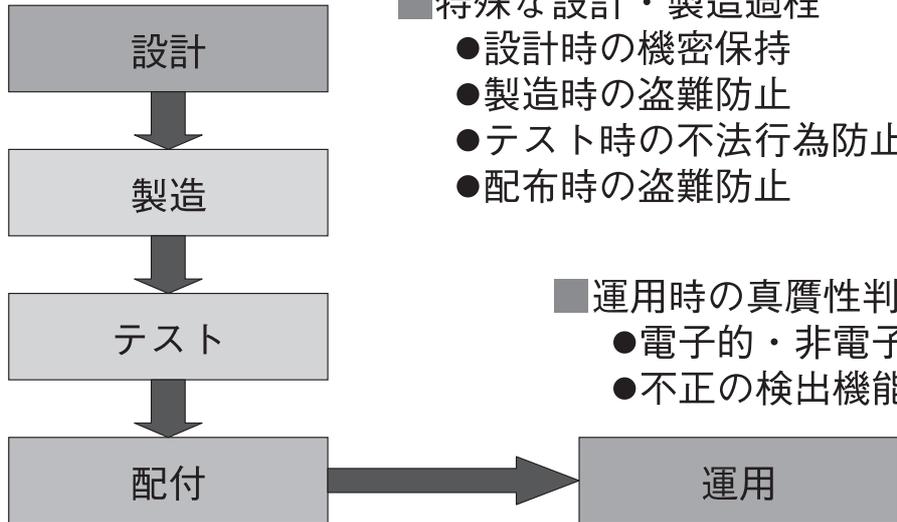
- 大半の機能は通常の半導体技術を使う実装技術（経済性）
- 電子貨幣に関する機能の部分だけを「特殊な方法」で設計・製造・テストする技術
- 高いDependabilityの実現
 - Confidentiality, Safety, Integrity, Reliability
- 真贋性の判定方法
 - コストと有効性



Dependable Core

技術的課題

特殊性の実現
材料
加工方法
機能・性能

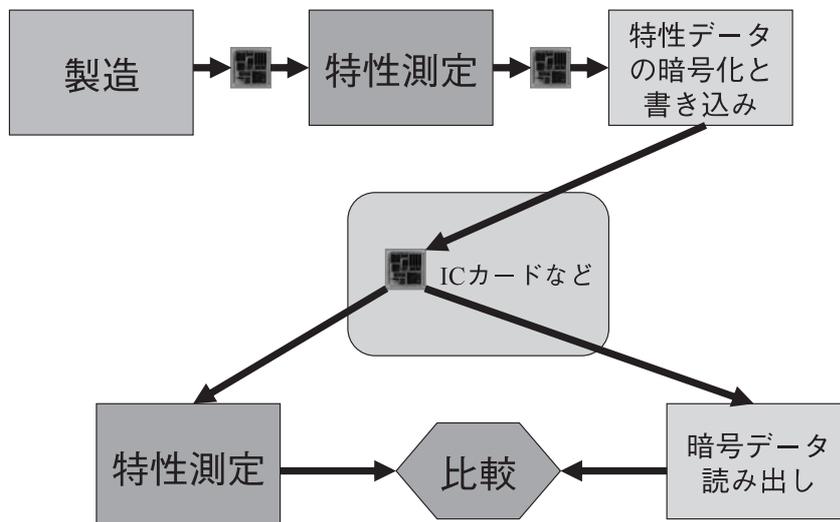


- 特殊な設計・製造過程
 - 設計時の機密保持
 - 製造時の盗難防止
 - テスト時の不法行為防止
 - 配布時の盗難防止

- 運用時の真贋性判定
 - 電子的・非電子的
 - 不正の検出機能

付加価値は製品にあるのか？それとも設計・製造のプロセスにあるのか？

真贋性保証の例



半導体関連企業への波及効果

- 半導体製造メーカー
 - 機密性の高い製造手法による製品への付加価値
 - 新しい応用分野(知財保護や信用取引)向け製品の開発
- 半導体製造機器メーカー
 - 特殊な製造装置と製造技術の開発
 - 一般端末における真贋判定機器への技術応用
- 半導体材料メーカー
 - 特殊な材料による安全性の確保
- マスクメーカー
 - 特殊なマスク技術の開発と安全管理技術の確立
- テスト機器メーカー
 - 耐タンパー性とテスト容易性を両立する技術
 - 一般端末における真贋判定機器への技術応用
- 設計ツールベンダー
 - 安全性の高い設計技術とそのためのツール
- 設計会社
 - 安全性を付加価値とするチップの設計技術
- システムメーカー
 - 価値や信用を搭載する機器の開発



財務省印刷局
LSI部の実現

特殊な

- 製造プロセス
- 設計フロー
- 設計ツール
- テスト機構
- 材料
- 実装技術

世界標準:「価値」を
搭載するLSIの製造・
設計・テストの標準
ISOXXXXX

「価値」を担える Dependable VLSI

- 新しい半導体集積回路産業の応用分野の共通テーマ
 - 半導体業界の非競争的共通開発テーマの候補
 - 情報通信やソフトウェアなどと不可分の技術開発
 - 大きな応用分野と経済効果
 - 個人認証, 電子マネー, コンテンツ保護など
- 新しい社会の基盤技術
 - 経済システムの根幹
 - 知財立国政策の基礎となる社会システムの構築
- 国家の安全保障との関係
 - 通貨体制や徴税システムの基本
 - 諸外国への技術供給による国家安全保障の確立
- 半導体は「貨幣」を作る技術となった
 - 財務省や日本銀行がスポンサーとなる研究開発

2. 2 Cell Broadband Engineの開発における ディペンダブルVLSI技術

TOSHIBA

Cell Broadband Engineの開発における ディペンダブルVLSI技術

ディペンダブルVLSIワークショップ

(株)東芝 ブロードバンドシステム開発センター 開発第一担当
開発主幹 林 宏雄

2006年5月26日

Copyright © 2006 Toshiba Corporation. All rights reserved.

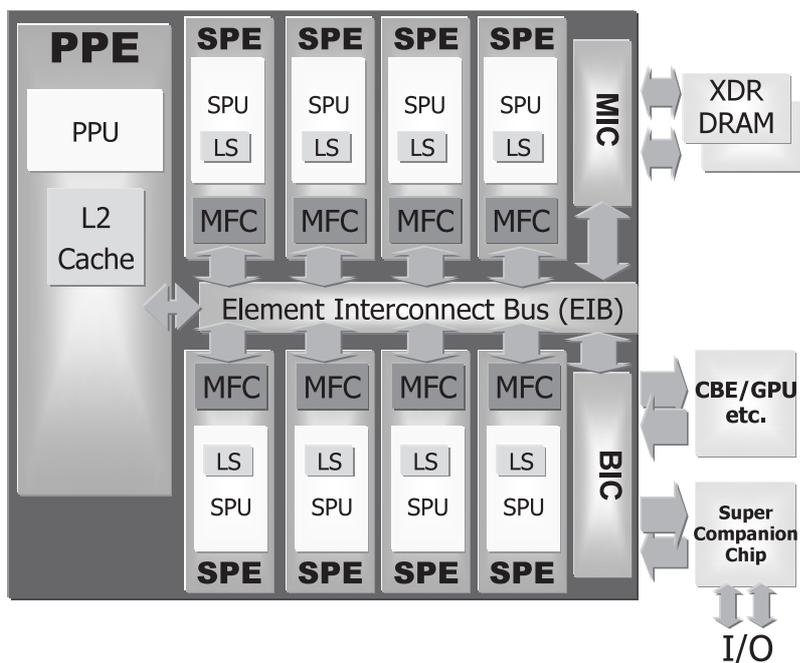
TOSHIBA

はじめに

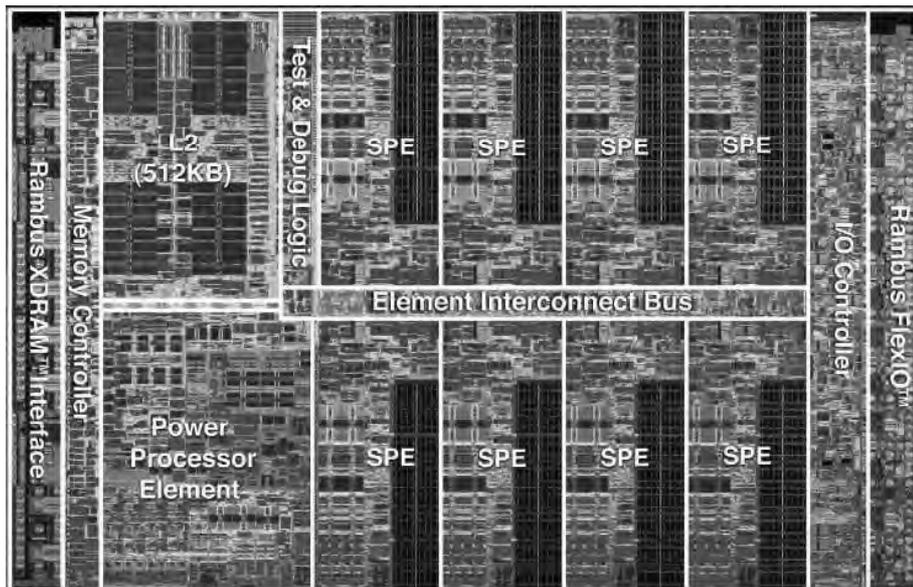
- Cell Broadband Engine 概要
- Cell Broadband Engineの開発におけるディペンダブルVLSI技術
 - アーキテクチャ
 - 大規模VLSI検証体制
 - 回路方式とのTrade-off
 - 温度センサ

Cell Broadband Engine概要

第一世代Cell Broadband Engineブロック図



チップ写真



5 /

諸元

- | | |
|----------------------|--------------------------|
| • プロセス・テクノロジー | 90nm SOI |
| • ゲート段数 (プロセッサコア部) | 11F04 |
| • 動作クロック周波数 | >4GHz ^{注)} |
| • ピーク性能 (単精度浮動小数点演算) | >256GFlops ^{注)} |
| • ピーク性能 (倍精度浮動小数点演算) | >26GFlops ^{注)} |
| • チップサイズ | 235mm ² |
| • トランジスタ数 | 235M transistor |
| • BGA 端子数 | 1,236 個 |
| • C4 バンプ | 2,965 個 |

注)実験室内データ

6 /

Cell の狙い

- デジタルホームから分散コンピューティングまでをカバーする新しいアーキテクチャ
- スーパーコンピュータの性能を家庭内に
- 自然なヒューマンインタフェースを実現
- 幅広い応用分野に適用できる汎用性とフレキシビリティ

Cell で繋がるデジタル機器の世界



主な特長 (1)

- Cell は非対称マルチコアアーキテクチャ (Performance/Power)
 - 64ビット POWER™ プロセッサエレメント (PPE)
 - 複数の Synergistic プロセッサエレメント (SPE)
 - 128bit x 128 レジスタ・ファイル
 - ローカル・ストレージ
 - 個数は PPE・SPE とも可変
- Cell はフレキシブルなアーキテクチャ
 - 複数の OS をサポート
 - 多様なシステム構成をサポート

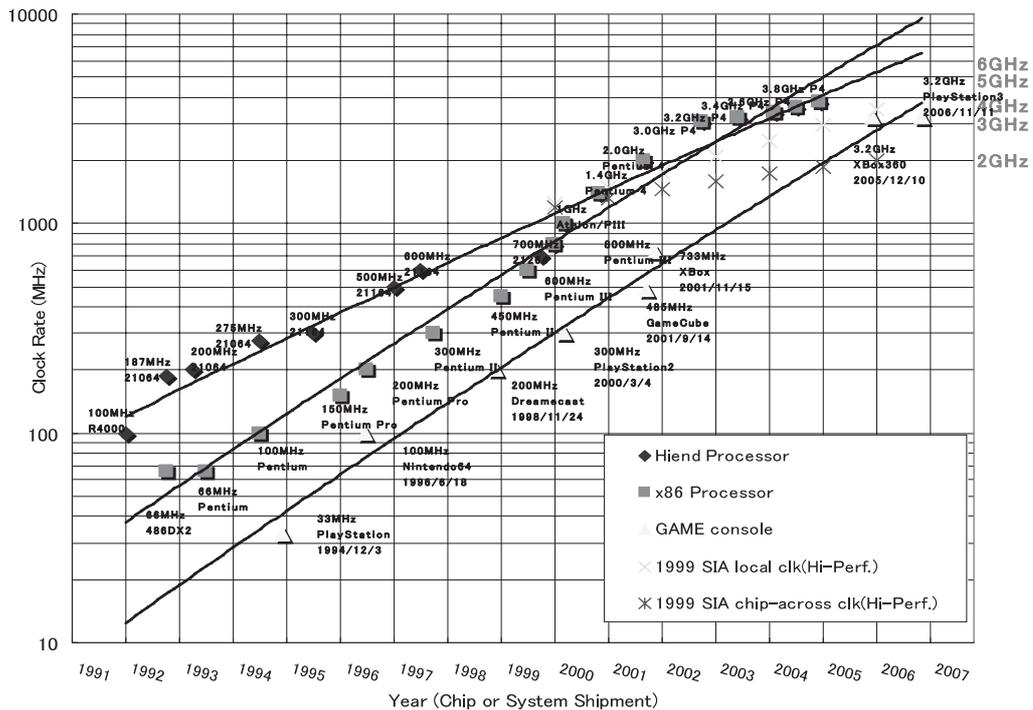
主な特長 (2)

- Cell はリアルタイムアーキテクチャ
 - バンド幅制御のためのリソース割付け機能
 - キャッシュロック機能
- Cell はブロードバンドアーキテクチャ
 - SPE はメディア演算・グラフィクス演算に適した SIMD 命令体系とローカルメモリを持つ RISC アーキテクチャ
 - 多数のプロセッサコアをサポートするための高バンド幅インターコネクト
- Cell はセキュリティをサポート
 - SPE のダイナミック・コンフィギュレーション

アーキテクチャ上の課題

- 3つの 'P' (Performance, Power, Price)
- メモリ・ウォール
 - メモリ アクセス レイテンシの相対的増大 (ex. 100ns = 400cycle @4GHz)
 - キャッシュメモリの限界 (大容量化、大規模な先読み機構 etc.)
 - Performance/Transistor の低下
- 並列度の向上による弊害
 - 複雑化、大規模化
 - Performance/Transistor の低下
- CMOSテクノロジーの傾向
 - Transistor数は順調に増加
 - Switching 速度の向上の鈍化
 - Leak電流の増加
 - Transistor の増加を効率的に Performance に

Microprocessor Clock Frequency Trend



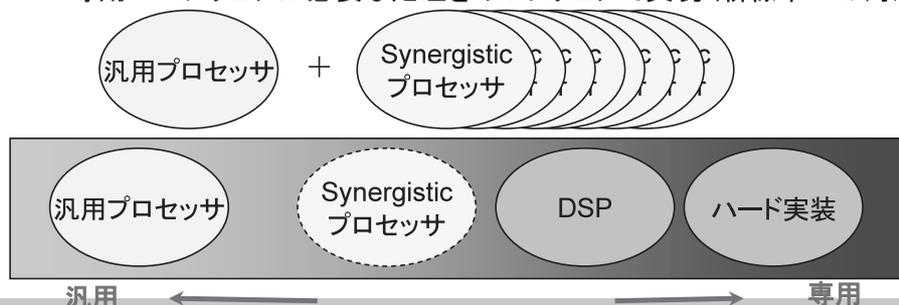
非対称マルチプロセッサ

- マルチ・コア
 - 複数のシンプルなプロセッサコアの組合せ
 - 個々のコアを小さくすることで、より多くのコアを1チップに集積
 - 本質的に並列性を持つデジタル・ホーム、分散コンピューティング処理に適する
 - プロセス・テクノロジーの進化によるトランジスタ数の向上の効果を享受可能
 - 高い内部/外部データ・バンド幅が必要
- 非対称マルチコアプロセッサ
 - 汎用プロセッサ: Power Processor Element (PPE)
 - PowerPCアーキテクチャ互換
 - データ処理プロセッサ: Synergistic Processor Element (SPE)
 - データ処理に最適化された新しいアーキテクチャ (SPU ISA)
 - 汎用コアの存在を前提 → アーキテクチャの選択の自由度大

13 /

非対称マルチプロセッサ (続き)

- 異なるアーキテクチャが相補
 - 汎用プロセッサ (PPE)
 - 制御系処理
 - OSなど膨大なソフトウェア資産の再利用
 - プログラマブル・データ処理プロセッサ (SPE)
 - 高いデータ処理性能
 - 専用ハードウェアが必要な処理をソフトウェアで実現 (新標準への対応)



14 /

データ処理プロセッサ: Synergistic Processor Element (SPE)

- RISC型 32ビット固定長命令フォーマット
- ロード・ストア・アーキテクチャ
- SIMD 命令により 128 ビットデータに対して演算を実行
64bit x 2, 32bit x 4, 16bit x 8, 8bit x 16
→ 高performance/transistor
- Local Storage, 大容量レジスタファイル
 - 汎用プロセッサとの組み合わせにより採用可能
 - Memory Wallの克服
 - 高performance/transistor
- Isolation Mode (後述)

Cell Broadband Engineの開発における ディペンダブルVLSI技術

Cell Broadband Engineの開発における ディペンダブルVLSI技術

- アーキテクチャ
- 大規模VLSI検証体制
- 回路方式とのTrade-off
- DFT (Design for Test)

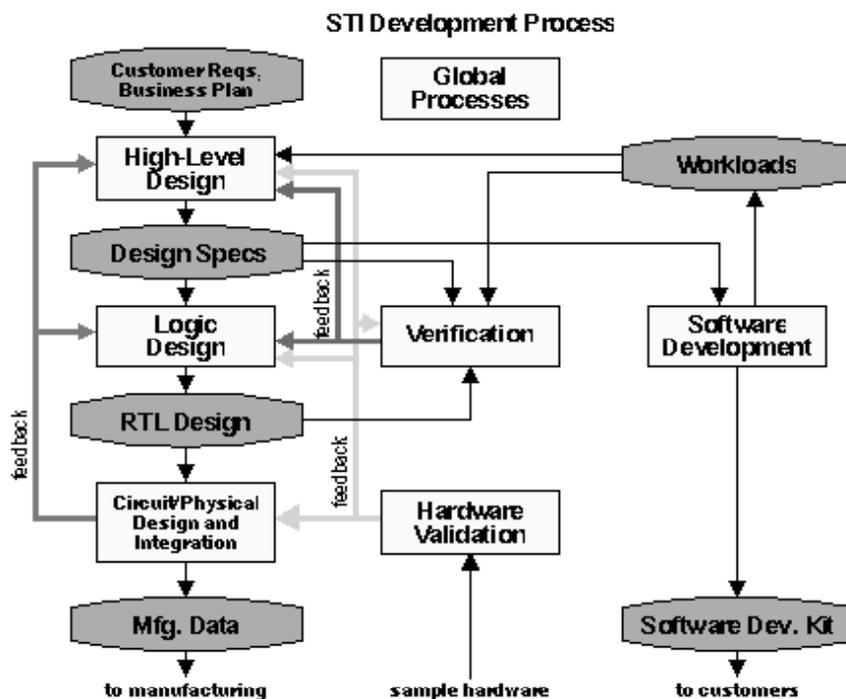
CellでのDependable技術 - アーキテクチャ

- 非対称マルチプロセッサ
 - シンプルな (=robust) プロセッサ・コアの組み合わせで高い性能を実現
 - PLAYSTATION 3 では一つのSPEをredundancyとして未使用
- SPE Isolation Mode
 - ブロードバンド時代でのコンテンツ保護
 - 認証 code などをdependableに実行
 - シンプルなH/Wで柔軟性の高い環境を提供
 - 次ページ

SPU Isolation Mode

- ダイナミック・コンフィギュレーション
 - Isolated Execution Mode
 - SPE 単位で動的にコンフィギュレーション可能
- Isolated Execution Mode に入るとき
 - プログラムをロードし認証
- SPE 外部からのアクセスを禁止
 - 認証されたプログラムによる安全な処理
- Isolated Execution Mode を出るとき
 - 内部状態をクリアし、痕跡を残さない

TOSHIBA 大規模システムLSI開発: STI Development Process



Sanjay Gupta, Functional Verification - now and future, ASP-DAC 2006

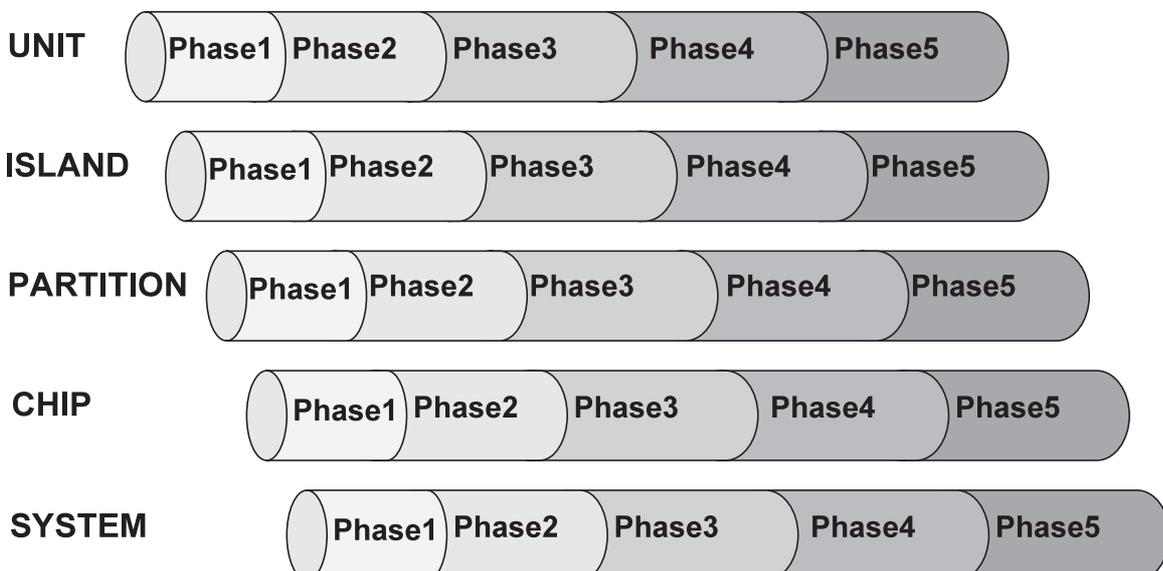
検証プランニング、階層化検証

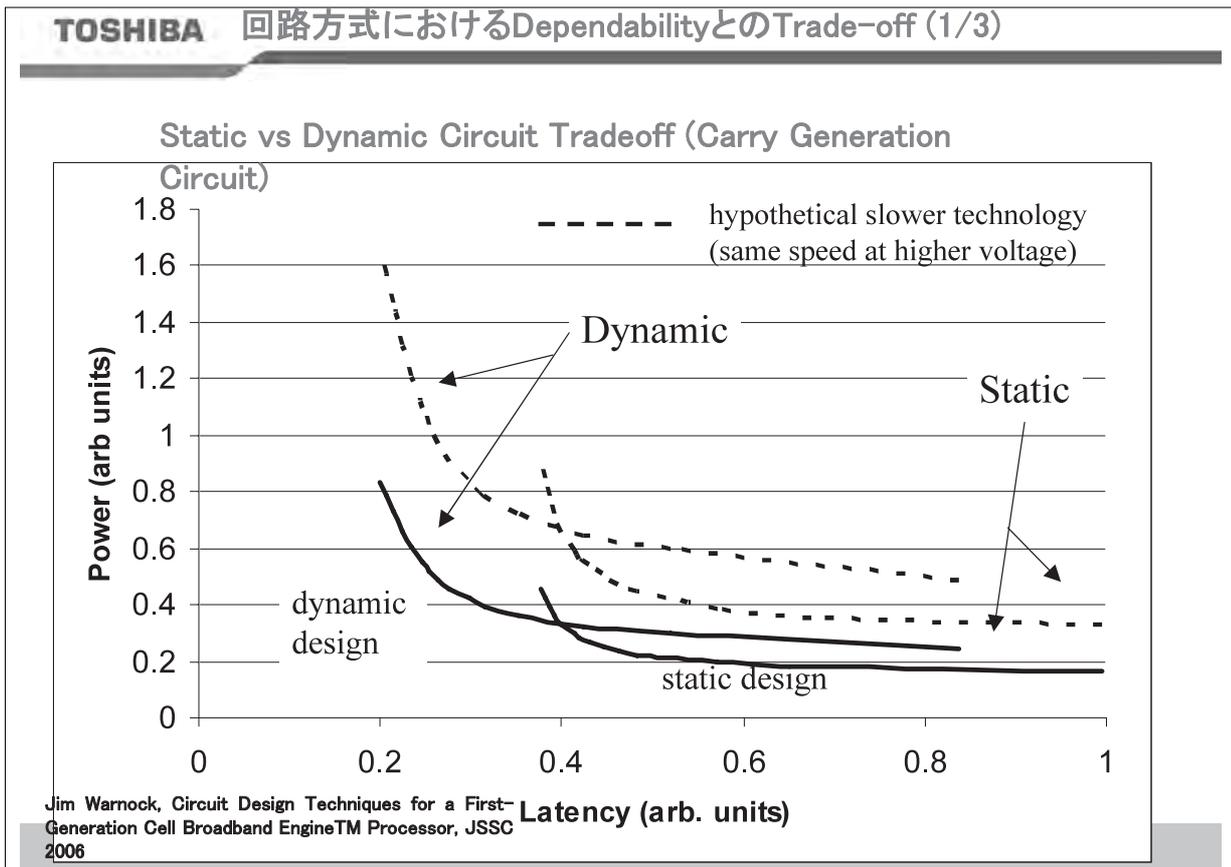
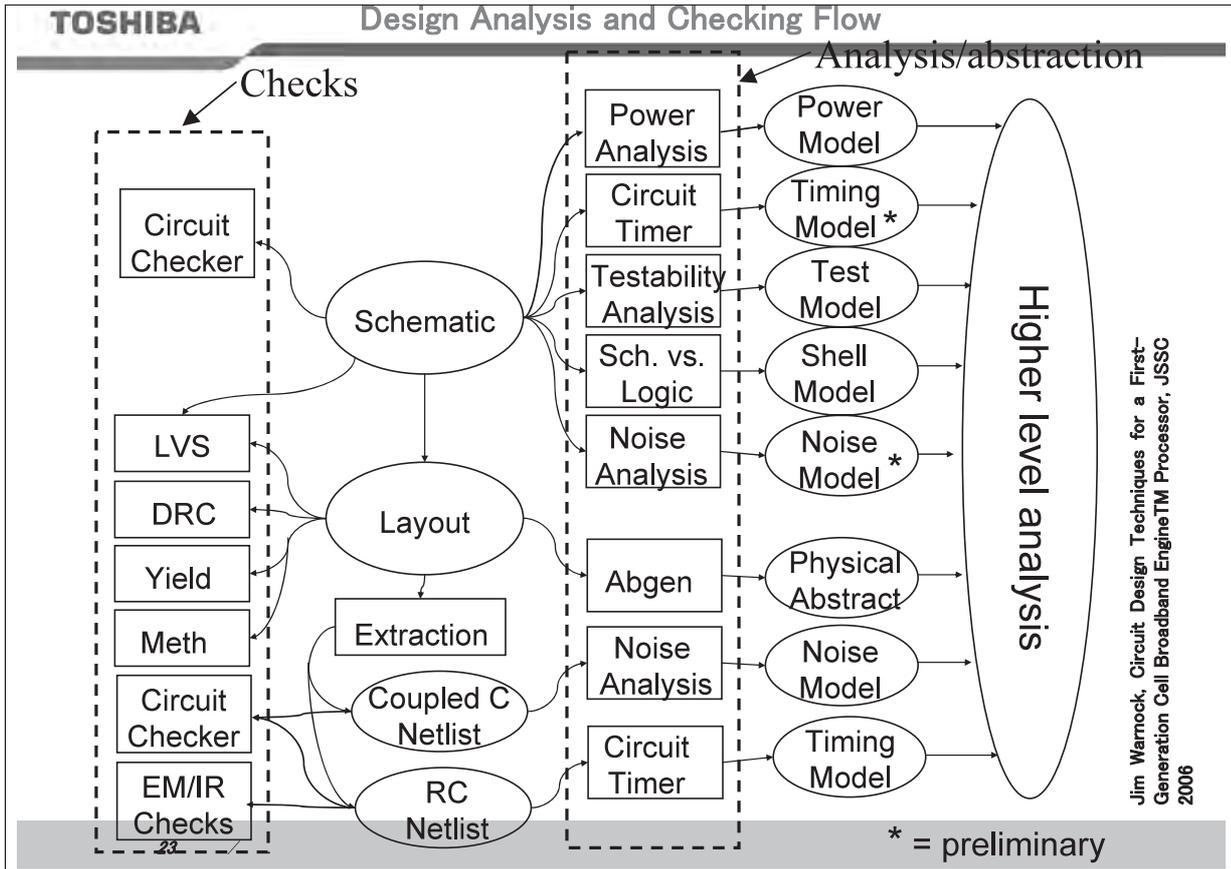
- プランニングの原則:

Top Down Specification/Bottom Up Implementation

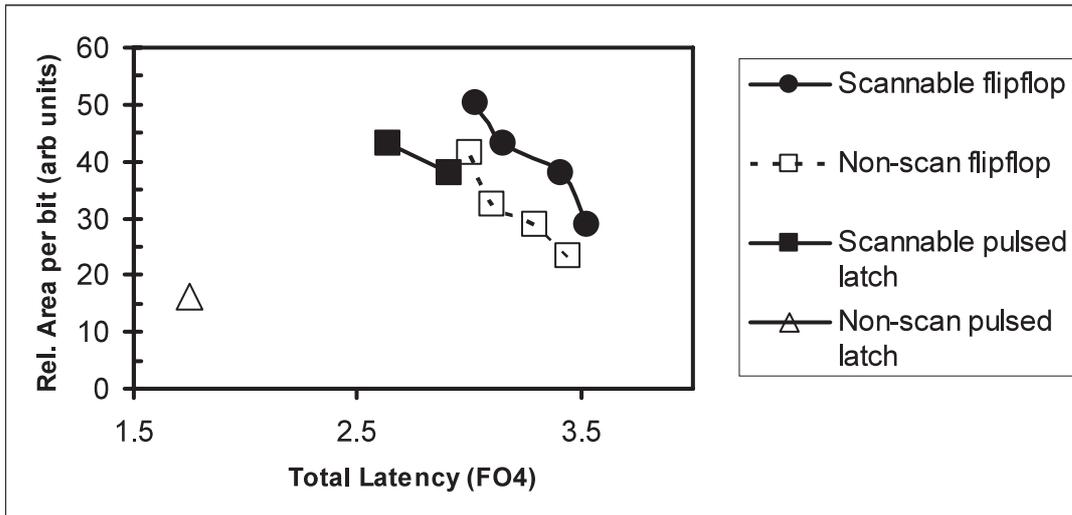
1. 品質の良いchipを作るために全ての検証環境を計画する
2. Partition, Island, Unit, Blockレベルにデザインを階層化する
3. 各レベルで、明確なゴールを定義する
4. 下位レベルから順に環境をインプリメントする

階層化検証



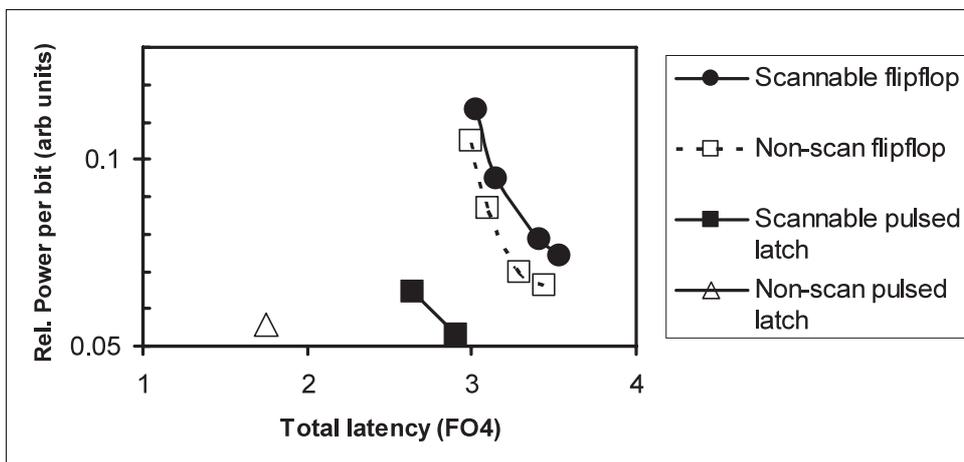


Flip-Flop/Latch Area-Latency Tradeoff



Jim Warnock, Circuit Design Techniques for a First-Generation Cell Broadband Engine™ Processor, JSSC 2006

Flip-Flop/Latch Power-Latency Tradeoff



Jim Warnock, Circuit Design Techniques for a First-Generation Cell Broadband Engine™ Processor, JSSC 2006

温度センサ

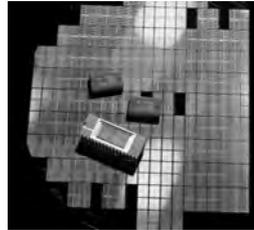
- 2種類の温度センサ
 1. リニアセンサ (analog diode)
 - Cooling 制御 by system controller
 2. デジタルセンサ
 - 各機能 unit ごとに、合計 10個
 - ソフトウェア制御用
 - 温度上昇の早期検出 etc.

2. 3 VLSI 製造技術と今後のディペンダブル VLSI

VLSI製造技術と今後のDependable-VLSI

0526-2006

抜粋配布版



大阪大学
先端科学イノベーションセンター

岡本和也

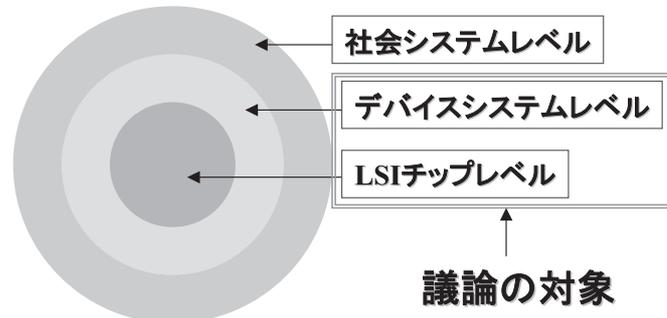
K.Okamoto Dependable VLSI 1
Osaka Univ.

Dependability:【名】頼みになること、信頼性



Dependable VLSI製造技術とは？

高度情報化社会という新しい人類の環境下において
価値・効用と信頼を与える、
様々な要因に対して“耐性のある”
VLSIを製造する技術のこと。



K.Okamoto Dependable VLSI 2
Osaka Univ.

半導体のパラダイムシフトに伴う傾向

| 年代 | 1996~2000年 | 2001年~2007年 |
|------------------------|-----------------------------|-------------------------------|
| Design Rule・デバイス | 350-180nm CMOSロジック | 130-65nm SoC |
| 主たる生産形態 | 小品種多量 | 多品種変量 |
| 工場設備の傾向 | 大規模ライン（メガファブ） | 小規模ライン（ミニファブ） |
| 設備投資額（200mmウエハ、20k枚/月） | 500-1000億円 | 1500-2000億円 |
| 製造の鍵 | 高TP | Q-TAT |
| 開発費用 | 400万米ドル（350nm,200万ゲートLogic） | 1億900万米ドル（90nm,1250万ゲートLogic） |
| 開発工数（人/月） | 19.4 | 1815 |
| ウエハ処理・管理単位の傾向 | バッチ式 | 枚葉式 |
| 検査 | 最終検査中心に長いループによるFeedback | インライン検査中心に短いループによるFeedback |
| 市場 | PC、携帯電話 | 携帯電話、デジタル家電、ブロードバンド |
| 顧客との関係 | 生産オリエンテッド（IC設計・生産） | 顧客オリエンテッド（システム設計、マーケティング） |
| ビジネスモデル | 自前主義 | コアコンピタンス+水平分業 |
| 収益構造 | 薄利多売 | 高付加価値・差別化製品 |

Source: 製造装置ガイドブック、JEITA、Keirex

↑ Dependabilityという概念の付加

K.Okamoto Dependable VLSI 3
Osaka Univ.

今後の半導体製造・検査装置の形態

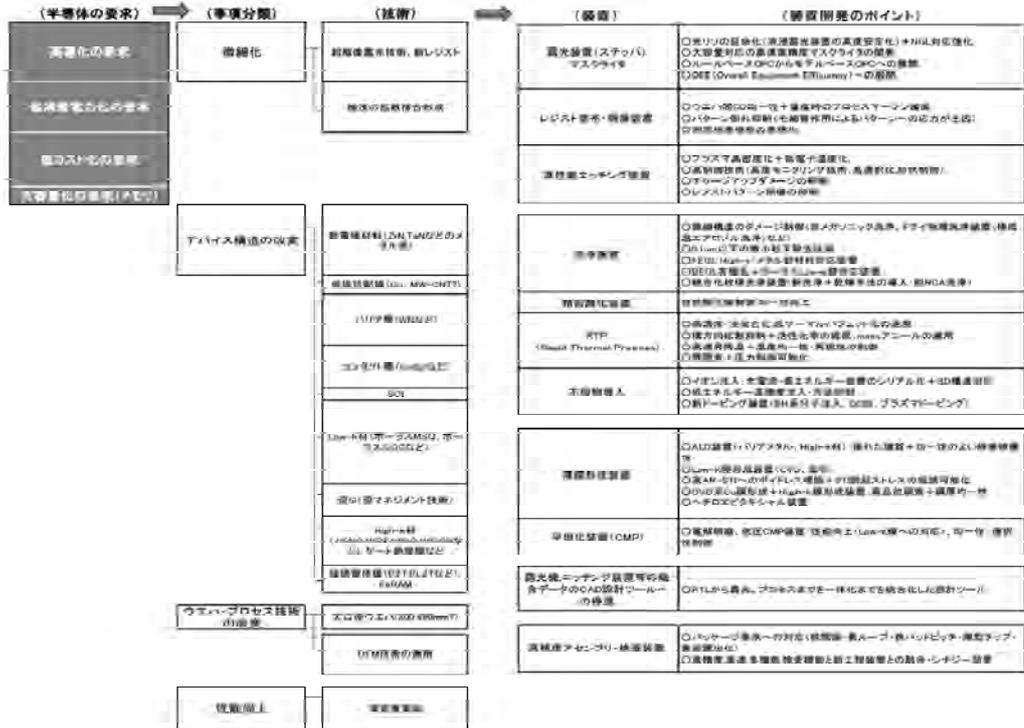
汎用半導体の微細化限界 45nm? (経済的限界から)
→ (恐らく) 応用により2極化する。

形態:

- 枚葉式Q-TAT
- 拡張柔軟性
- 顧客仕様特化(差別化商品)
- インライン検査機能
- DFM機能の考慮: EDA、デバイスメーカーとの共存

K.Okamoto Dependable VLSI 4
Osaka Univ.

製造プロセス・装置の動向



K.Okamoto Dependable VLSI 5
Osaka Univ.

光リソグラフィ技術の進展

Rayleigh's criteria:

$$\text{Resolution} = k_1 \cdot \lambda / \text{NA}$$

高分解能化のための施策

λ : 露光光源波長の短波長化:

G線(436nm) → i線(365nm) → KrF(248nm) → ArF(193nm) → EUV(13.5nm) ☆限界: 装置複雑性によるコスト ↑

k1: プロセス係数の縮小: 0.8 → < 0.3?

☆限界: MEEF* の問題浮上、理論限界値 0.25
 (MEEF*: マスク上誤差のウエハ上での拡大比率)

- レジスト自身の特性改良、
- 露光プロセスの改良: CMP 導入による DOF 緩和、NA 拡大、位相シフト等の超解像技術の導入

NA (= n sin θ): 投影レンズの開口数の拡大: 0.3 → 0.9 → ?

☆限界: レンズコスト増大: CoO ↑
 → 液浸による屈折率 n の増加手法の実現

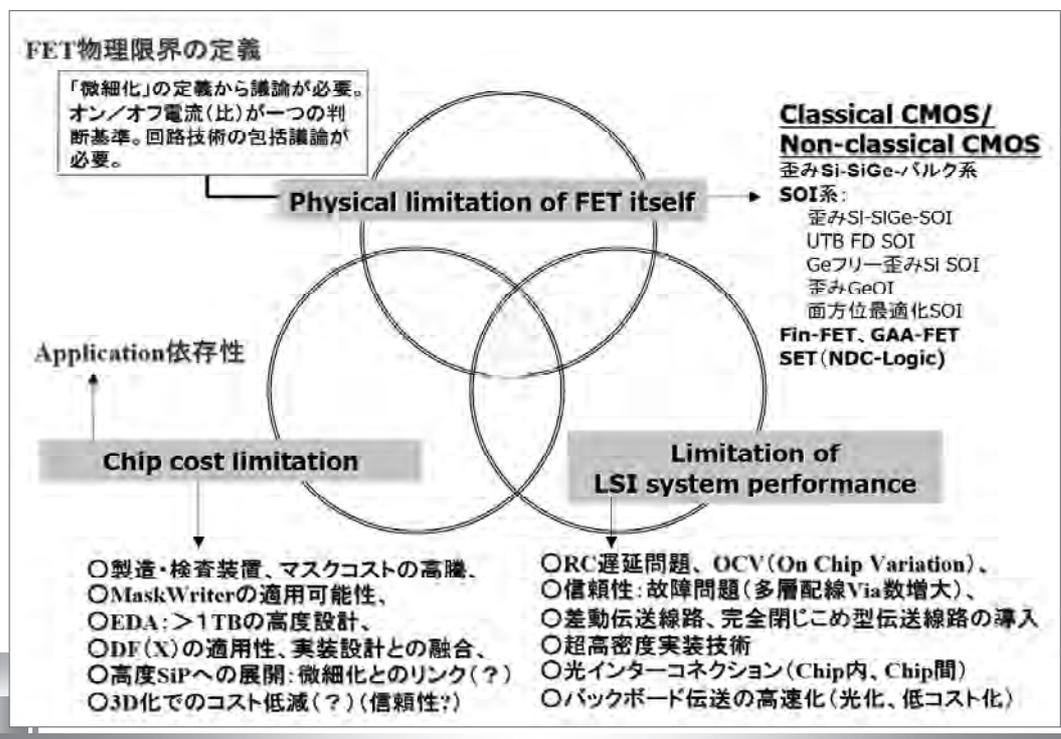
K.Okamoto Dependable VLSI 6
Osaka Univ.

リソグラフィ装置の最新動向

| 方式 | Source | 波長 | マスク倍率 | ITRS2005候補 | 適用DRAMの1μm | レベル | 現状 | 技術的課題など |
|--|--------------------|--------------------------|-------|------------|-------------------------------|-----------------|--|---|
| KrF Lithography | 全 | 248nm | x4 | ○ | 130/110nm | 量産 | 量産量産中 | — |
| ArF Lithography | 全 | 193nm | x4 | ○ | 90nm 65nm | 量産 | <ul style="list-style-type: none"> ○80nmの適用 (k1=0.4, NA0.60, スループット160W/m²) ○高解像化レーザー (RWHM 0.3μm)の採用 ○高効率化の課題 | — |
| ArF液浸 Lithography | 全 | 193nm (実効波長 134nm@1.44) | x4 | ○ | 65nm 45nm (32nm) (28nm) | 量産導入直前 | <ul style="list-style-type: none"> ○デバイス製造に向けプロセス全体の最適化 ○NA1.2には反射型縮小投影レンズの採用 ○露光照明の採用 | <ul style="list-style-type: none"> ○浸漬用レジスト(液浸時のレジスト失陥の抑制) ○液体(水)の酸化熱分解(アライメント精度向上) ○32nm~適用には高屈折率材料 (n1.65)の開発が必要 ○32~28nm向けにDouble Exposure, Plasmatronの適用も検討 |
| EUVL (Extreme UltraViolet Lithography) | 全 | 13.5nm | x4 | ○ | <45nm | α→β機 | <ul style="list-style-type: none"> ○RET, OPCなしでの12nmへの適用性 ○Mo/Si多層膜反射率(反射率70%) ○投影レンズのフレア復元 (1/f) ○多層膜レンズ-照明機の進化 | <ul style="list-style-type: none"> ○高出力光源(110W@2次光源機) ○光学的ナノリソ ○EUVマスク(多層膜)の新たな材料 描画及び修正技術 ○投影レンズ系(0.5nm)の高精度実現のフレア低減 ○コンタム対策(スラー-異物の汚染防止)とナノリーング ○レイティング |
| EPL (CD Projection Lithography) | 電子線 | 3.8nm (Je Dregis波長) | x4 | × | <65nm | β機 | <ul style="list-style-type: none"> ○45nmの解像性(非SLR, DOF>5μm)実証済み ○SELETへの導入実績, 200nm全域での露光量(精度<15nm), 40PH達成 ○単層レジストでコンタクトホール開口に適合 ○10kVマスク, レジスト等のインフラ整備完了 ○IHSI2004対策済 | <ul style="list-style-type: none"> ○空間電荷効果抑制によるスループットの改善 ○ユーザ支持の確保 |
| ML2 (Maskless Lithography) | 電子線 (またはMEMS mask) | 電子線: 0.5nm (Je Dregis波長) | — | ○ | <45nm | EBDW量産その前は研究開発中 | <ul style="list-style-type: none"> ○EBDW(電子線露光装置)日本の産学技術で量産への応用 ○マルチコラム等はコンセプトの提示レベル | <ul style="list-style-type: none"> ○電子線・ビーム偏向精度向上, 描画速度向上, 露光時間高精度化, 高出力電子銃, 高精度位置決め ○MEMSマスク方式, 大量量産データの高速伝送取り扱い, MEMSの信頼性 |
| Imprint | UV | — | x1 | ○ | <32nm | β機 | <ul style="list-style-type: none"> ○経産省06年実証 ○テラスタージ, MEMS等では一部実用化 ○Fin-FET(ゲート長 18nm)での試作済みあり ○Dy-Ti, Mo-Tiエンボス, μGPIempr ○Contour Printingが代表技術 | <ul style="list-style-type: none"> ○等価のアンプレート(65nm)基礎上のEB(バターン)のコストと極めて高い精度の要求およびその確保技術 ○極めて高いアライメント精度の要求 ○ユーザ支持の確保/従来と異なるアーキテクチャ ○軽量/低熱の無害 ○スループットの向上 |

K.Okamoto Dependable VLSI 7
Osaka Univ.

微細化限界の方向性とKeyとなる技術・課題



K.Okamoto Dependable VLSI 8
Osaka Univ.

All Digital Manufacturingという概念のDependabilityへの投入

製造における暗黙知を形式知(数式化・定式化)し、
さらにデジタル値へ変換・データベース化し、IT技術を
駆使し、経営資源のロスミニマムを実現する手法

Motivation:

- Speed: 顧客ニーズの多様化・高度化による商品のライフサイクルの短化
- Cost: 価格競争力を高めるための海外生産拠点での運営



Action:

- CAEの有効活用: 設計開発の後戻りを抑制
- 設計のReuse率の向上
- 最小限の試作で、高品質・高効率な製造ラインを短期間に構築



☆Dependabilityへの有効性

Source: Toshiba (Mr. Atsumi)

K.Okamoto Dependable VLSI 9
Osaka Univ.

半導体の方向性

○微細化設計・プロセスの現状:
経済的限界によるLSIの2極化

○半導体デバイスの進化:
新構造の提案



Dependabilityの考慮

○3次元実装の重要性:
単なる実装からLSIプロセスへ

○今後の展開:
応用と市場性の確認
設計・製造・検査工程の融合化

K.Okamoto Dependable VLSI 10
Osaka Univ.

Dependable VLSIの傾向総括(Primitive)

| Term | Contents | Field | Contradiction |
|--------------------|----------------------------------|-----------------|--------------------------|
| Availability | 継続的供給可能 | 製造 | |
| | Second Source, Third Sourceの確保可能 | 製造 | コスト意識→信頼性低下 |
| | リサイクルの有効性 | 製造 | 内部情報の秘匿性の欠如 |
| Confidentiality | 内部処理の秘匿性 | 設計・製造 | コスト増 |
| | 情報の自動消滅機能 | 設計 | コスト増 |
| | チップ内認証システム | 設計 | コスト増 |
| | 情報漏洩の防止能力 | 設計 | コスト増 |
| | 安易に変更出来ない暗号化設計手法 | 設計 | コスト増 |
| | 搭載された情報へのアクセス防止機能 | 設計 | コスト増 |
| Integrity | ファームウェアの処理認証機能 | 設計 | コスト増 |
| | 高信頼性アーキテクチャ | 設計 | Archの大幅改変難 |
| Safety・Reliability | 低消費電力化 | 設計・製造 | Archの大幅改変難、コスト増 |
| | 自己維持本能 | 設計 | Archの大幅改変難、コスト増 |
| | タイミング仕様に冗長性を有するVLSI設計製造技術 | 設計・製造 | Archの大幅改変難、コスト増 |
| | 不良耐性を有するVLSI | 設計・製造 | コスト増 |
| | 不良品の自動分別機能 | 設計・製造・テスト | コスト増 |
| | 処理内容のDynamic認証機能 | 設計 | コスト増 |
| | 給電停止時の情報処理維持機能 | 設計・製造 | コスト増 |
| | 実装の機械的強度:耐環境性+耐衝撃性 | 設計・製造 | コスト増 |
| | ソフトエラー・ファームエラー耐性:SRAM(特に) | 設計・製造・テスト | コスト増 |
| | 高い環境耐性+長期信頼性 | 設計・製造 | コスト増 |
| | 製造再現性、製造エラー認識機能 | 製造 | コスト増 |
| | 製造信頼性(MTBF,MTTR) | 製造 | コスト増 |
| | 設計・製造とのリンクによる信頼性確保 | 設計・製造 | コスト増 |
| | Siに変わる新しい材料系(熱的耐性、高導電性) | 設計・製造 | Archの大幅改変難、コスト増 |
| 耐攻撃性(意図的ウイルスなど) | 設計・製造 | Archの大幅改変難、コスト増 | |
| Maintainability | 自己テストと自己修復機能 | 設計・製造・テスト | Archの大幅改変難、コスト増 |
| | 誤動作の検知とDynamic自己診断+対処機能 | 設計・製造・テスト | Archの大幅改変難、コスト増 |
| | 自己監視+修復能力+データロガー機能 | 設計・製造・テスト | Archの大幅改変難、コスト増 |
| | インターフェースの統一化 | 設計 | 情報の秘匿性の欠如Archの大幅改変難、コスト増 |
| | スペックの公開と保証 | 設計・製造・テスト | 情報の秘匿性の欠如 |
| Others | 高信頼性設計 | 設計 | コスト増 |
| | コストを意識した冗長性 | 設計・製造・テスト | コスト増 |

K.Okamoto Dependable VLSI 11
Osaka Univ.

Dependable VLSI製造に関する一つの考え方

- ◎技術の推進と応用の増殖に追従できていない
技術検証なくUpdateの繰り返し
無防備なGlobal化、規格のBlack Box化
- ◎各機関独自のVLSI設計・製造システム構築による分散化
- ◎微細化の促進によるゆらぎと不確実性の増大:量子論の世界へ



- ◎現在の複雑性は未来の複雑怪奇へと変貌する?
- ◎とにかくSimple化する“努力をする”こと:
高付加価値、低コスト化は強い要求事項であるが、
多機能要求に伴う複雑性の増殖を抑えたい
→最終目標への全体の統合システムの中での
設計・製造・検査までの最適解を求める手法の構築がMUST
→本当にあるべき製造の姿は何なのか、の議論が必要

K.Okamoto Dependable VLSI 12
Osaka Univ.

◎設計・製造・機能の検証工程が**MUST**

- 人的、システムのエラーの発生は避けられない。
- 必要なのはその検知と原因の理論的な究明および対処法の構築、形式知化のためのデジタル化・データベース化。
- All Digital Manufacturingがその一つの解か。
- これによりDependabilityのための事前予測も可能。

◎より具体的には、南谷教授の概念をベースにUpすると

Fault detection & prevention

Fault tolerance → “正しい冗長性”(コスト増は×)

Fault detection and removal

Fault forecasting → VLSIの物理設計レベルからの投入処理
SiP技術の有効投入による信頼性確保
(正しい冗長性の投入)

→**To Do:**

- 1) Dependabilityの階層化の必要性
- 2) これらを達成するVLSI設計・製造・検査までの統合システムの構築



2. 4 IC テスト評価技術から見た今後の ディペンダブル VLSI

ICテスト評価技術から見た今後の ディペンダブルVLSI

ディペンダブルVLSIワークショップ

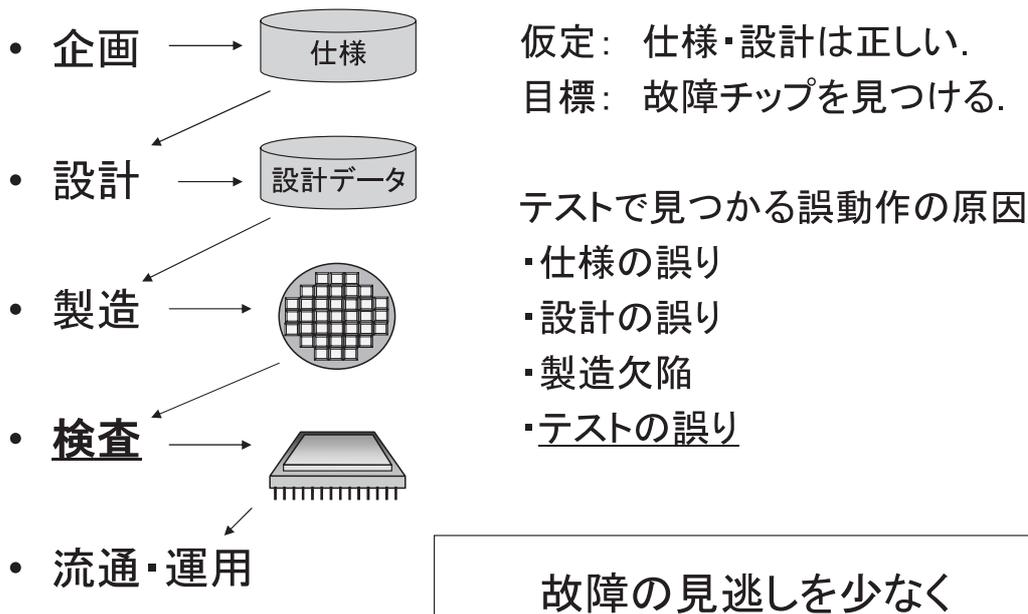
2006年5月26日

九州工業大学情報工学部
梶原誠司

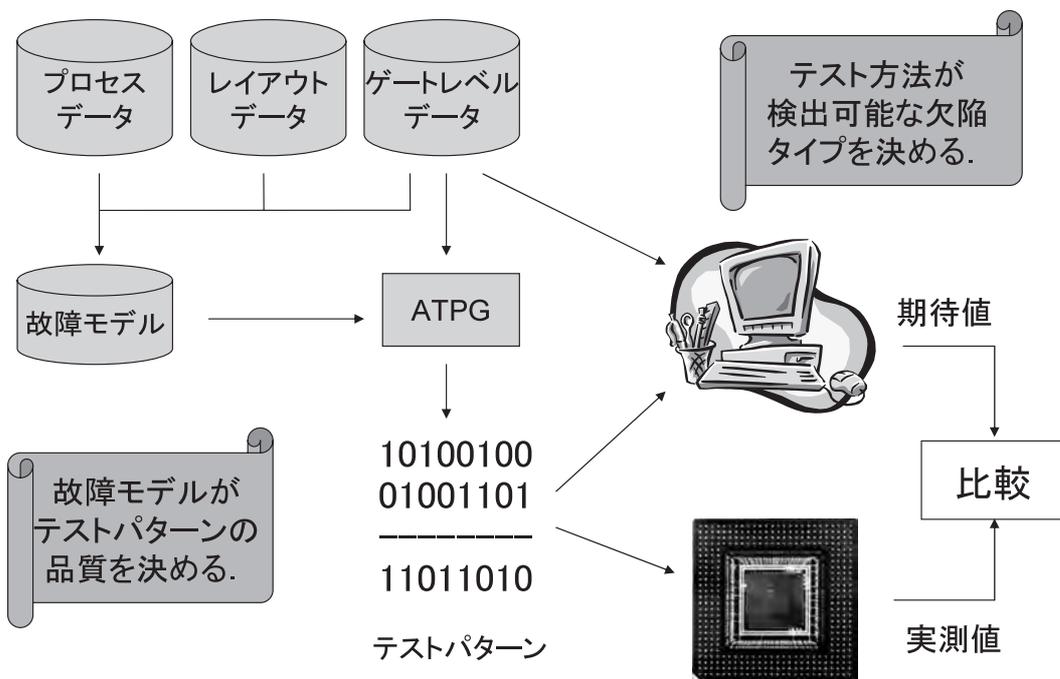
発表内容

1. IC テストの役割
2. テスト品質とテストコスト
3. ディペンダブルVLSIに向けて(阻害要因は?)
 - ソフトエラー
 - テスト機能を使った情報漏洩
 - 誤テスト
4. まとめ

ICテストの役割(これまで)



ICテストの方法



故障の見逃しを少なくするには

- 適切な故障モデルの設定
 - 従来型の縮退故障は必須(論理故障検出の必要条件)
 - 縮退故障だけでの評価では不十分
 - 配線系の故障, タイミング故障などの考慮
 - 統計的な解析
- 多様なテスト手法, 計測手法
 - Function test: ユーザ機能のテスト (ex. at-speed).
 - Structural test: 回路機能のテスト (ex. scan).
 - Defect-oriented test: チップ特性(電流, 電圧, etc.)のテスト(ex. Iddq).

テスト品質の向上

テスト品質とテストコスト

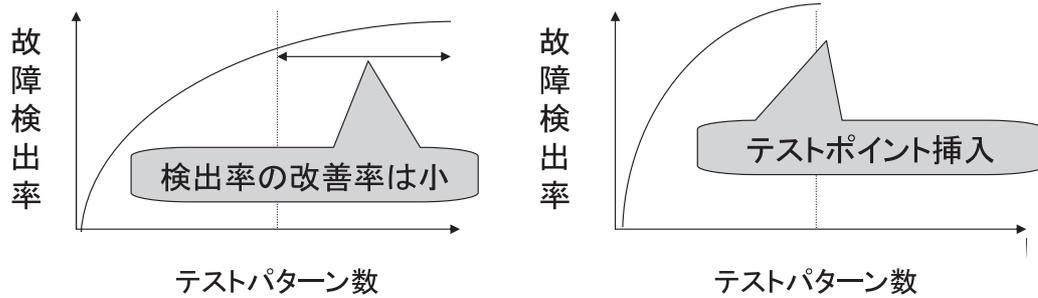
テスト品質向上 ↔ テストコスト増加

テストコストの要因

- ATE (Automated Test Equipment)コスト
 - テスタコスト(原価償却+工数)とテスト時間
- テスト設計開発コスト
 - 工数, EDAツール(テスト生成, DFT回路設計), etc.
- チップコスト
 - テスト用に付加した回路の面積



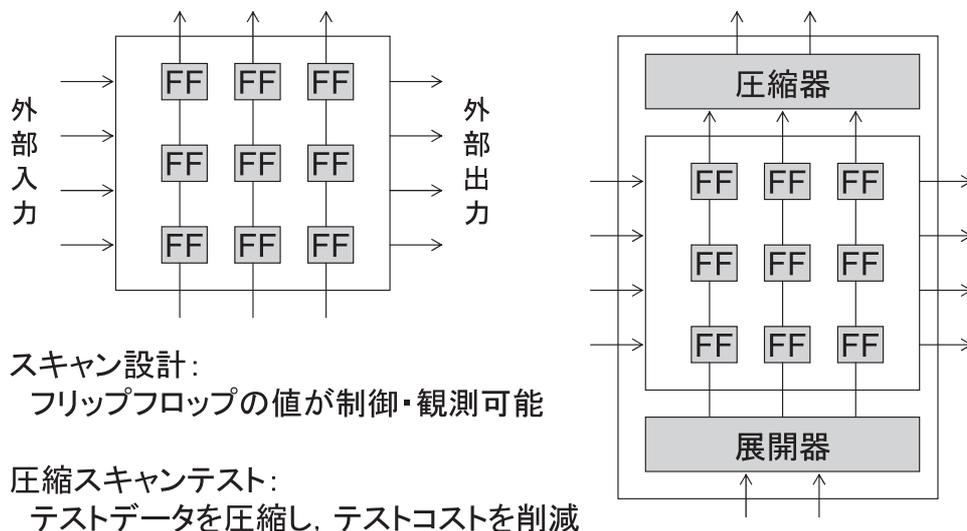
テスト品質とテストコストの両立



テストポイント: 回路内部の可観測点・可制御点

- テスト時間短縮 → テストコスト削減
- テスト品質向上 → 信頼性向上
- 診断容易化 → 開発期間の短縮

テスト容易化の例(スキャン設計)



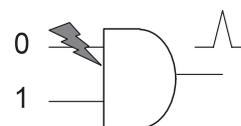
テストコストは、2001年前後をピークに減少傾向

ディペンダブルVLSIに向けて

- 従来の考え方
 - 故障(permanent, temporary)による障害発生を防ぐ.
 - テスト品質とテストコストの両立
 - 設計, 検査エンジニアが考えるディペンダビリティ.
- テスト技術は, 企画, 運用, 廃棄におけるディペンダビリティを提供するか?
 - 運用時の障害 ... ソフトエラーへの対応, 経年変化の検知
 - テスト技術を悪用した情報漏洩 ... テスト・診断容易性に逆行
 - 良品チップの廃棄, 横流し ... 誤テスト, オーバーテストが正当化

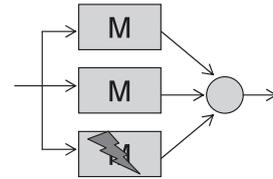
ソフトエラーの影響

- α 線, 宇宙線の影響
 - 回路に欠陥はないが, 一時的に障害を発生する.
 - メモリ(SRAM): ビットの値の反転
 - フリップフロップ: 論理状態, クロック状態の変化
 - 組合せ回路: グリッチの発生
 - 影響を受けるシステム
 - 大規模システム: ハイエンドサーバー(大規模キャッシュ)
 - 高信頼製品: 自動車, 医療用機器など
 - 発生頻度の単位: $1 \text{ FIT} = 1 \text{ failure} / 10^9 \text{ dev. hour}$
 - 例) 100 FIT とすると,
 $\text{MTTF}(\text{Mean Time To Failure}) = 114 \text{ 年}$
 $10^6 \text{ 個の製品 } 1 \text{ failure/hour}$
 - 例) 3000 FIT/Mbit とすると,
 $3 \text{ M bit SRAM, } 1000 \text{ samples, } 1000 \text{ hours} \rightarrow 3 \text{ crashes}$



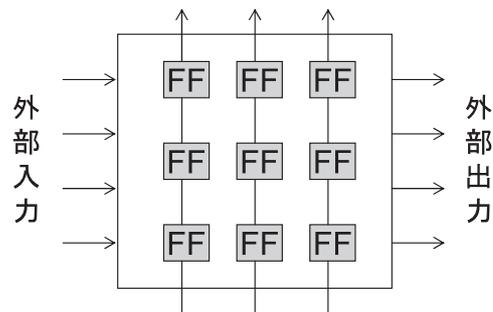
ソフトウェア対策

- 検出だけでなく, 訂正, 回復が必要.
 - メモリ: ECC (Error Correcting Code)
 - フリップフロップ: hardened flip-flop
 - 組合せ回路: 冗長設計 (誤りのマスクや, 再計算)
 - TMR, DMR, Partial duplication (二線論理とコードチェッカ) 等
 - チップ面積の増大 …… 信頼性とコストの両立
 - 再計算による性能劣化 …… 障害回復時間とコストの両立
- 設計とテストへの影響
 - ソフトエラー対策が必要なサブシステムはどれか認識
 - 各サブシステムで, ソフトエラー対策の要求仕様が必要
 - ソフトエラーによる障害確率の計算 (使用環境を考慮したモデル)
 - ソフトエラーを低減する設計



テスト技術を悪用した情報漏洩の可能性

- スキャン設計
 - 回路の内部状態の制御・観測
 - 組合せ回路と同等
 - スキャン機能を利用すると, 回路解析が容易に.



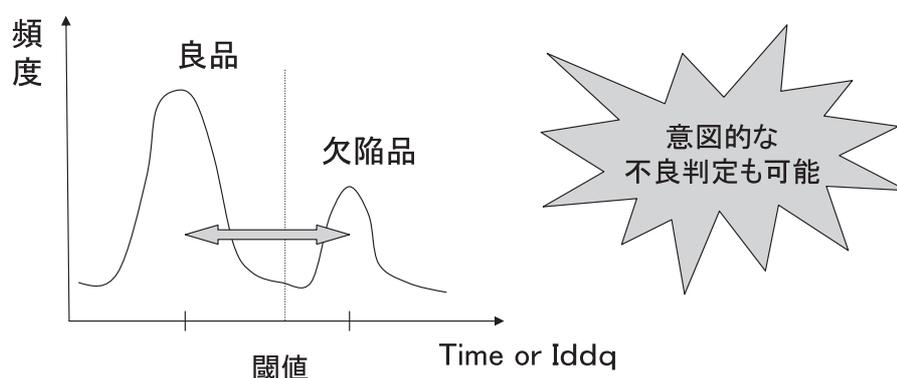
リバース
エンジニアリング
設計の盗難

セキュリティチップ
暗号鍵の盗難

テストタビリティ向上は
企画・運用者の
ディペンダビリティ
低下も

良品チップの廃棄, 横流し

- 良品チップをテストで不良と判断 …… 歩留り低下
 - 誤テストにより起こりうる.
 - タイミング不良(テストタイミング, テスト対象パスの設定次第)
 - Iddq不良(電流の閾値設定:バックグラウンド電流増加で良品と欠陥品の区別困難)



良品チップの廃棄, 横流し

- スキャンテスト時の消費電力は, 通常動作時の数倍
 - 通常動作では現れない状態遷移 → 信号値遷移数の増大.
 - 過剰な消費電力による, IRドロップの発生や回路破壊.
 - スキャンシフト時, キャプチャ動作時ともに起こりうる.
 - 通常動作では使わないパターンでのテスト(テスト方法またはテストパターン)が問題.



誤テストは, 製造者や顧客のディペンダビリティを低下

誤動作の原因と対処法

| 誤動作の原因 | 誤り・欠陥 | 欠陥 | ばらつき (speed, power) | ソフトエラー |
|--------|--------|-------------------|-----------------------------|--------------------|
| 処理内容 | repair | replace retire | adjust replace retire | retry |
| | 解析／診断 | 製造テスト | | オンラインテスト セルフテスト |

自己テスト, 自己診断, 自己修復の技術が重要に

まとめ

- 故障の見逃し率削減
 - 故障モデルの設定, テスト手法の選択
- ソフトエラー対策
 - 経済性に見合ったフォールトレランス手法の開発
 - ソフトエラーレート評価手法の開発
- 設計情報の漏洩防止
 - スキャン設計等, 可観測性の向上は望ましくない...
 - 論理回路について, 自己テスト, 自己診断, 自己修復は可能か.
- 誤テスト・オーバーテストの回避
 - 歩留り低下, 悪意のあるテスト技術者の良品横流し
- 製造ばらつきへの対応: スピード, パワーのばらつきに対応
- ディペンダビリティのコストの定量化
- アプリケーションによるディペンダビリティのレベル選択