

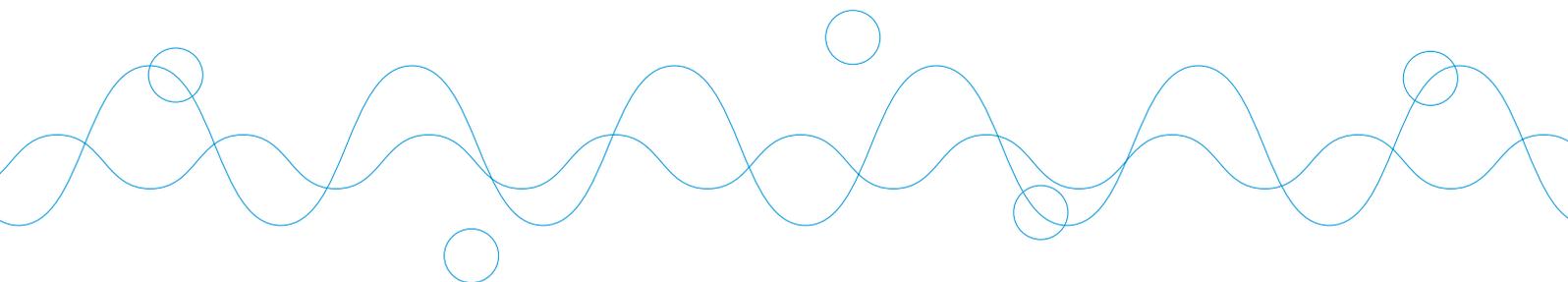
ATTAATC A AAGA C CTAAC TCTCAGACC
AAT A TCTATAAGA CTCTAACT
CTCGCC AATTAATA
TTAATC A AAGA C CTAAC TCTCAGACC
AAT A TCTATAAGA CTCTAAC
TGA C CTAAC TCTCAGACC

戦略プログラム

VLSIのディペンダビリティに関する基盤研究

— 高信頼・高安全を保證するVLSI基盤技術の構築 —

0 1 0 1 0 0 0 1 1 1 0 1 0 1 0 0 0 0 1
0 0 1 1 0 1 0 0 0 1 0 0 0 0 1 1 0
0 1 0 1 1 1
0 1 0 1 0 0 0 1 1 1 0 1 0 1 0 0 0 0 1
0 0 1 1 0 1 0 0 0 1 0 0 0 0 1 1 0
0 1 0 1 1 1
0 0 1 1 0 1 1 1 1 1 1 0 0 0 0 1 0 1 0 1 0 1 1



Executive Summary

「微細化、大規模化、高機能化」に加えて、「ディペンダビリティ」に価値基準の重心を移した VLSI (大規模集積回路) の新しい研究開発戦略を提案する。

VLSI のディペンダビリティとは、VLSI が組み込まれたシステムや製品をユーザがいつでも安心して利用できることを保証する性質であり、そのライフサイクル (企画・設計・製造・検査・流通・運用・廃棄) における因果関係を有機的にとらえた基盤研究によって達成される。現在の社会は高度に発達した情報システムに依存しており、その情報システムが提供するサービスは良質で信頼でき、人の生活と社会の活動が安心してそれに依拠できるものでなければならない。そして、この情報システムを支える重要な電子デバイスが VLSI である。しかしながら、VLSI は物理的微小化の限界が見え始め、さらに設計仕様も人間の能力を超えるまでに複雑・大規模化しつつある。このような状況を考えると、従来の性能向上を追求する研究開発に加えて、ディペンダビリティをより重視する方向にシフトすることが必要な時期に差し掛かっていると見えよう。VLSI のディペンダビリティを強化することで、新しい付加価値と市場を生み、産業競争力の強化にもつながると考えられる。

トランジスタの発明以来、長年に亘り微小化、大規模化、高機能化が順調に発展し、あらゆる産業の技術革新の中核を担うと同時に、社会生活は益々集積回路に依存するようになった。しかし、VLSI の微小化限界が間もなく (10~15 年後に) 訪れると予測されている。微小化限界に近づくにつれて製造プロセスばらつきや統計的ゆらぎによる素子特性ばらつきの増大、宇宙線による誤動作、配線抵抗や配線容量の増大による信号遅延や消費電力の増大が問題になる。

また、人間が関わる課題も顕著になる。システムの大規模化・複雑化によって VLSI の設計、製造、検査の工程はますます複雑化し、これらの工程にかかわる作業者のミスに起因するディペンダビリティの低下も大きな問題となっている。また、複雑なシステムを操作・運用するユーザによる、設計者が想定しないような誤操作が、VLSI 自身あるいはそれが接続される各種システム (社会システムや世界的なネットワークなど) に大きな障害を与える可能性も高くなっている。このような人間のエラーの発生を想定した新しい設計、製造、運用におけるディペンダビリティ向上の技術が必要となる。人間が関わるもう一つの側面として、VLSI に搭載されている機密情報や個人情報の抜き取りなど、意図的な攻撃によるディペンダビリティへの脅威も増大している。

さらに、相互作用系の課題も存在する。これは、独立に存在する場合には問題のないハードウェアやソフトウェアの要素技術が、結合するために新たな相互作用が発生し、想定外の問題が生ずる場合である。また、個々の故障が独立に存在する場合に対しては十分な対策が施されていて致命的な障害に繋がらなくても、複数の故障やバグや攻撃が絡み合うと障害に繋がる場合もある。

以上のような状況を打破するために、今まさにディペンダビリティの壁を乗り越える集中的な研究開発が必要な時期が到来した。本戦略プログラムでは、効果的な研究開発を進めるために、VLSI の構成要素だけでなくライフサイクルのフローとの関連を考慮した以下のような研究開発課題の設定を提案する。

◇デバイス単体の課題

例：少数電子デバイスの動作を予測するモデリング技術

◇ファブリックの課題

例：機能ブロックに応じたディペンダビリティ向上技術

◇アーキテクチャの課題

例：ネットワークオンチップ (NoC) 技術

◇設計・製造・実装までのプロセスフローの課題

例：良品チップ選別による3次元集積化実装技術

◇テスト・評価・調整の課題

例：機能テストを高速化・高精度化するためのビルトインセルフテスト回路技術

◇人間のミスからVLSIを防御するための課題

例：設計エラーを防止する自動設計及び設計検証技術

◇人間の攻撃からVLSIを防御するための課題

例：運用時の攻撃に対するセキュリティ機能を搭載したVLSIの開発

◇他モジュールとの接続における課題

例：異常モジュールの発見および切り離し技術

◇市場投入における課題

例：ライフサイクルを考慮した設計技術 (Design for Life Cycle)

CONTENTS

1	VLSIのディペンダビリティとは	5
2	VLSIのディペンダビリティに関する 基盤研究に投資する意義	9
3	具体的な研究開発課題	13
4	VLSIのディペンダビリティ基盤研究の 推進方法	19
5	科学技術上の効果	23
6	社会・経済的効果	27
7	時間軸に関する考察	31
8	本戦略プロポーザルに至る経緯	35
付 録	I. 社会システムにおけるVLSIの位置付けと、 VLSIのディペンダビリティ阻害要因の分析例	41
	II. 研究開発課題の詳細説明	43
	III. 用語集	72

1

VLSIのディペンダビリティとは

VLSI(大規模集積回路)のディペンダビリティとは、VLSIが組み込まれたシステムや製品をユーザがいつでも安心して利用できることを保証する性質である(詳細はコラム1参照)。

このようなVLSIのディペンダビリティは、VLSIのライフサイクル(企画・設計・製造・検査・流通・運用・廃棄)(図1参照)における因果関係を有機的にとらえた基盤研究によって達成されるものである。したがって、VLSIライフサイクルの各ステージにおける相互作用や連鎖的な影響を考慮した研究が重要となる。例えば、デバイス単体の微細化限界における特性の揺らぎやバラツキを研究対象にする場合、単体の素子レベルで完全にすべての問題を解決しなくとも、回路アーキテクチャや後続の生産工程、あるいは検査工程と協調した解決策も研究範囲にすることができる。別の例として、検査工程を厳密かつ効率的に実行するために

考えた対策が、運用において人的攻撃に対する脆弱性につながらないようにする研究課題も存在する。すなわち、局所的に解決が困難な課題を上位層や後続する工程で解決したり、逆に局所的に一見有効な解決策が後続する工程や運用で問題を惹起しないようにする視点が必要である。

VLSIのディペンダビリティ実現に向けての課題は、VLSIの微細化極限追求に伴うデバイス単体の課題や、設計時の人為的ミス、運用時の人為的攻撃からVLSIを防御するための課題など、広範囲にわたる。

VLSIのディペンダビリティの追求は、個別の研究を並列的に実行するだけでは不十分で、いくつかの特性を総合的に判断してトータルなディペンダビリティを実現する研究が必要となる。上述のように場合によっては、いくつかの特性が相

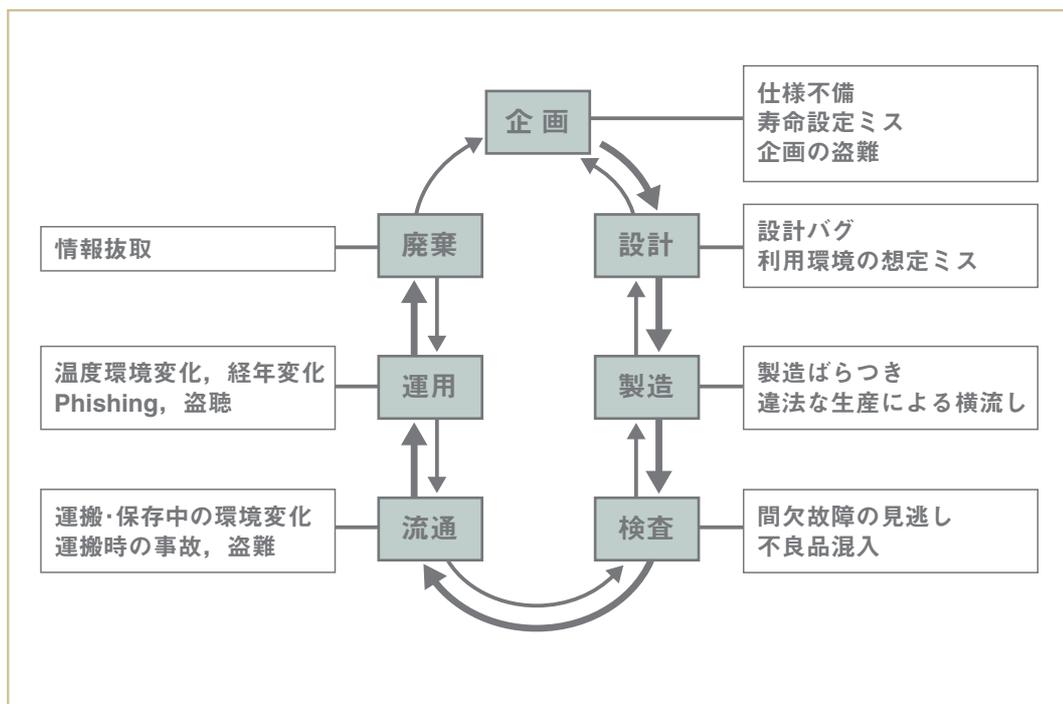


図1 VLSIのライフサイクルと各段階におけるディペンダビリティ阻害要因の例

反することもありうる。例えば、図1において検査段階の容易さのためにはVLSI内部の状態をモニタリングする機能が必要であるが、これは流通や運用段階でのセキュリティの保護に対しては逆に望ましくない方向に働く。したがってこの例では、トータルな観点から検査の容易さとセキュリティの確保を両立させる研究が必要である。ディペンダビリティ

の研究開発にはこのような要素が常に存在するため、個別の研究推進とともに全体を見てそれらを統括する機能が必要である。そのため研究開発の推進方法に関しては、第4章で詳細を述べるように、中枢機能がディペンダビリティの視点から全体をまとめて、柔軟かつ効率的に運営する研究開発の新しい推進方法を提案する。

コラム1

ここで言うディペンダビリティとは、従来のディペンダビリティとセキュリティの概念を総合した「(広義の)ディペンダビリティ」あるいは「ニュー・ディペンダビリティ」* のことである。Availability(可用性:いつでも正常にサービスできる)、Reliability(信頼性:いつまでも正常にサービスできる)、Safety(安全性:ユーザや周辺に破局を及ぼさない)、Integrity(完全性:システムに不適切な変更が生じない)、Confidentiality(機密性:情報の不正な漏洩がない)、Maintainability(保全性:システムを容易に修復・改良できる)などの要素が含まれる。

「VLSIのディペンダビリティ」とは何かを説明するには、具体的なディペンダビリティ阻害要因(フォールト)を考えると理解に役立つ。阻害要因には以下のようなものがある。

- 1) 物理的、自然現象的フォールト: VLSIの微細化限界が近づくにつれて、製造プロセスばらつきによるトランジスタ特性の統計的ゆらぎの増大、宇宙線による誤動作、配線抵抗増大による信号遅延や消費電力の増大が問題になる。
- 2) 過失による人為的フォールト: システムの大規模化・複雑化によってVLSIの設計、製造、検査の工程はますます複雑化し、設計ミスに加えて工程にかかわる作業者のミスに起因するディペンダビリティの低下も大きな問題となっている。
- 3) 悪意による人為的フォールト: VLSIに搭載されている機密情報や個人情報の抜き取りなど、意図的な攻撃によるディペンダビリティへの脅威も増大している。
- 4) 相互作用による複合的フォールト: 独立に存在する場合には問題のないハードウェアやソフトウェアの要素技術が結合するために新たな相互作用が発生し、想定外の問題が生ずる場合である。また、個々の故障が独立に存在する場合に対しては十分な対策が施されていて致命的な障害に繋がらなくても、複数の故障やバグや攻撃が絡み合うと障害に繋がる場合もある。

* 戦略イニシアティブ 情報化社会の安全と信頼を担保する情報技術体系の構築
——ニュー・ディペンダビリティを求めて——, CRDS-FY 2006-SP-07 (2006).

2

VLSIのディペンダビリティに関する 基盤研究に投資する意義

VLSIのディペンダビリティに関する基盤研究に投資する意義は大きく二つある。

第一の意義は、VLSI技術の新しいパラダイムの創出である。情報システムの発展過程を歴史的に見ると、トランジスタ、VLSI、コンピュータ、インターネットなどの技術革新が時系列的に起こってきた。現在はこのような技術革新が相互作用して、新しい応用分野が急速に拡大すると共に、社会に与える様々な影響が多様化かつ複雑化した。このような状況では、個別対応の研究アプローチでは問題が解決できない状態になった。したがって、ユーザ視点でトータルに情報システムの要であるVLSIのディペンダビリティ向上を研究することで、科学技術の新しい発展が生まれることが期待できる。これまで続いてきたVLSIの性能向上を持続しつつ、それに加えてディペンダビリティを向上する研究を行うことで、VLSI技術の新しいパラダイムが構築される。またこれによって、VLSIのディペンダビリティに関する新しい評価尺度

も生まれる。

VLSIの微細化、大集積化、高速化などの性能向上に対しては産業界が多大の研究開発努力を傾注しているが、デバイスの物理的限界が近づいているため、より根本に立ち返った基礎的な研究の重要性が増している。

第二の意義は、あらゆる社会システムが情報システムに依存している今日、VLSIを基盤とする社会システムのディペンダビリティ向上と、それに伴う経済効果への波及である。例えば、基幹システムダウンによる経済活動の遅延、交通事故や医療事故による人的損失、情報漏洩によるプライバシー侵害や財産の損失などが顕在化しない抑制効果が生みだされる。さらに、VLSIを中心とした半導体産業の国際競争力の強化も達成される。半導体はあらゆる産業の基礎であり、家電産業、情報通信産業、金融産業、自動車産業、社会的インフラ産業などほとんど全ての産業を支えており、日本の重要な産業への波及効果が期待される。

3

具体的な研究開発課題

VLSIのディペンダビリティ阻害要因(微細化限界、設計時の人為的ミスや人為的攻撃)を克服するため、VLSIを構成する要素とライフサイクルの双方を考慮した以下のような研究開発課題を設定する。詳細の内容は付録Ⅱを参照されたい。

3. 1 デバイス単体の課題

VLSIの重要な基本構成要素であるMOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)の寸法が数10nm程度にまで微細化され、さらに微細化が進むと、素子の動作に関与する電子数は100個程度にまで減少する。このため、少数電子の挙動を支配する物理現象や材料の原子レベル欠陥などを研究する必要がある。以下に研究開発課題例を示す。

- 原子レベル欠陥(原子空孔など)が少数電子デバイスに与える影響の抑制技術
- 少数電子デバイスの動作を予測するモデリング技術
- 極薄ゲート酸化膜の耐圧劣化抑制技術
- 新構造ディペンダブルトランジスタの研究開発
- ディペンダビリティを高めるVLSI用材料開発

3. 2 ファブリックの課題

ファブリック(VLSIを構成する機能ブロック)は、一般にメモリ回路、ロジック回路およびアナログ回路等に分類される。各分類によってファブリックの技術課題と設計条件が異なる。例えば、メモリ回路は極めて高い集積度が求められる

が、ロジック回路は、高速かつ低電力な動作が求められる。従って、ファブリックの種類によってディペンダビリティを高めるための技術課題が異なる。さらに、機能ブロック間の相互作用も考慮した総合的な研究課題例が存在する。

- ファブリックに応じたディペンダビリティ向上技術

3. 3 アーキテクチャの課題

VLSIの大規模化・複雑化に伴い、チップ上のアーキテクチャにもディペンダビリティを高めるための技術を織り込む必要性が高まっている。百億個を越えるトランジスタにより構成されるVLSIシステムが、一定の割合で固定的な故障素子を含み、さらに経年変化で運用中に劣化で故障する素子が次々に増加し、外部からの雑音や電源および温度の変動によって間欠的な故障(異常動作)を起こす素子が存在する。このような仮定のもとで、システム全体の致命的な障害を引き起こさないためのアーキテクチャの開発が重要である。具体的な研究開発課題例を示す。

- ディペンダビリティを向上させるオンチップマルチプロセッサ技術
- ネットワークオンチップ(NoC)技術
- ディペンダビリティ向上のための設計プラットフォーム技術
- 組込みソフトウェアによるディペンダビリティ向上技術

3. 4 設計・製造・実装までのプロセスフローの課題

素子の微細化限界が顕在化する中で、VLSIの大規模化に伴う設計工数の増大

や設計の複雑化は深刻である。今後、プロセスばらつきや統計的ゆらぎが増大する中で、素子寸法が20 nm以下のトランジスタを数十億以上搭載するようなVLSIをこれまでのような手法で開発して行くことは不可能に近い。VLSI技術と実装技術を融合した新しい集積化技術に関する研究開発が必要である。具体的な研究開発課題例を以下に示す。

- 自己調整機能のための設計技術(自己修復、自己組織化、再構成、自己診断)
- VLSI配線技術と実装技術を融合するための技術
- チップ(ハード)IP活用のための実装技術
- VLSIディペンダビリティ向上のためのセンサ実装技術
- 良品チップ選別による3次元集積化実装技術
- 多種類のチップを3次元集積化するためのディペンダブルな実装技術
- デバイスのばらつきや信頼性低下の解析とモデル化技術
- 製造容易性(歩留まり)解析技術
- 回路特性のばらつきと特性劣化の影響を最小化する回路設計技術
- ソフトエラーの解析技術と、エラー耐性を高める回路設計技術
- ばらつきに強靱で製造性を確保したライブラリと、それを活用した設計手法
- 欠陥回路を発見し救済(置換)するための技術
- 回路特性ばらつきを補正(調整)して所定の範囲に収める技術
- ディペンダビリティ向上のためのオンチップ自己センシング技術
- センシング情報に基づくリアルタイム適応化制御技術

- ディペンダビリティ向上のための動的制御を支えるアーキテクチャ技術

3. 5 テスト・評価・調整の課題

パターン寸法の微細化に伴い、ばらつきの増大や論理回路のソフトエラーなどの問題が発生し始めており、設計・製造技術などと融合させた新しいテスト技術が必要になってきている。すなわち、製造の最終段階のみで使用されるテスト技術から、企画・設計・製造・使用の各段階で必要とされる新しいテスト技術である。具体的な研究開発課題例を以下に示す。

- 高性能計算機(スーパーコンピュータ)を活用したCAD技術
- 多ピン対応の非同期LSIテスト技術
- 自己診断テスト技術
- 故障解析とテストとの融合技術
- 機能テストを高速化・高精度化するためのビルトインセルフテスト回路技術

3. 6 人間のミスからVLSIを防御するための課題

システムの大規模化・複雑化によってVLSIの設計、製造、検査の工程はますます複雑化し、設計ミスだけでなくこれらの工程にかかわる作業者のミスに起因するディペンダビリティの低下は、今後ますます大きな問題となってくる。また、複雑なシステムを操作・運用するユーザによる、設計者が想定しないような誤操作により、大きな障害を与える可能性も高くなっている。このような人間のエラーの発生を想定した新しい設計、製造、運用におけるディペンダビリティ向上技術の研究開発が必要である。具体的な研

究開発課題例を以下に示す。

- 人間のエラーを想定した VLSI 仕様
の策定技術
- 設計エラーを防止する自動設計及び
設計検証技術
- デバッグのしやすさを考慮した設計
(DFD : Design for Debug)
- ユーザの運用エラーを抑制する設計
技術

3. 7 人間の攻撃から VLSI を 防御するための課題

電子マネーや電子証明のための IC カードや携帯電話など、社会における「価値」や「信用」の媒体として VLSI が利用されるようになってきた。IC カードや携帯情報機器、さらには社会システムの情報基盤など一般の市民の財産やプライバシーに関係する情報を直接取り扱う応用では、悪意ある攻撃の可能性を考慮した設計・製造・運用のための技術開発が必要である。具体的な研究開発課題例を以下に示す。

- 運用時の攻撃に対するセキュリティ
機能を搭載した VLSI の開発
- 設計・製造時における偽造や不正を
防止する技術
- 検査容易性とセキュリティを両立さ
せる技術

3. 8 他モジュールとの接続に おける課題

実際の大規模な VLSI の内部では、これまでに述べてきた物理系や人間系の種々の故障やバグや攻撃が複数存在し、それらが複雑に絡み合っ、VLSI の異常な動作や致命的な障害を引き起こす。

個々の故障が独立に存在する場合に対しては、十分な対策が施されて致命的な障害に繋がらなくても、複数の故障やバグや攻撃が絡み合うと障害に繋がる可能性がある。耐故障性も含めた部分モジュールの仕様において想定されていない入力が発生することが、複数のモジュールの相互作用による VLSI 全体の障害を生み出す原因となる。こうした、他モジュールとの接続に際して生じる致命的な障害を回避、低減するための技術開発が必要である。具体的な研究開発課題例を以下に示す。

- 多重化によるディペンダビリティ向
上技術
- 動作のモニタリングによる異常検知
技術
- 異常モジュールの切り離し技術
- モジュールの耐性の評価技術

3. 9 市場投入における課題

ディペンダブルな VLSI を市場に投入するに際しては、高いディペンダビリティの経済価値が市場で評価されなければならない。ディペンダビリティを考慮した VLSI の価値の総合的な評価を行うためには、ディペンダビリティの評価尺度、VLSI のコストや性能とディペンダビリティの関係を評価する手法の研究開発が必要である。具体的な研究開発課題例を以下に示す。

- ライフサイクル設計技術 (Design
for Life Cycle)
- ディペンダビリティを考慮した総合
的な設計手法
- 性能・消費電力とディペンダビリティ
の関係のモデル化

4

VLSIのディペンダビリティ 基盤研究の推進方法

VLSIのディペンダビリティに関する基盤研究は、個別テーマの研究開発を推進するだけでは不十分であり、複数の研究開発を統合する視点が必要である。そのため、第1章で述べたようにVLSIのライフサイクルを踏まえながら効率的に成果を得るための新しい研究推進モデルを提案する。例えば図2に示すように、中枢機能であるプロジェクトセンターには4～5名から構成される統括グループを配置し、試作機能、フィールドテスト機能および個別テーマ研究グループを総合的に管理する方式である。

VLSI 試作機能は主としてプロトタイプVLSIの設計、試作やテストを行う。場合によっては、小規模で高機能なクリーンルームを企業の協力で運営する場合もある。

フィールドテスト機能は、実社会を模

擬した小さなコミュニティでありプロトタイプVLSIの応用実験をする場である。特定の大学や地域の協力を得ると同時に、各省庁の連携で運営することが好ましい。また、既存のプロジェクトとの連携も可能である。これにより、ユーザ視点のディペンダビリティ向上のための基礎データが得られる。

個別テーマ研究グループは、VLSIの設計をはじめとして、第3章で説明した研究開発課題を実行するグループに加えて、VLSIの評価尺度と評価手法を研究するグループも含まれる。構成は固定的なものではなく、組み合わせ等は、プロジェクトの進捗にしたがって中枢機能の判断で変化させることが可能である。

このような研究推進モデルで扱う研究対象例としては、例えば付録Iに示したような電子マネー用のシステムLSI開発

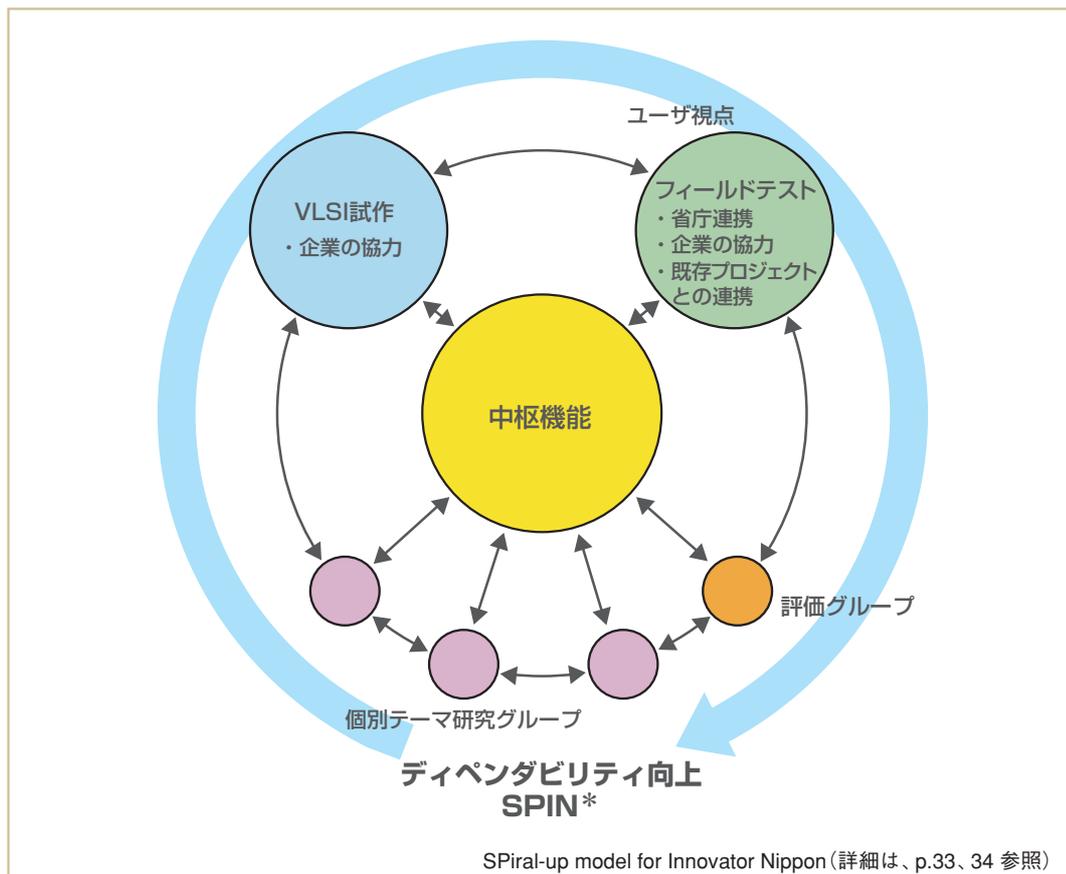


図2 研究開発の推進モデル案

などが考えられる。その一方、各研究グループでの個別の成果を基礎にして、統合シミュレータを構築する等の研究目標も存在する。したがって、一種類のVLSIだけを対象にする必要はなく、各

グループの研究成果をディペンダビリティの視点から有機的に連携させて、全体としての大きな成果に到達することを目指す。

5

科学技術上の効果

VLSIのディペンダビリティに関する基盤研究により得られる最大の科学技術的成果は、新しいVLSI技術のパラダイムが構築されることである。従来のVLSI技術は、設計からLSIの性能や機能を効率よく短期間で達成するために構築された技術体系である。一方、本プロポーザルで提案しているVLSIのディペンダビリティは、VLSIのライフサイクルと自然系、人間系および相互作用系の脅威の織りなす広い世界を対象にしているので、常に自己発展する深みと幅のあるVLSI新技術体系(新パラダイム)の形成に貢献すると期待できる。

トランジスタの発明以来、長年に亘り微細化、大規模化、高機能化が順調に発展し、VLSI技術はあらゆる産業の技術革新の中核を担うと同時に、社会生活は益々集積回路に依存するようになった。しかし、VLSIの微細化限界が、間もなく(10~15年後に)訪れると予測されている。微細化限界に近づくにつれて、プロセスばらつきや統計的ゆらぎが素子特性に与える影響は益々増大し、深刻な問題となることが予想される。また、VLSI

の応用分野の急速な拡大と共に、社会に与える様々な影響が多様化かつ複雑化した。このような状況では、個別対応の研究アプローチでは問題が解決できない状態になった。したがって、ユーザ視点でトータルに情報システムの要であるVLSIのディペンダビリティ向上を研究することで、科学技術の新しい発展が生まれることが期待できる。またこれによって、VLSIのディペンダビリティに関する新しい評価尺度も生まれる。

また、VLSIは最先端の科学技術を結集して作られるので、科学技術分野全般におけるディペンダビリティ拡散効果(波及効果)が期待される。すなわち、VLSIを支える科学技術は量子力学、電子工学、材料工学、応用化学など枚挙にいとまがないが、総ての分野でディペンダビリティ向上というレベルアップの視点をもつことで初めてVLSIのディペンダビリティが向上する。

成果形態は、論文だけでなく、テストチップによるディペンダビリティの向上などを研究テーマ毎に局所的にデモする場合もありうる。

6

社会・経済的效果

社会・経済的効果の第一としては、あらゆる社会システムが情報システムに依存している今日、VLSIを基盤とする社会システムのディペンダビリティが向上することで、膨大な経済損失を未然に防ぎ、実質的な付加価値増加をもたらす事である。例えば、基幹システムダウンによる経済活動の遅延、交通事故や医療事故による人的損失、情報漏洩によるプライバシー侵害や財産の損失などが顕在化しない抑制効果が生みだされる。

さらに、半導体分野のイノベーション効果により半導体産業の国際競争力の強化が達成される。この意義は以下のデータからも明らかである。2005年の全世

界半導体出荷額は総額約25兆円であり、日本の半導体メーカーは、2004年に比べてシェアを落としたものの、世界市場で19%の占有率を確保し、出荷額は約5兆円*であった。この出荷額は、2005年のGDP(約500兆円**)に対して1%程度を占めるだけではあるが、半導体はあらゆる産業の基礎であり、家電産業、情報通信産業、金融産業、自動車産業、社会的インフラ産業などほとんど全ての産業を支えており、これらの産業の生産額を含めると半導体のGDPへの寄与は40%以上***にもなることが指摘されている。

* WSTS（世界半導体市場統計）資料
 ** 内閣府統計資料（2007年）
 *** 経済産業省資料（平成16年新産業創造戦略）

7

時間軸に関する考察

VLSIのディペンダビリティに関する基盤研究はただちに着手するのが望ましい。研究開発に必要な期間は、第3章で述べた各研究開発課題で異なるが、いずれの分野も最初の3年間である程度の方向性を示す必要がある。ディペンダビリティ追求のための研究開発推進方法論と

して、図3に示すようなSPIN(Spiral-up model for Innovator Nippon)モデルを提案している*。VLSIのディペンダビリティに関する基盤研究も、このSPINモデルにおけるサイクルを回すことが重要である。

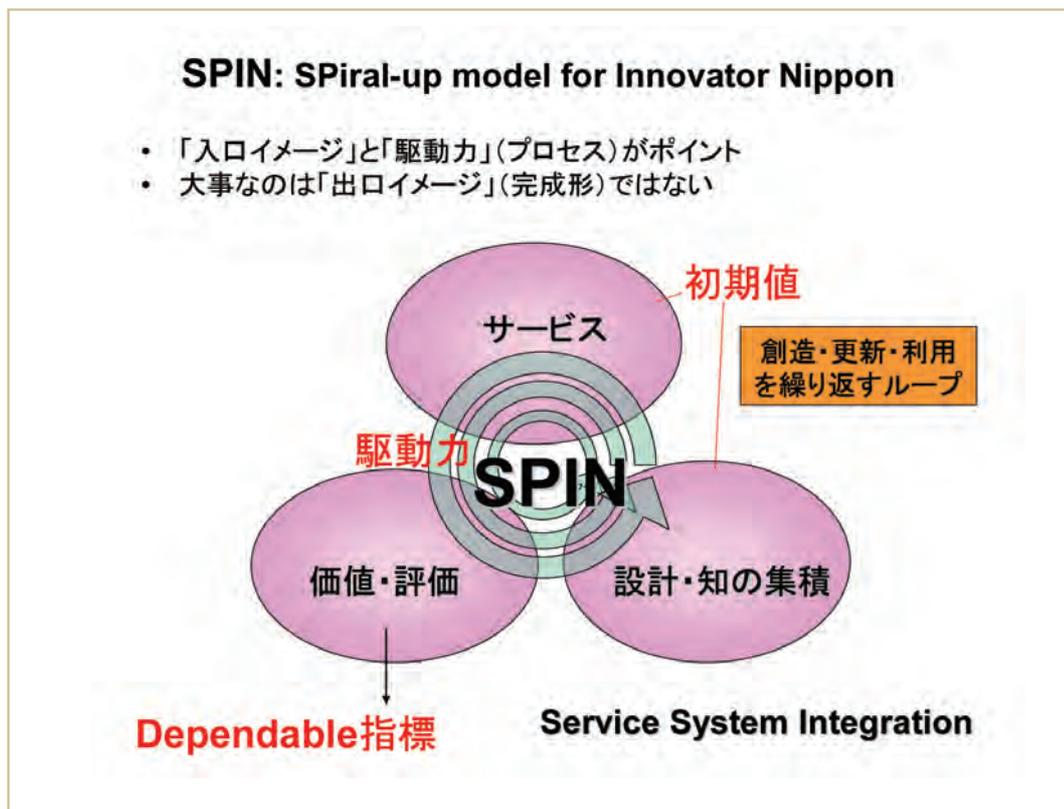


図3 SPINモデル*

* 科学技術未来戦略ワークショップ(電子情報通信系俯瞰 WS II)
報告書 CRDS-FY 2005-WR-16 (2006)

コラム2

SPINモデル

ディペンダブルなシステムを構築するには、工学的に使用環境が厳密に定義された閉じたシステムではなく、環境の変動にも対応できる開いたシステムの構築技法が求められる。このためには、技術開発→設計→構築→使用といったウォーターフォールモデルでは不十分である。ウォーターフォールモデルでは最初に使用条件が固定され、それに基づいた設計と開発が行われるが、これでは使用条件の変動に対応できない。構築→使用→評価・再設計を有機的に繰り返すスパイラルモデルを採用する必要がある。

たとえばロボットを例にとると、極限作業ロボットなどの開発ではウォーターフォールモデルが採用され、ロボットを構築し、実環境でデモを行うとプロジェクトが完了とされて来た。デモでは一定の環境下での固定作業が成功すれば良い。デモではロボットが通る床の素材の変更や段差位置や高さの変更に追従することまでは要求されていない。これではディペンダブルなシステムにはならないと考えられる。実環境のパラメータを様々に変化させても追従できるシステムを構築するには、デモで止まってはいけない。その後実際に様々な環境で使用し、その結果を再評価する必要がある。最初に定めておいた評価基準を見直すこともありうる。評価結果を反映し、新しい設計やそれに伴う新しい要素技術の開発が必要となるかもしれない。こうして2回目の開発ループに入る。このループはロボットが使われ続ける限り終わることがない。開発完了はありえないのである。飛行機や自動車の例を見れば自明であろう。飛行機の完成形や自動車の完成形というのは存在しない。事故や故障の経験を通じて、そして社会ニーズの変化によって常に新しい設計が求め続けられている。

参考文献 科学技術未来戦略ワークショップ(電子情報通信系俯瞰 WS II)報告書 p.5

8

本戦略プロポーザルに至る経緯

本戦略プロポーザルに至る検討は、2004年1月に白浜で開催された科学技術未来戦略ワークショップ(電子情報通信系俯瞰 WS- I)¹⁾および2005年9月にかずさで開催された二回目の俯瞰ワークショップ(電子情報通信系俯瞰 WS- II)²⁾に端を発する。俯瞰 WS- II では「ディペンダビリティ」を一つのキーワードとして議論を行い、これを軸にした戦略提言に向けての活動計画を策定した。これを受け

て2006年5月にディペンダビリティワークショップ³⁾が開催された。そこで議論されたディペンダビリティ概念設計を源流として、図4に示すように、幾つかの「ディペンダビリティ」シリーズワークショップを企画した。本プロポーザルは、上記俯瞰 WS、ディペンダビリティワークショップ、それに続くディペンダブルVLSIワークショップ⁴⁾、およびその後の検討会(7/5)での成果に基づいて作成された。

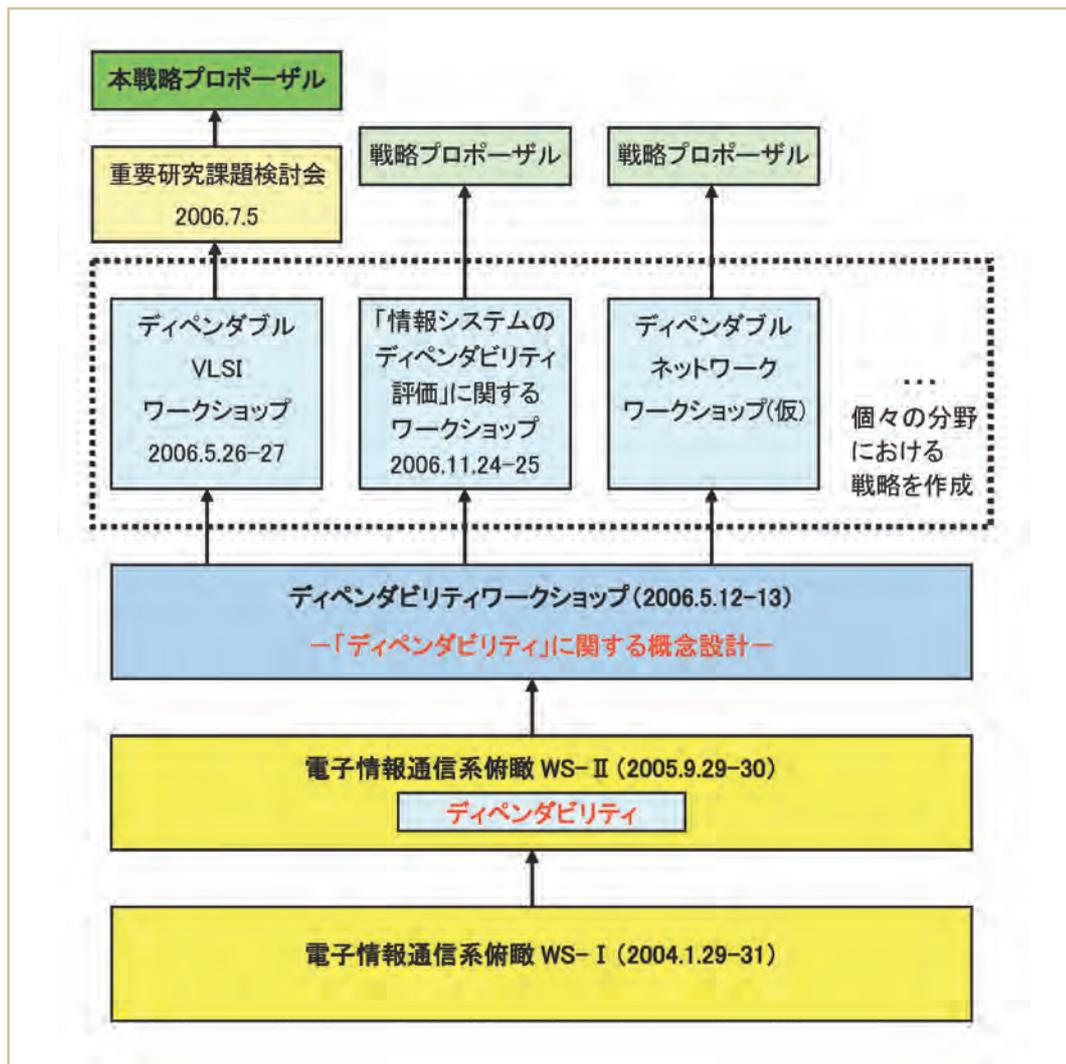


図4 本戦略プロポーザルに至る経緯

- 1) 科学技術未来戦略ワークショップ(電子情報通信系)報告書, CRDS-FY 2003-WR-02 (2004).
- 2) 科学技術未来戦略ワークショップ(電子情報通信系俯瞰 WS II)報告書, CRDS-FY 2005-WR-16 (2006).
- 3) ディペンダビリティワークショップ報告書, CRDS-FY 2006-WR-07 (2007).
- 4) 「ディペンダブルVLSI」に関する科学技術未来戦略ワークショップ報告書, CRDS-FY 2006-WR-08 (2007).

付 録

付 録 I 社会システムにおける VLSI の位置付けと、VLSI のディペンダビリティ阻害要因の分析例

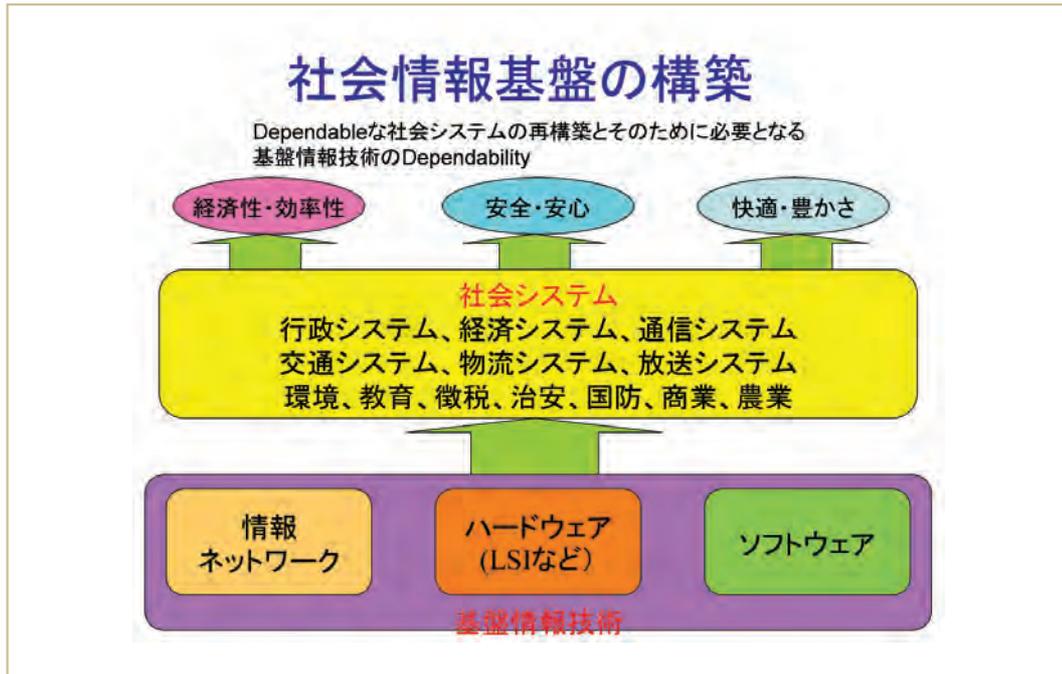


図 A-1 VLSI は社会システムを支える基盤情報技術の一つ*

VLSI のライフサイクルの観点からディペンダビリティ阻害要因を考察した具体例（自動車用チップと電子マネー用チップ）をそれぞれ表 A-1 と表 A-2 に示す。

表 A-1 ディペンダビリティ阻害要因の分析例 1*

人命にかかわる例 (自動車用チップ)

	自然現象	人的ミス	人的攻撃
企画		仕様不備 寿命設定ミス	企画の盗難
設計		設計ミス、バグ 利用環境の想定ミス	設計の盗難
製造	製造ばらつき	製造ミス	
検査	間欠故障の見逃し	見逃し	不良品混入
流通	実装中の環境変化	不良・偽造品混入	偽造品混入
運用	経年変化、温度環境	利用事故 保守のミス	無線による攻撃
廃棄・更新		更新不整合	情報抜取

赤字: 原因

JST 研究開発戦略センター
ディペンダビリティワークショップ資料

VLSI のディペンダビリティとは

研究に投資する意義

研究開発課題

推進方法

科学技術上の効果

社会・経済的効果

時間軸に関する考察

検討の経緯

付

録

表 A-2 ディペンダビリティ阻害要因の分析例 2*

財産にかかわる例 (電子マネー用チップ)

	自然現象	人的ミス	人的攻撃
企画		仕様不備 交換時への配慮不足	企画の盗難
設計		設計ミス、バグ 利用環境の想定ミス	設計の盗難 不正回路挿入
製造	製造ばらつき	製造ミス	違法な生産による 横流し
検査	間欠故障	見逃し	良品横流し
流通	運搬・保存中の 環境変化	運搬等の事故	盗難、横流し
運用	経年変化 宇宙線・環境	利用事故	Phishing、virus 盗聴、不正利用
廃棄・更新		更新時不整合	情報抜取・解析

赤字:原因

JST研究開発戦略センター
ディペンダビリティワークショップ資料

表 A-3 ディペンダビリティ向上の対策*

Dependability向上の対策

	自然現象	人的ミス	人的攻撃
企画	製品寿命の見積もり 環境変化の予測	仕様の完備 ライフサイクルの予測	機密保持 攻撃の予測
設計	耐故障設計、雑音対策 DFM、DFT モニタ機能の組み込み 単純なアーキテクチャ	設計検証 設計品質管理 テスト容易化 製品の操作性向上	設計データ管理 耐タンパ設計 Security-on-Chip 製品管理の仕組
製造	製造ばらつきの制御	工程管理の徹底	製品管理の徹底
検査	テスト精度向上 悪環境下のテスト	工程管理、自己テスト テスト精度向上	製品管理の徹底 モニタリング
流通	環境の保全・管理	物流の管理	物流の管理 トレース技術
運用	環境モニタリング Online Self Test	利用履歴モニタリング 利用者教育	利用者教育 監視、攻撃対策
廃棄・更新	自殺、異常通知機能	自動消去機能	無効化

JST研究開発戦略センター
ディペンダビリティワークショップ資料

※ 「ディペンダブル VLSI」に関する科学技術未来戦略ワークショップ報告書,
CRDS-FY 2006-WR-08 (2007).

付 録 II 研究開発課題の詳細説明

II-1 ディペンダビリティ向上のための半導体物理／信頼性物理

CMOSのしきい値バラツキは、すでにSRAMの動作電圧を決定する重要な課題として認識されており、メーカーならびにコンソーシアムにおいて、解析とバラツキ低減に向けた研究が進行している。2007年以降と予想される45 nm世代においても、この課題への挑戦は続く。一方、半導体メモリデバイスでも、60 nm世代のフラッシュメモリ(8ギガビット)が市場に投入されるなど、従来のメモリデバイス構造での微細化は進んでいるが、微細化限界への懸念から、新しい材料や構造を用いたデバイスの研究が盛んになっている。これらは、10数ギガビット以上を狙ったものであり、2010年以降での市場投入を目標にしていると予想される。

Si-LSI (Large Scale Integrated Circuits)の微細化に伴い、極少数の電子(正孔)がデバイス特性を大きく変化させるといふ、信頼性の課題が顕在化してきた。ナノスケールにおける半導体物理を再構築するとともに、原子や電子を対象とする究極の解析評価技術の研究開発が急務である。

Si-LSIを支える半導体デバイス(MOS-FET: Metal-Oxide-Semiconductor Field Effect Transistor)の寸法は、数10 nm程度にまで微細化されている。最先端の不揮発性メモリであるNAND型フラッシュでは既に、蓄えられている電子の数は1000個程度しかない。さら

に微細化が進むと、その数は100個程度にまで減少する。そのため数個の電子の出入りが、メモリの特性と信頼性に大きな影響を及ぼす。一方、パーソナルコンピュータやサーバーの記憶装置として使われているDRAM(Dynamic Random Access Memory)においても、シリコン基板中に存在する原子空孔などの点欠陥が、情報保持特性に影響を及ぼすことが分かってきた。これらの現象は、メモリを構成するデバイスがナノメートルの領域に入ったために顕在化したものであり、今後その影響はより明瞭に信頼性への課題となって現れることが懸念される。(図A-2参照)

このような課題は、まさに、数個の電荷(電子、正孔)の挙動や原子構造の歪み(空孔、格子間原子等)がもたらすものであり、それを制御し影響の発現を抑制するためには、少数電子(正孔)系の物理現象をこれまで以上に詳細に理解することが必要である。研究対象となるのは、メモリのような電荷を蓄えるデバイスでは、電荷を閉じ込める壁となる絶縁膜とシリコンとの界面や絶縁膜中での電荷の挙動などである。また、現象を深く理解するためには、その現象を捉え、かつ解析するための評価技術が重要な研究テーマであり、さらには、100個以上のデバイスを対象とする統計的な解析手法の検討も不可欠である。

少数電子(正孔)の変動がもたらす影響は、メモリに限ったものではない。MOSFETのチャンネルを流れる電子とゲート酸化膜中に存在する電荷トラップとの相互作用によるRTN(Random Telegraph Noise)や、極薄ゲート酸

化膜の耐圧劣化の変動現象などは、ロジック回路や SRAM (Static Random Access Memory) を構成する CMOS (Complementary MOS) にとっても重要な課題である。

これまで、少数電荷をテーマとする研究は、単電子デバイスや量子効果デバイ

スなどの低次元系デバイスを対象として推進されてきた。しかし上述したテーマは、現在すでに巨大な市場を形成しているデバイスに関するものであり、研究成果は、信頼性向上や歩留まり向上による競争力の強化につながるなど、半導体産業に及ぼす影響は計り知れない。

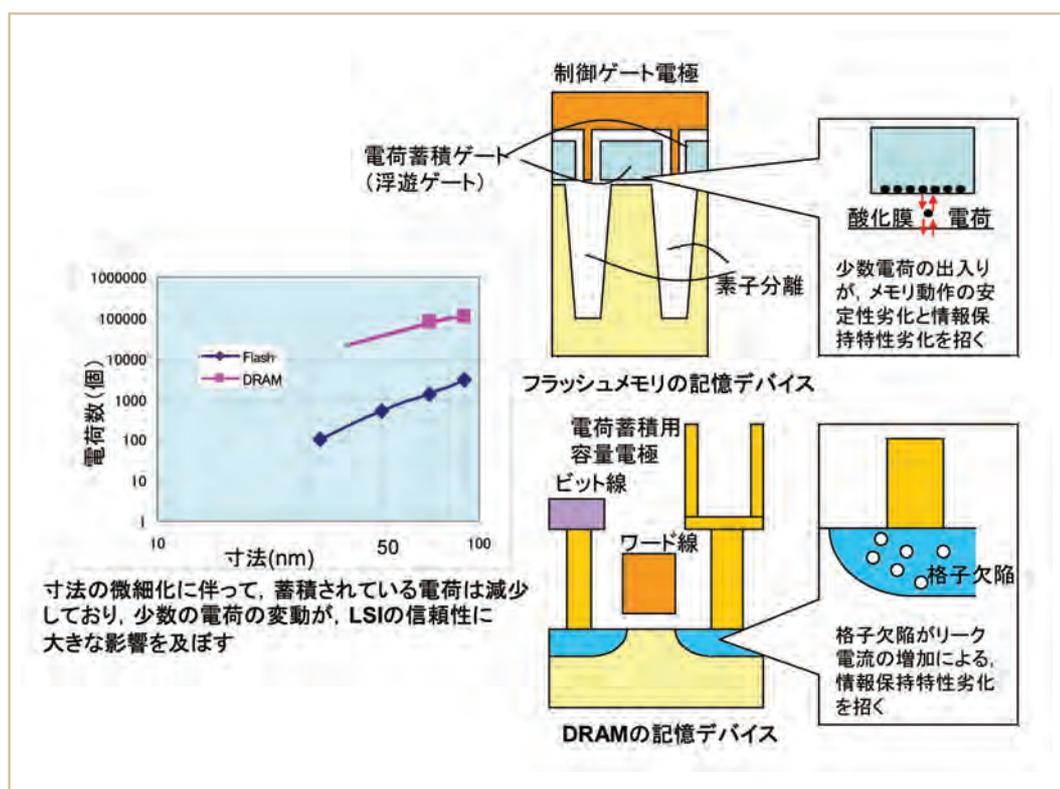


図 A-2 単位素子内の電荷量の減少と格子欠陥の影響

II-2 ディペンダブル ファブリック (機能ブロック)

VLSI を構成する機能ブロックをファブリックと定義する。ファブリックは、一般にメモリ回路とロジック回路とアナログ回路に分類される。各分類によってファブリックの技術課題と設計条件が異なる。メモリ回路は、極めて高い集積度が求められる。しかし、構成が規則的なのでそのことを利用した設計技術が有効になる。ロジック回路は、高速かつ低電

力な動作が求められるものの、大規模かつ不規則な構成なのできめ細かな設計は難しい。しかし、デジタルなのでノイズ耐性が高く設計を自動化しやすい。アナログ回路は、SN比や線形性など内部相関の複雑な性能指標が多く設計が難しい。しかし、集積度が低いので全てのトランジスタを丁寧に最適設計できる。このようにファブリックの種類によって課題と条件が異なるので、ディペンダビリティを高めるための技術がそれぞれに応じて必要になる。本節のファブリックと

次節のアーキテクチャがVLSIを織り成す縦糸とすれば、それ以降の節の技術が横糸となって、ディペンダブル技術の体系が出来上がる。また、一定の信頼性基準を満たせば良いとする従来の考え方では不十分であり、コストや性能とのトレードオフを追求することが強く求められる。

II-2.1 メモリ回路

メモリ回路は、SRAM、DRAM、不揮発性メモリなど多種多様である。いずれも大容量化のために最先端の微細加工技術が必要になるので、デバイス製造に関わる課題の解決が求められる。従来のようにSPICE(回路シミュレーションツール; Simulation Program with Integrated Circuit Emphasis)と設計規則のパラメータを介したデバイス製造技術と回路設計技術の個別の研究ではなく、両技術の総合的な視点からの研究開発が重要である。

必要となる要素技術:

■ 製造ばらつきや動作条件の変動に対するディペンダビリティ向上

SRAMのデータ読み出しと書き込みの動作マージンの両立が困難になっている。メモリセルを構成するトランジスタの数を6つから7つに増やして両者のトレードオフを取る方法もあるが、レイアウト面積を増大させない工夫が必要である。また、トランジスタのペア性の劣化で低電圧動作が難しくなっている。ロジック回路の電源電圧は年々低下しているので、SRAM用に別途電源が必要になるとコストが増大する。低電圧でも高い信頼性で高速に動作するSRAM回路が必要である。他にも宇宙線耐性の劣化やビット線リ

ーク電流の増大などが顕著になり、ディペンダビリティを低下させる要因になっている。過剰な設計マージンは削り、コスト、動作速度、消費電力(電源電圧)、ディペンダビリティのトレードオフを追求することが重要である。

■ システムインパッケージ(SiP)におけるディペンダビリティ向上

DRAMやFlashメモリは、ロジック回路と異なるプロセスで製造されるデバイスである。これらのデバイスをディペンダブルにロジック回路と結合することが課題である。SiPは、こうしたチップを一つのパッケージに集積してシステムを構築する。SiPにおけるデータ通信や電源供給のディペンダビリティ向上が求められる。

■ 新構造トランジスタを用いたメモリのディペンダビリティ追究

FinFET(2つのゲート電極を有するヒレ構造のFET)のような新トランジスタを用いたとき、設計の制約条件が変わる。たとえばFinFETではトランジスタのチャンネル幅を自由に設定できない。新しい制約の中でディペンダビリティをどのように確保するかを検討する必要がある。

■ 新構造不揮発性メモリのディペンダビリティ追究

不揮発性メモリは電源を切ってもデータが失われないことから携帯機器への応用を目指した新デバイスの提案が多い。例えば、FeRAM(Ferroelectric RAM)、MRAM(Magnetoresistive RAM)、PRAM(Phase change RAM)、RRAM(Resistive RAM)などの不揮発性メモリが研究開発されている。しかし、書き換え

回数などのデバイスの信頼性はまだ十分ではない。新材料や新方式のディペンダビリティの追究が急務である。

II-2.2 ロジック回路

ロジック回路では、リーク電流による電力の増大と銅配線の遅延の増大がディペンダビリティの阻害要因になっている。また、フリップフロップが低電源電圧でソフトエラーを起す危険性が懸念されている。デバイス製造技術と回路設計技術と自動設計技術の総合的な視点からの研究開発が重要である。

必要となる要素技術：

■ ディペンダビリティを向上させる設計パラメータの制御技術

デバイスの微細化と共にトランジスタのオン電流とオフ電流の比が小さくなる中で、電源電圧としきい値電圧とクロック周波数をきめ細かく制御して動作速度と消費電力と信頼性のトレードオフを取る制御技術や、そのためにVLSIの状態をモニタするセンシング技術が非常に重要になる。こうしたパラメータの設定履歴からLSIの寿命を推定する技術も有用になるだろう。

■ ディペンダビリティを向上させる超低電圧高速動作技術

トランジスタのオフ電流を増加させてディペンダビリティを損なう要因はいくつかある。例えば、ゲート絶縁膜のトンネル電流リークやチャンネルのDIBL (Drain Induced Barrier Lowering) 効果などである。こうした問題は、電源電圧を下げることで有効に解決できるが、動作速度の劣化やフリップフロップのソフトエラー耐性

の劣化、しきい値電圧のばらつきの影響の増大などの問題が顕在化する。こうした問題への対策を研究することが必要になる。

■ ディペンダビリティを向上させる自己診断・修復技術

初期不良の素子や経年変化で不良となった素子を自己診断で検出し、それらの素子を使わずに回路を構成できるダイナミックな修復機能(動的回路再構成・修復技術)を研究することが必要である。

■ ディペンダビリティを向上させる配線技術

銅配線の微細化が進むと、抵抗率や層間絶縁膜で形成される線間容量が急激に高くなり信号遅延時間が増大したり、エレクトロマイグレーションやストレスマイグレーションの耐性が劣化することが懸念されている。トランジスタのスイッチング時間のように小さくならない配線遅延は、システムのタイミングを狂わせるのでディペンダビリティの阻害要因となる。高信頼で高速なチップ内の信号伝送を実現する技術をプロセスと回路とシステムの観点から研究することが必要である。

II-2.3 アナログ回路

アナログ回路は、通信やセンシングのような現実社会とのインターフェイスに欠かせない。アナログ回路では、熱雑音、基板雑音、電源雑音、1/f雑音、外来雑音、ジッター、干渉などの雑音を考慮して設計するが、電源電圧の低下によるダイナミックレンジの減少や信号電力の減少、デジタル雑音の増大、周波数干渉の増大などで、ディペンダブルなアナログ

回路の設計は難しくなっている。システム技術と回路技術の総合的観点からの研究開発が重要である。

必要となる要素技術：

■ デジタル化や離散時間処理におけるアナログ回路のディペンダビリティ追究
無線機的设计はできるだけデジタルで実現して、アナログ回路はアンテナに近い高周波回路だけに限定しようとする試みが注目を集めている。A/D変換器でもデジタル補正でアナログの要求性能を緩和する技術が重要になっている。デジタル支援を得たアナログ回路の設計やアナログ回路とデジタル回路の役割分担について、あるいは離散時間領域における信号処理のシステム設計において、ディペンダビリティ向上のための新たな技術が求められる。

■ 位相制御およびタイミング制御におけるディペンダビリティ追究

従来のキャリアを用いた無線通信では、信号の位相制御が重要であった。近年関心が高まっているパルスを用いたベースバンド通信では、タイミング制御が重要になる。タイミング制御におけるディペンダビリティ向上の研究が必要になる。

■ 環境を認識してディペンダビリティを向上するシステム技術

周波数チャンネルの混み具合をモニタしながら、チャンネルを自動的に切り替える Cognitive Radio のように、通信チャンネルを確保するシステム技術と回路技術の研究がディペンダビリティ向上のために重要である。

II-3 ディペンダブルアーキテクチャ

II-3.1 チップアーキテクチャ

VLSIの大規模化・複雑化に伴い、チップ上のアーキテクチャにもディペンダビリティを高めるための技術を織り込む必要が高まっている。百億個を越えるトランジスタにより構成されるVLSIシステムが、一定の割合で固定的な故障素子を含み、さらに経年変化で運用中に劣化で故障する素子が次々に増加し、外部からの雑音や電源および温度の変動によって間欠的な故障(異常動作)を起こす素子が存在するという仮定のもとで、システム全体の致命的な障害を引き起こさないためのアーキテクチャの開発が重要である。半導体のトップメーカーであるインテルでも、Resilient Architecture(弾力的なアーキテクチャ)と呼んでこのような技術開発の必要性を提唱している。

プロセッサやメモリなどVLSIの個々の構成要素の信頼性や安定性を高めるだけではなく、システムとしてのVLSI全体のディペンダビリティを高めるために、VLSI全体で故障や障害の検出、解析、システムの再構成、適応などを自動的に行って、システム全体の停止や致命的障害を防止するためのアーキテクチャは、1)性能、2)コスト、3)消費電力に続くVLSIの第4の付加価値を与える技術として、極めて重要である。

必要となる要素技術：

■ ディペンダビリティを向上させるオンチップマルチプロセッサ技術

多くのVLSIが同一または種類の異なる複数のプロセッサを含む構成のオンチップマルチプロセッサとして構成

されるようになってきた。複数のプロセッサが、プログラムやデータを共有しながら動作するシステムは、潜在的には多くの冗長性を含んでいる。各種の物理的要因（プロセスの揺らぎ、製造不良など）から来る固定的な故障、経年変化による故障、雑音や電源・温度の変動からくる間欠故障など、均質には発生しない各種の故障に対して、冗長性を活かして柔軟にシステムのディペンダビリティを保證するアーキテクチャの構成法の確立は、次世代のVLSIの基本的な設計技術となる。

単に、ハードウェアだけによる技術ではなく、マルチプロセッサシステム上で動作するソフトウェア全体も含んだシステムとしてのアーキテクチャ設計が重要である。ハードウェアやソフトウェアの冗長化設計、故障を検出する機構、故障原因の自動的な解析、必要な再構成情報の生成とシステムの再構成、再構成による性能や電力の変化に対する適応的制御などがアーキテクチャ構成の為の基本技術となる。オンラインテスト技術や動的な制御技術も組み合わせた対応が必要である。

■ ネットワークオンチップ (NoC)

VLSI内部の基本構成要素の数が増加し、構成要素間の通信ネットワーク（マイクロネットワーク）も複雑化している。マイクロネットワークに接続される要素回路は、あるものは故障で動かず、あるものは異常な動作をする場合がある。また、マイクロネットワークの経路上に故障が発生する可能性も無視できない。さらに、電源や温度の変動により、要素間の通信にかかる時間も一定であることを保證することが難しくなる。このような状況に対応す

る為に、インターネットなど広域のネットワークに利用されている各種技術の手法をチップ内のマイクロネットワーク構成に導入しようとする考え方が、ネットワークオンチップ (NoC : Network-on-a-Chip) の考え方である。

マイクロネットワーク内の要素間通信に関するプロトコルを各種の障害に対して柔軟に対応できるように設計し、要素や経路の故障や通信時間の変動に対してもシステムの動作を安定に保つ為の技術である。VLSI特有の故障や変動の性質を利用して、低コストで高い性能を維持できるような新しいプロトコルとそれを支える回路技術の研究が必要である。また、システムインパッケージ (SiP) のような環境では、チップ外との通信 (有線・無線) も考慮する必要がある。従来からVLSIの性能を左右する重要な技術であるメモリやプロセッサの間の相互接続インターフェイスの新しい形態としてのマイクロネットワークは、ディペンダビリティの視点を重要な切り口として構成される。

■ 設計プラットフォーム

SoC (システムオンチップ) やシステムLSIと呼ばれる応用を限定したVLSIにおいては、市場において繰り返される最終製品 (携帯電話やデジタルカメラなど) の機種の変更の要求に効率的かつ迅速に対応するために、基本となる設計プラットフォームを利用した設計手法が使われる。これは、その分野で必要となる基本的な構成要素や機能をあらかじめ用意しておき、それらを組み合わせて、柔軟に市場の要求に対応する設計技術である。VLSI

内部で利用するプロセッサの基本形、各種メモリモジュール、専用回路、マイクロネットワーク構造、オペレーティングシステムや基本的なソフトウェアモジュールなどがプラットフォームに含まれる。このような設計プラットフォームにおいても、個々の構成要素に故障や障害が発生することを前提とした設計技術が必要となる。プラットフォーム中にシステムや個々の構成要素の状態をモニタする機能や故障を発見したときの対応策を用意する必要がある。検査技術や人間系の要因(ヒューマンエラーやセキュリティなど)に対する対策と連携し、共通化できる部分を統合した技術開発が求められる。

II-3.2 組み込みシステム(統合システム)

VLSIは機械系や情報系の各種システムに組み込まれ、制御用のソフトウェアと一体化した組み込みシステムとして種々の機器や社会システムの部品として利用される。このため、利用される環境も多様で、求められる寿命や信頼性などディペンダビリティの関連する要求もそれぞれの応用分野によって大きく違ってくる。ディペンダビリティに関する研究には、応用分野からの要求に応えられるような柔軟なVLSIの技術開発を目指すことが求められる。VLSI自身のディペンダビリティではなく、それが組み込まれたシステム全体のディペンダビリティの向上が最終目的であることを意識した技術開発と研究が重要なポイントである。

■ 組み込みソフトウェアによるディペンダビリティ向上

環境やユーザからの多様な要求に柔軟に対応できるVLSIを実現する為

には、信頼性などのディペンダビリティの指標を、要求に応じて柔軟に変化させる技術が必要である。各種の自然現象に起因する障害への基本的な対策は、素子や回路のレベルで対応しなければならないが、個々の応用分野からの要求に柔軟かつきめ細かに対処するためには、ソフトウェアによる柔軟な制御を可能とする技術が必要となる。例えば、オンチップマルチプロセッサの中で計算を多重化して冗長性を柔軟に変化させたり、オンラインテストの頻度を変化させたりする技術が必要となる。ディペンダビリティと性能・エネルギー消費とのトレードオフを考慮して、時間的・空間的に変化するシステムに対するディペンダビリティを実現するための基本的な機能を実現するための技術が求められる。

■ 人命に直接関係する応用に関するディペンダビリティ向上

車載システムや医療用システムのように、システムの障害が直接人命に影響を与える応用分野におけるVLSIには、特別なディペンダビリティに関する基準やそれを満たす為の技術の確立が求められる。それぞれの応用分野での利用環境(高温かつ振動のあるエンジンルームやX線などのある病院内など)と雑音源、ユーザの知識レベルや利用状況、障害が引き起こす事故の重大性、システムに求められる対応のための時間的な余裕などを勘案して、素子・回路・アーキテクチャの各レベルでのディペンダビリティ向上策を組み合わせ対応する技術を開発する必要がある。

車載システムにおけるブレーキシステムと自動車全体の関係のように、

VLSIが機械系の部品と一体化してより大きなシステムの一部として動作する場合には、VLSI個々のディペンダビリティと機械系と一体化した部品としてのディペンダビリティの関係を明確にすると共に、システム全体のディペンダビリティとの関連も考慮した議論が必要となる。このように、分野の異なる部品やシステムとの相互依存関係を明確にして協調的に設計を行う設計法や技術の確立も必要である。

■ 社会基盤への応用に関するディペンダビリティ向上

社会基盤を構成する各種の基幹システム（通信システム、交通システム、金融システム、経済システム、行政システムなど）に利用されるVLSIには、長期の安定的な稼働と保守に対する配慮が必要である。個別部品としての寿命の見積もりと制御、保守の容易さへの配慮、耐性を越えた状態に陥る前に状況を報告する仕組みなど、安定的な運用に配慮したVLSIの設計が必要である。特に、寿命の制御は長期的に大規模な投資を必要とする社会システムにおいては極めて重要な問題であり、素子・回路・アーキテクチャ・ソフトウェアを含めた総合的な対応策の研究が求められる。また、衛星に搭載されたり、海底や地中あるいはビルなどの構造物の内部に設置され、保守や交換が難しい環境下で使われるVLSIには、自己診断や遠隔診断の機能、自己修復や遠隔修復の機能なども備える必要があり、研究テーマとして挙げられる。

II-4 実装技術・設計・製造を含めた総合ディペンダブルVLSI開発技術

半導体素子の微細化によりVLSIの性能は飛躍的に向上したが、一方でVLSIの高集積化、大規模化に伴う問題も顕在化しており、10～15年後には素子の微細化限界が愈々現実のものとなると危惧される。微細化限界の要因としては、オフ電流の増加による消費電力の増加、オン電流改善率の低下、信頼性の低下、プロセスばらつきと統計的ゆらぎの増大、配線による信号遅延や消費電力の増大、クロストーク、S/Nの低下などが挙げられる。このような素子の微細化限界が顕在化する中で、VLSIの大規模化に伴う設計工数の増大や設計の複雑化、テストの難しさが深刻な状態にまで至っている。一方で、VLSIの社会的、工業的重要性が益々高まっていることから、VLSIにはディペンダビリティが強く求められるようになっている。このようなVLSIが直面する種々の課題を克服して、ディペンダブルVLSI(DVLSI)を実現するためには、これまでのような階層的な考え方ではなく、材料技術、デバイス・プロセス技術、実装技術、設計、システムに跨る広い分野からVLSI技術というものを総合的に、有機的に考えていく必要があると思われる。

今後、プロセスばらつきや統計的ゆらぎが増大する中で、素子寸法が20 nm以下のトランジスタを数十億から数千億個も搭載するようなVLSIをこれまでのようなやり方で開発して行くことは不可能に近い。そのため、設計の段階から、自己修復や自己組織化、自己調整、再構成、自己診断といった考え方を取り入れて、VLSI自らが不具合を修復したり、製作後ソフトウェアによって自己修復や

再構成が可能な VLSI を真剣に考えていく必要がある。自己修復や自己組織化、自己調整、再構成、自己診断といった機能を取り入れることで、ディペンダビリティを増すこともできる。このような機能をもつ VLSI を実現するためには例えば LUT (Look-Up Table) を用いた関数発生回路を搭載しておき、冗長回路や自己診断回路として使うことが考えられる。このような回路を多数搭載した VLSI では、ロジック回路に近接してメモリを多数配置する必要があり (Logic-in-Memory)、ロジックとメモリの結線数も増えることから VLSI 配線技術と実装技術を融合した新しい技術の開発が必要となる。メモリとして高速の不揮発性メモリを用いると低消費電力化を図ることもできる。自己調整のためには遺伝的アルゴリズムの導入も有効である。システムアーキテクチャの観点からは、低消費電力化のためにも超並列処理の導入が必須である。この場合、並列処理の柔軟性と効率化を図るために、粒度を自動的に変えたり、自己組織化 Routing、自己組織化 Placing、基本ユニットの自動修復と自動切替えなどの機能を導入することが有効である。並列処理は冗長性やフォールトトレランスとの整合性も良いことから、このような観点からも超並列処理は今後益々重要となる。

自己修復や自己組織化、自己調整、再構成、自己診断といった機能は、VLSI の大規模化に伴う設計工数の増大や設計の複雑化を軽減するのにも有効である。VLSI 製作後に設計ミス修復したり、性能や機能を調整することが可能となるからである。ハード・ソフト協調設計の考え方を VLSI 製作前の設計段階だけでなく、VLSI 製作後のテスト段階にまで拡張して適用できる。IP (Intellectual Property) の積極的な活用も設計工数の

増大や設計の複雑化を軽減するのに有効である。しかし、これまでの IP はどちらかというソフト IP が主体であったため、テクノロジーが変わるとそのまま使うことが難しいなどの問題があった。IP をより有効に活用するためには、ソフト IP と合わせてハード IP という考え方を導入する必要がある。ハード IP とはチップになった IP のことで、性能、信頼性ともに実績があり、そのまま使える IP のことである。しかし、従来の技術では、このようなハード IP (チップ IP) を使って VLSI を製作することはできない。そのため、VLSI 技術と実装技術を融合した新しい集積化技術が必要となる。

VLSI のディペンダビリティを高めるためには、VLSI チップに各種センサを搭載して自己診断する機能をもたせることも重要となる。VLSI の動作を各種センサでリアルタイムに監視し、不具合のある部分を自動的に修復したり切り替えたりすることができれば、また、デバイスの経年劣化をモニタして VLSI の寿命を予測して明示できるようにすれば VLSI のディペンダビリティを上げることができる。VLSI チップに搭載されるセンサとしては、温度センサや応力センサ、電流センサ、EMI (Electro Magnetic Interference) センサ、荷電センサ、加速度センサなどが考えられる。これらのセンサの作製には様々な材料が用いられるので、VLSI の製作工程の中でこれらのセンサをシリコン VLSI チップ上に作製することは難しい。そのため、VLSI 技術と実装技術を融合した技術の開発が必要となる。

以上のことからわかるように、自己修復や自己組織化、自己調整、再構成、自己診断といった機能をもつ VLSI を実現するためには、従来の VLSI 技術だけでは不十分で、VLSI 技術と実装技術を

融合した新しい総合ディペンダブルVLSI (DVLSI) 技術が必要となる。このような総合DVLSI技術では、ロジックとメモリの融合、高い結合性・結線性、異種デバイス・異種チップの融合、グローバル配線の低減、KGD (Known Good Die) の集積化などが求められる。このような総合DVLSI技術の例を図A-3に示す。この総合DVLSI集積化技術(スーパーチップインテグレーション)では、別々に作製されたVLSIウェハから良品チップ(KGD)を選別し、それぞれを別のウェハ上に敷き詰めてこれを多層に張り合わせて、3次元積層VLSIを作製する。沢山の良品チップ(KGD)をウェハ上に一括して敷き詰めるために、自己組織化チップ張り合わせという新しい手法を用いる¹⁻³⁾。それぞれのチップは違ったテクノロジーを用いて作製されていても良いし、チップサイズが違っていても良い。これらのチップをハードIPとして扱っても良い。この技術を用いると、図A-4に示すように、いろいろなチップやデバイスを集積化したDVLSI(スーパーチップ)が実現可能となる。このようなDVLSIでは、ロジック回路とメモリ回路を近接させて配置することが可能であり、また、垂直方向に短い配線を多数配置できるので、高い結合性・結線性を実現できる。そのため、自己修復や自己組織化、自己調整、再構成、自己診断などの機能をもったVLSIを実現することができる。しかし、このような3次元積層構造をもつDVLSIでは、熱放散、応力、信頼性など、VLSI技術と実装技術を一体化して考えなければならない検討課題が新たに発生してくる。これらの課題克服には、新しい材料の開発が極めて重要となる。

以上をまとめると、具体的な研究開発

課題として以下が挙げられる。

- 自己調整機能のための設計技術(自己修復、自己組織化、再構成、自己診断)
- VLSI配線技術と実装技術を融合するための技術
- チップ(ハード)IP活用のための実装技術
- VLSIディペンダビリティ向上のためのセンサ実装技術
- 良品チップ選別による3次元集積化実装技術
- 多種類のチップを3次元集積化するためのディペンダブルな実装技術

(参考文献)

- 1) T. Fukushima, Y. Yamada, H. Kikuchi, and M. Koyanagi: "New Three-Dimensional Integration Technology Using Self-Assembly Technique", IEEE International Electron Devices Meeting (IEDM), pp.359-362(2005).
- 2) T. Fukushima, Y. Yamada, H. Kikuchi, and M. Koyanagi: "New Three-Dimensional Integration Technology Using Chip-to-Wafer Bonding to Achieve Ultimate Super Chip Integration", International Conference on Solid State Devices and Materials, pp.64-65(2005).
- 3) T. Fukushima, Y. Yamada, H. Kikuchi, T. Tanaka, and M. Koyanagi: "Ultimate Super-Chip Integration Based on Chip-to-Wafer Three-Dimensional Integration Technology", International Conference on Electronics Packaging (ICEP), p.220-224(2006).

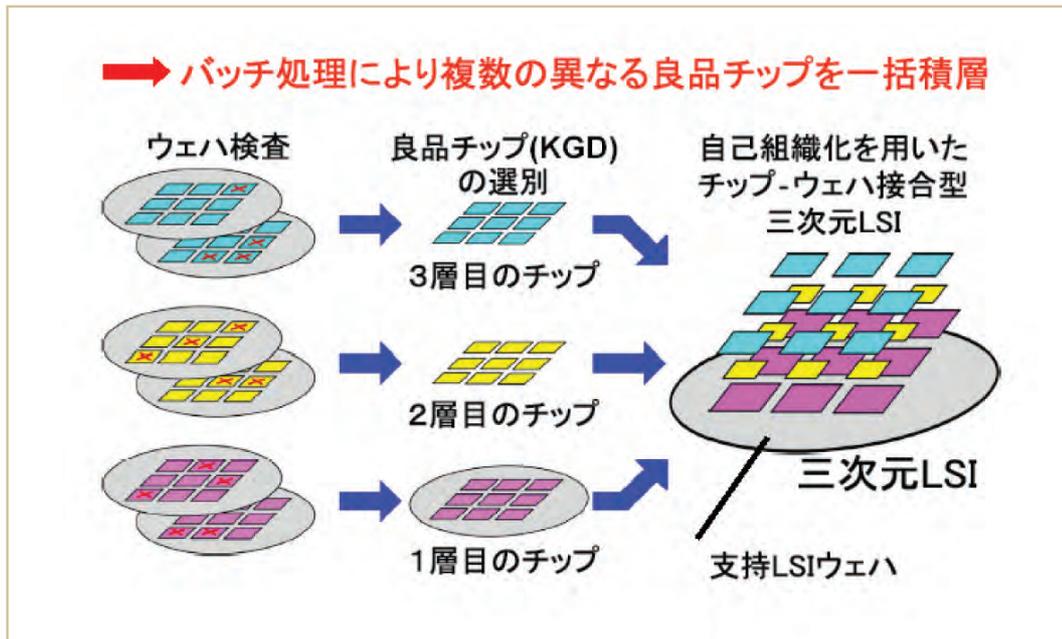


図 A-3 総合 DVLSI 集積化技術による 3 次元積層型 DVLSI の製作方法

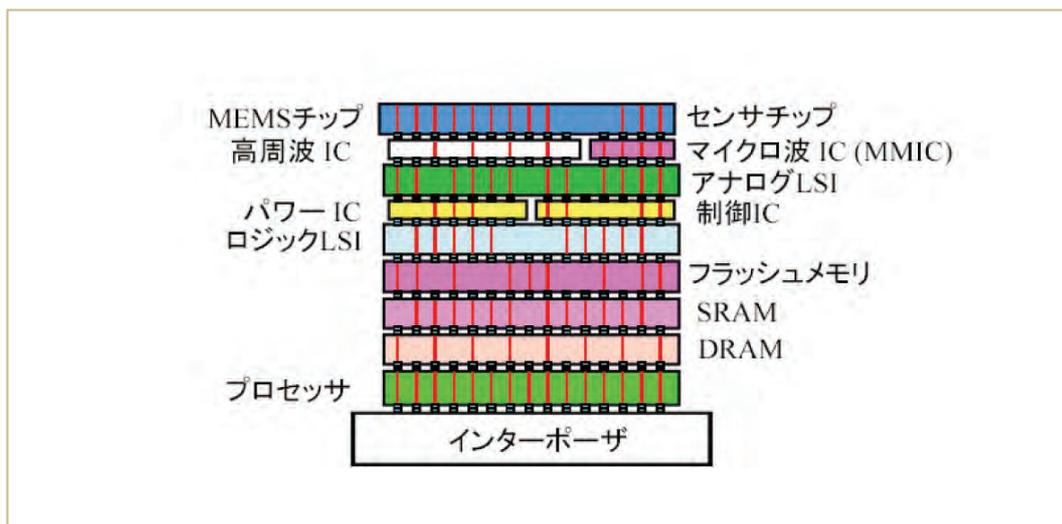


図 A-4 3次元積層型 DVLSI (スーパーチップ) の構成

II-5 製品出荷前に対策する調整技術

VLSIが出荷されるまでには、企業の半導体工場内で一連のプロセスを経るが、そのプロセス開始前の対策に関する技術を製造前調整技術と定義し、プロセス終了後で製品出荷前に実行される対策に関する技術を製造後調整技術と定義する。

■ 意義

CMOS (Complementary Metal Oxide Semiconductor) スケーリングの終焉に限りなく近づいた状況においては、ばらつきの増大と信頼性の低下がディペンダビリティの阻害要因として顕在化してくる。これらを正確にモデル化し、設計段階において定量的に制御し克服する設計技術(静的制御技術)の開発が急務である。

II-5.1 製造前調整技術

ディペンダビリティを確保するための設計段階における要素技術として、デバイスの特性ばらつきや信頼性低下の正確なモデル化とそれらを考慮した特性評価技術、ならびに特性ばらつきに強靱で製造性が高く、デバイスの信頼性低下を克服する回路設計技術が必要である。

必要となる要素技術：

微細化の極限に近づいたデバイスには本質的な特性ばらつきが存在する。例えばMOSトランジスタでは、ゲートポリシリコンの幅や酸化膜厚ならびにチャンネル中の不純物原子数に原子レベルの確率的ゆらぎが発生するため、同一構造の素子でも特性は大きくばらつく。デバイ

スも露光波長より細密な構造を持つため、製造後の微細パターンの忠実性が損なわれ、特性ばらつきの拡大や製造性の劣化が発生する。また、NBTI (Negative Bias Temperature Instability) やホットキャリア注入により、動作と共に特性が劣化していく現象が顕著に表われる。このため、製造時に良品であっても時間と共に劣化が進行し、動作不良に至る事態が生じる。微細化に伴いトランジスタが供給・保持すべき電荷量は大きく削減されるが、これにより動作中の信号値の揺らぎが発生しやすくなり、チップ内外からの各種雑音に対する耐性が劣化する。

さらに、宇宙線に含まれる高エネルギー粒子などが引き起こす突発的な電荷注入による誤動作(ソフトエラー)の発生確率が増加する。これらの特性ばらつきや製造不完全性の増加と信頼性の低下は、ディペンダビリティを毀損する深刻な要因であり、これらに対して必要十分な対策を設計段階で講じることが不可欠である。

集積回路の設計において上記の事象を定量的に考慮し、製造した回路のディペンダビリティを確実なものとする設計技術が静的制御技術である。その中で、製造後の調整を前提としないものを製造前制御技術と呼ぶこととし、その要素技術として以下の課題への取り組みが必要である。

■ デバイスのばらつきや信頼性低下の解析とモデル化技術

微細化デバイスに発生するばらつきや経年変化による信頼性低下の定量的な解析法を明らかにし、設計時にそれらを考慮するためのモデル化技術を開発する必要がある。

デバイスのばらつきについては、不

純物原子数の確率的揺らぎなどによるランダムな成分と、パターンの形状や周囲の状況(粗密など)に依存するシステムティックな成分が存在する。ばらつきの原因を解明し、要因毎にその影響を定量的に評価する解析技術が必要である。また、設計段階において、ばらつきの大きさや統計的性質の正確な予測を可能にするモデル化技術を開発する必要がある。さらには、レイアウト設計が完了した要素回路やチップ全体を対象として、デバイス間相関も含めたばらつき特性を抽出する技術が必要である。

デバイスの信頼性低下については、その機構を明らかにし回路の動作状態が特性劣化に及ぼす影響を定量的に解析する方法を開発する必要がある。また、設計過程において、デバイスの信頼性を定量的に評価可能なモデル化技術を開発する必要がある。

■ 製造容易性(歩留まり)解析技術

微細デバイスの寸法は露光波長より格段に小さくなっており、微細パターンは各種の解像度拡張技術を駆使して形成されている。微細パターンの形状や周辺パターンの配置状況によっては解像度の拡張が十分に行えず、露光パターンの忠実性が損なわれる事態が発生する。その結果、デバイスの動作不良が発生する確率が増加し、製造歩留まりの低下につながる。レイアウトデータから、要素回路単位もしくはチップ全体を対象として、その製造容易性を定量的に評価し、製造歩留まりを予測する技術の開発が必要である。また、歩留まりの向上やばらつき幅の抑制を可能にするレイアウトの設計指針を明らかにし、その効果を定量的に求める

技術を開発する必要がある。

■ 回路の特性ばらつきや特性劣化の解析技術と、それらの影響を最小化する回路設計技術

デバイスの特性ばらつきや信頼性のモデルに基づき、それらが遅延時間や消費電力といった回路特性に及ぼす影響を定量的に求める解析技術の開発が必要である。回路特性の評価にあたっては、各種ばらつきの統計的性質や回路動作と特性劣化との関係を、設計段階の詳細度に応じて必要十分な精度で考慮する必要がある。従来の設計環境となるべく親和性が高い解析技術が好ましい。また、デバイスの特性ばらつきや経時劣化の影響を最小限に食い止める回路技術や、その影響を最小化する回路最適化技術の開発が必要である。

■ ソフトエラーの解析技術と、エラー耐性を高める回路設計技術

回路内各部で保持される電荷量の減少により、宇宙線に含まれる高エネルギー粒子の照射による電荷注入が引き起こすソフトエラーの発生確率増加が懸念される。注入電荷がメモリやラッチなどの保持信号を反転させた場合や、注入電荷により組み合わせ回路部分で生じたグリッチがラッチまで伝搬し、正規とは異なる信号値が取り込まれた場合にソフトエラーが発生する。ソフトエラーの解析技術を開発する必要がある。また、エラー耐性を高めソフトエラーの発生を防止する回路設計技術や、ソフトエラーの発生を検知し、エラー訂正を行う回路技術の開発が必要である。

また、チップ内部の電源線・グラン

ド線の電位変動や信号配線間の電磁結合によるノイズ、更にはチップ外部の電源ノイズやESD (Electro-Static Discharge)により誤動作する可能性がある。チップ内外のノイズが回路特性に及ぼす影響を解析する技術と、ノイズ耐性を高める回路設計技術の開発が必要である。

■ ばらつきに強靱で製造性を確保したライブラリと、それを活用した設計手法

集積回路は、予め用意されているライブラリを用いて設計する方式が一般的である。現在のところ、論理回路部分の設計には、スタンダードセルと呼ぶ基本論理ゲートを構成要素とするライブラリが用いられている。各スタンダードセルのレイアウトは、設計回路の面積を最小化するために最稠密に作成されている。また、設計回路の性能を向上させるため、多種類の論理ゲートが用意されている。

しかし、微細化の進行に伴い、面積削減のための複雑なレイアウトパターンは、露光時に忠実性が損なわれ、動作不良による歩留まり低下や特性ばらつきを増大を引き起こす。そのため、レイアウトの自由度やライブラリ構成要素の数などに制約を設けることにより、レイアウトの複雑度を下げて製造容易性を向上させ、ばらつきに強靱なライブラリを開発する必要がある。また、ライブラリの配置配線方法や電源・クロックの供給方法などチップ全体の設計フローを構築するにあたり、設計回路の製造性、チップ面積、回路特性、設計コストなどの多くの評価項目について、最適なトレードオフを取ることのできる設計手法を開発することは、重要な研究課題である。

II-5.2 製造後調整技術

機能故障が発生したり回路特性が規格外となった不良回路を製造後のテスト段階で発見し、正常なスペア回路に置換したり特性のずれを補正することにより回路動作を正常化する技術を開発し、より強固なディペンダビリティを提供する。

必要となる要素技術：

集積規模の増大につれ、過大なばらつきを持つ素子の数も増加する。

特性ばらつきを正規分布で近似すると、例えば10億個のトランジスタを集積した回路では、 3σ の範囲から外れるトランジスタは100万個以上になる。これらのばらつきの影響を製造“前”制御技術のみで吸収しようとする、多大な設計余裕度を見込む必要が出てくる。また、製造欠陥による故障素子の出現確率も増加し、歩留まりは低下する。過度のばらつきや故障素子を含む部分回路を製造後に修復することが可能になると、設計時に想定する動作余裕度を削減することができるため、回路の高性能化が図れる。また、不良回路を救済できるため歩留まりが向上し、強固なディペンダビリティを持たせることができる。このような製造後制御技術は、大規模メモリでは既に必須の技術であり、故障を含む部分回路を予備回路と切り替えて歩留まりを確保している。また、高性能プロセッサでも、クロックスキュー(クロック信号の伝播時間のずれ)を製造後に調整し、動作周波数を高速化する技術が実用化されている。今後、微細化の進展と共に、集積規模は一層増大し、素子ばらつきはますます拡大する。製造後のテスト段階で不良箇所や特性のずれを検出し、それを修復する製造後制御技術の重要性は一層高まる。以下のような要素技術の研究開発が

ディペンダビリティ向上のために必須である。

■ 欠陥救済技術

製造後のテストにおいて動作特性が規定値を外れている、もしくは故障している部分回路を検出し、予め用意しておいた冗長回路と置き換えることにより不良回路を救済する技術を開発する。アレイ構造をとるメモリでは、既に実用化されている。適用範囲をロジック回路部分に拡大する方法について検討する必要がある。マルチプロセッサコアや演算器アレイのような荒い粒度を単位とした欠陥救済以外にも、LUT (Look-Up Table) や PLA (Programmable Logic Array) などのより細かい粒度の回路単位での欠陥救済を可能とする回路構成法や、欠陥部分の検査・置換方法、冗長を持たせる回路部分と冗長比率の検討などが重要な研究課題である。

■ 特性ばらつき補正技術

デバイス特性のばらつきにより回路特性が所定の範囲に収まらない回路に対して、製造後のテスト段階において回路特性を補正することにより性能不良を救済したり、チップ内各部の動作マージンを測定し、それを最適化することにより回路性能を向上させる技術の開発が重要である。性能補正や最適化の方法としては、特性調整回路の組込みや、チップ全体を一括した、もしくはチップ内の部分回路毎を対象とした供給電圧や基板バイアス電圧の調整などが考えられる。調整回路の構成法や特性の補正範囲、補正対象とする回路の粒度や補正精度、回路特性や動作マージンの測定方法などに関する研究

開発が必要である。

■ ビルトインセルフテスト回路

欠陥救済や特性ばらつきの補正は、製造後のテスト段階で実施する。テストにおいては、通常の動作速度でチップを動かし、機能テストや動作マージンの測定を行ったり、動作不良部分を検出する必要がある。このような一連のテストを、テストのみで実施する事は、テストハードウェアの高速化高精度化やテスト時間の長大化を要し、テストコストの上昇を招く。テスト機能の一部もしくは全部を、チップ上に作り込んだ回路で実施するビルトインセルフテスト技術の研究開発が必要である。

II-6 製品出荷後に機能する調整技術

ディペンダブルな VLSI システムを実現する一つのアプローチは動的な制御によるものである。そこでは一般に「セルフテスト → 問題検出 → 再構成 → 適応」というような流れに従ってディペンダビリティを向上させる。このような流れを繰り返すループを構築することにより、常時正常動作が行える集積システムが完成することになる。このようなセルフチェック・適応化ループを持ったディペンダブルシステムを実現するには、以下の項目で説明する要素技術に関する研究開発が必要である。

そして、これらの要素技術を適切に組み合わせることにより、動的制御に基づく新しいディペンダブル VLSI が構成できる。その際、テストあるいは制御する空間的および時間的粒度を意識する必要

がある。空間的粒度にはシステム単位、チップ単位、ブロック単位、ゲート単位、トランジスタ単位などがあり、時間的粒度には1年に一度といったものからナノ秒に一度起こりうるといったものがある。

将来のディペンダブルVLSIシステムは、単なるシングルチップというよりは複数のチップを積層集積した図A-5のような形になる可能性が高い。従って、動的制御技術もこのような形態に対して研究されるべきである。また、すべての項

目に対して、面積効率や電力効率なども意識する必要があることは言うまでもない。その意味でも同じ機能であれば、通常のCMOSプロセスにコンパティブルな回路や構成が望まれる。他の技術との競争力ということ十分に考えなければ真のイノベーションとはなり得ない。そして、ハードウェアのみならず、アルゴリズムやソフトウェアとのインタラクションも考慮することが新規の発想につながる点も留意すべきである。

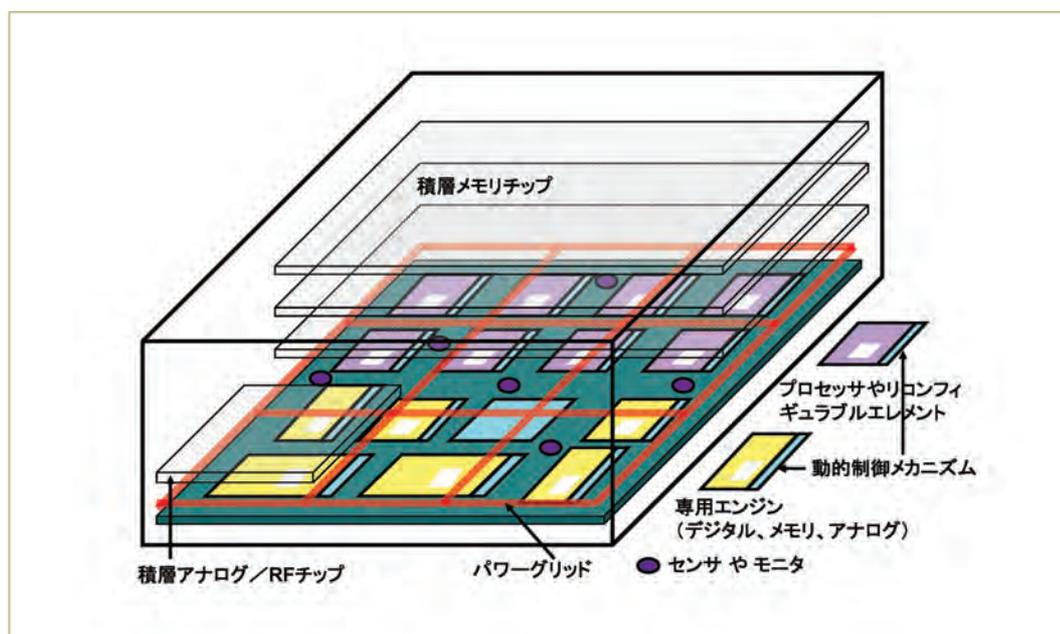


図 A-5 動的制御によるディペンダビリティを向上させたVLSIシステム

II-6.1 センシング技術

動的制御フローはセルフテストして問題箇所を検出することから始まる。それにはまずはチップ内で多くの情報を集める必要があり、様々なオンチップのセンシング技術が必要になる。すでに温度、動作速度や電圧ノイズのモニタ技術などは実用化が進んでいるが、その他にもリーク電流、電流、磁界、デバイス劣化、タイミングマージン、ばらつき、電磁干

渉、通信エラーレートのセンシング技術など、多くの未開拓あるいは研究段階の領域がある。また、ロジック、メモリ、アナログブロックのビルトインセルフテスト技術もセンシング技術に含まれる。各種の Quality of Service (QoS) をモニタするというセンシング技術もあるだろう。

センシングする対象も意識する必要がある。動作させている部分そのものの特性をテストする場合、あるいは測定対象

の中の代表的なものだけをテストする、あるいは対象を真似たレプリカを用意してそれをモニタするといった例も考えられる。例えば、スピードをモニタすることを目的としてレプリカ回路を用意することは実際は簡単ではない。最近のVLSIではクリティカルパスの候補数は百本以上になることもあり、どのパスに似たものをレプリカとして用意すれば良いかなど研究要素は多い。

VLSI内の情報蓄積機能の元となるSRAMやフリップフロップなどは低電源電圧下で動作が脆弱となる。通常のロジックでも低電圧では動作が不安定となる。このような場合、正常動作範囲マージンをあらかじめ検出し、動作環境を適正範囲に収めるように制御するアイデアも報告され始めた。例えば、通常より少し弱い部品を用意しておき、それが誤動作したらそれ以上は電圧を下げないといった提案がある。酸素不足を検知するために使われるカナリアに似ているので、カナリア部品と呼ばれる。

また、1サイクルの直後から少しタイミングを遅らして計算結果を照合し、1サイクル直後の計算結果と異なる場合はサイクルタイムが短か過ぎたと判断して、サイクル時間を伸張するとともに再計算を行うというようなタイミングマージンのモニタ技術の例も出てきた。このように、システムのディペンダビリティを向上させるために、どのようなセンサをどのように使うと良いかについての提言も重要となろう。

最近のVLSIには多くの新材料やデバイス構造が取り入れられている。従って、そのような材料・デバイスを使ってできるセンサにはかなりバリエーションがあ

るはずで新提案が期待される。センサ周りの低電力アナログ、デジタル回路も含めて、センシング技術、あるいはオンチップ・モニタ技術は、まだまだ多くの新技術が発明される素地を含んだ領域であり、今後の研究に期待するところが大きい。

II-6.2 適応技術

センシング技術で情報を集め、問題があると判断した場合は、何らかのパラメータを変化させて問題を自己修復する、あるいは問題を未然に防ぐという適応化技術が必要である。パラメータとしては電源電圧、しきい値電圧、周波数、タイミング、ブロック接続などが多く用いられるが、その他にも信号振幅、サイズ、活性化度など多くの可能性がある。

それらのパラメータを、どの情報をもとにどのように環境に適応させていくのか、ハードウェアでやるべきかソフトウェアでやるべきか、アルゴリズムはどうすればよいか、アナログ制御かデジタル制御か、など全体としての適応化技術に関する研究が必要である。

並列プロセッサシステムにおいて、ある特定プロセッサブロックの異常温度上昇を感知し、そのブロックで行っていた計算を他のプロセッサブロックに動的に割り当てなおしをすることによって、異常温度上昇を抑えるといった適応化技術はすでに実用レベルである。また、プロセス、電圧、温度の変動(PVT変動)を何らかの方式で感知し、電源電圧やしきい値電圧を適応的に変化させ、VLSIシステムの仕様を守った上で電力を最小化し、ディペンダビリティを上げる適応化技術というのも検討されている。

デバイスが経年劣化するのをモニタし、使えなくなったら使えるものに自動的に切り替えていくようなVLSI適応化技術、ウイルスの攻撃パターンを解析し、できるだけ早い段階で被害を食い止める機能を内部に持ったVLSIなど新規な研究の待たれる分野も多い。

II-6.3 アーキテクチャ

以上のようなセルフチェック・適応化ループを実現するためには、センシング技術、適応化技術とともにアーキテクチャ面でも研究開発が必要である。今後、千億個のデバイスをVLSIで使うことができるようになるかもしれない。しかし、多くの素子はバラツキが大きくて使えないかもしれない。また、途中で壊れるものも出てくる可能性がある。ソフトウェアのように間歇的に故障する素子もあるだろう。そのような不安定な部品で、ディペンダブルなシステムを作るアーキテクチャとはどのようなものか。メモリ構成、並列構成、リコンフィギュラブル・アーキテクチャ、専用エンジンか並列アーキテクチャか、冗長構成は、などアー

キテクチャの研究課題は多い。

故障が起こったとき、そこに至ったプロセスをたどって見られるようなフライトレコーダー機能をもったVLSIアーキテクチャや、製品の耐用期間を経過した製品を期限がきたら確実に機能を止め、それまでの経過を記録しておくセルフアポトーシス技術など、新規なアーキテクチャ提案も待たれる。

II-7 テスト技術

テスト技術はこれまで製品出荷前の良品/不良品の選別という単一機能技術として発展してきた。そのため、図A-6に示すように、製造・設計における技術革新によりVLSIの製造コストがムーア則(集積度が2年で倍になるという経験則)に従って低下するのに比べてテストコストはほぼ横ばいか増加傾向にあった。現在、パターン寸法の微細化に伴いばらつきや論理回路のソフトウェアなどの問題が発生し始めており、設計・製造

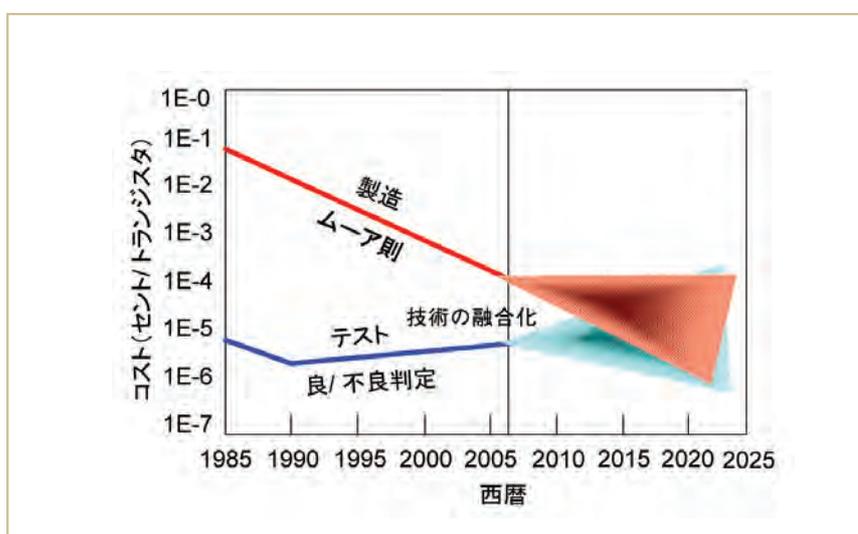


図 A-6 製造コストとテストコストの推移

技術などと融合させた新しいテスト技術が必要になってきている。すなわち、製造の最終段階のみで使用されるテスト技術から、企画・設計・製造・使用の各段階で必要とされるテスト技術である。表 A-4 に、今後、テストとの融合が必要な関連分野における問題とそれを解決するための研究開発課題を示す。

設計との関連では、現在、DFT (Design For Testing) との融合により主に配線接続の正常性が評価されているが機能・性能の完全性は評価しきれていない。消費電力や動作速度という物理的な制約およびテスト設計の困難性のためである。セルフテストに適した機能ブロック構成、工程途中での機能ブロックのアットスピード(実速度)機能テストの可能化など現状より格段にテストの信頼性を向上できる EDA (Electric Design

Automation) 技術とこのソフトを走らせる高性能計算機技術が必要である。また、動作速度の異なるインターフェイスの多様化に対応できる非同期設計と非同期テストの融合化技術も必要である。

製造との関連では、現在、製造が完了してテストが終了するまで歩留りが分からないという問題がある。製造工程毎、ウェハ毎にゴー/ノーゴー判断をしたり、特性ばらつきを評価したりしてムダな製造を行わないためのインラインテスト技術が必要である。製造の待ち時間を利用してテストを行うことで、製造の終了時にはテストが終了しているということが最終技術目標である。テスト装置技術としては、パワー供給を含めた非接触テスト技術、プロセス TEG (Test Element Group) 評価用の 10 nm 対応ナブプロービング技術が必要である。動作速度で 100

表 A-4 テスティングの問題と研究開発課題

項目	問題	研究開発課題
1. 設計との関係	1. 現状のスキャンテストは配線の接続チェックが主体で、論理バグが無いことが暗黙の前提。全機能・性能のパスまでは保障していない。 2. 動作速度の異なる各種回路が内在しているため、テストが困難になってきている。 3. テップ設計とテスト設計の関係が薄く、テップ設計者がフェイルログから不良原因を推定することが非常に困難になっている。 4. テップサイズはメモリと配線で決まっており、デバイス形成領域には空きがあることが多い。	・新しい独自CAD技術とこれを動かす地球シェミレータ並の高性能計算機(共同利用)技術。セキュリティ用の暗号解読技術研究にも利用。 ・スキャンに替わる高信頼テスト技術。 ・多ピン対応の非同期LSIテスト技術。VCDファイルからのテストを可能にすることで設計バグ修正などを短TAT化。 ・システムからVLSIまでの体系化された自己テスト、自己診断方法とそのハード化技術。
2. 製造との関係	1. 全工程が終了してテストするまで歩留りが分からない。不良が作り込まれた工程以降は全くのロス工程となる。 2. 工程途中でパラメトリック不良を検出することが非常に困難である。 3. 装置コストの制限から、待ち時間の長い工程がある。	・テストと故障解析との融合化技術 ・インラインで機能ブロック・TEGの測定をするための設計技術と接触タイプおよび非接触タイプの測定装置技術。機能ブロックの動作評価とパラメトリック変動の評価を、工程の待ち時間内に実施できるテスト技術。
3. 物理的信頼性との関係	1. パーンインは初期不良原因の除去が目的。プロセスばらつきが大きいと長期信頼性からむ不良原因が内在している可能性がある。 2. スキャンテストで不良原因、信頼性劣化要因を作り込んでいる可能性がある。	・インラインでの特定チップに対する信頼性加速試験技術と試験回路の設計技術。 ・SIP、MCMなどに使用するKGDを得るためウエハレベルのパーンイン技術。
4. ソフトエラーとの関係	1. 論理回路に対する実データの蓄積が少ない。 2. 装置、システムの必要耐性レベルが不明。	・論理回路のソフトウェア耐性評価技術とノード対応で適用可能なソフトウェア耐性強化技術。 ・任意の場所でのアルファ線、宇宙線のリアルタイム検出技術と警報発生システム(宇宙天気予報)技術。
5. 機密情報保持(セキュリティ)との関係	1. 外注テストでは、設計情報の漏洩や意図的の不良判定による良品チップの横流しなどが起こり得るICカード用チップなどのセキュリティ情報が解読される可能性もある。	・テストメーカの認定制度化に関する研究。 ・設計メーカが通信網を介してテストメーカのテストを自由に操作できる遠隔テスト技術。非同期テスト技術との組み合わせによる設計情報の秘匿技術。
6. ディベンダビリティとの関係	1. システムからVLSIまでのトップダウン的なディベンダビリティ対応テスト仕様はまだ無い。	・暗号解読技術および耐タンパー性評価技術 ・ディベンダビリティ対応の体系的システムテスト仕様の明確化とそのテスト技術。

VLSIのディベンダビリティとは
研究に投資する意義
研究開発課題
推進方法
科学技術上の効果
社会・経済的效果
時間軸に関する考察
検討の経緯
付録

GHzレベル、リーク電流で 1×10^{-20} Aレベルの測定技術が必要である。

物理的信頼性との関連では、どのような種類および規模のプロセス TEG を試験すべきかということも含めてインラインでの加速寿命試験技術が必要である。動作テストのみでは信頼性に関する問題を抽出できないからである。

ソフトエラーとの関連では、宇宙線で発生する電荷量の分布データを収集するための、例えば、専用の SDD (Silicon Drift Device) 技術が必要である。また、論路回路のノード容量、サブスレッシュホールド電流値とソフトエラー発生との関係を調べる技術、評価結果を反映した回路設計技術が必要である。環境問題に伴うオゾンホール拡大などで宇宙線の影響が大きくなれば、自動車の制限速度の低下、大規模システムの運用条件の変更などの警報を出すための地域毎の SDD によるリアルタイムの宇宙線観測技術、宇宙天気予報システム技術が必要となる。

機密情報保持との関連では、産業の水平分業化の進展でテストの外注化は避けられず、外注先での設計情報の抽出・漏洩、意図的な誤テストによる低歩留り化と選外品(良品)の横流し、セキュリティ情報の抽出などが起こり得る。これらを防止するには遠隔テスト技術が必要である。設計メーカーがテストメーカーのテストを通信回線を利用して制御する技術で、テストメーカーに対して何らのデータを開示することなくテストが可能となる。テストメーカーはテスト環境の整備、装置保守および入出庫管理のみを行う。

ディペンダビリティとの関連では、システムから VLSI までのトップダウン的なテスト仕様がないために、具体的な研究開発課題を明確にするための仕様構成研

究が必要である。最終的には、種々のシステム、装置、VLSI で共通的に使用が可能なディペンダビリティ IP 技術が必要になると予想される。

以上の他、歩留り・信頼性の向上にはテストと故障解析との融合化が非常に重要であり、CAD (Computer Aided Design) にリンクさせた不良箇所または故障箇所の絞込み技術が必要である。

具体的な研究開発課題を以下に示す。

- 高性能計算機(スーパーコンピュータ)を活用した CAD 技術
- 多ピン対応の非同期 LSI テスト技術
- 自己診断テスト技術
- 故障解析とテストとの融合技術
- インライン(工程の待ち時間内)に実行できる機能ブロック・TEG 評価テスト技術

II-8 人間のエラー抑制技術

システムの大規模化・複雑化によって VLSI の設計、製造、検査の工程はますます複雑化し、これらの工程にかかわる作業者のミスに起因するディペンダビリティの低下は、今後ますます大きな問題となってくる。また、複雑なシステムを操作・運用するユーザによる設計者が想定しないような誤操作が、VLSI 自身あるいはそれが接続される各種システム(社会システムや世界的なネットワークなど)に大きな障害を与える可能性も高まっている。このような人間のエラーの発生を想定した新しい設計、製造、運用におけるディペンダビリティ向上の技術が必要となる。

必要となる要素技術：

■ 人間のエラーを想定した VLSI 仕様の策定技術

VLSI は、センサ、アナログ回路、デジタル回路、さらにはプロセッサ上で動作するソフトウェアなどを含む複雑で大規模なシステムである。また、有線・無線の通信インターフェイスを通して、インターネットなどの世界規模のネットワークとも接続されている。このため、その設計・製造・検査・運用・廃棄などの製品のライフサイクルの各段階で、想定される人間のエラーや環境変化の範囲を十分に広げるとともに、想定外の状況変化に対しても VLSI 自身またはそれに接続されるシステムに致命的な障害を引き起こさないように仕様を決定する技術が重要となる。また、システムの寿命や動作環境を適切に考慮した仕様の策定や、利用中に想定される外部環境（温度や電源、接続されるシステムなど）が変化した場合の対応策を考慮したシステム仕様が必要となる。ソフトウェアや再構成可能な回路を利用して仕様変更に対応できるシステム構成技術との連携も重要になる。

■ 設計エラーを防止する自動設計及び設計検証技術

大規模なデジタル回路の自動設計を誤り無く行うためには、より抽象度の高い記述からの自動合成技術の開発が重要である。UML (Unified Modeling Language) や C 言語レベルからの自動合成や、画像処理や通信処理などの分野に特化した自動合成技術の開発が必要となる。また、組込みソフトウェアとの協調動作を前提としたハードウェア・ソフトウェア協調設計技術の開発、ソフトウ

ェアとハードウェアのバージョン管理技術、開発したモジュールの再利用のための IP 管理技術などの開発が必要である。さらにアナログ回路、メモリ、センサなどの自動設計技術も充実させる必要がある。

自動設計技術と並行して、設計検証技術の抜本的な革新が必要である。単に論理的な機能面だけではなく、コスト、性能、消費電力、信頼性などを正確に見積もり検証する技術を、デジタル回路やアナログ回路だけでなく組込みソフトウェアも含めてシステム全体で検証できる技術の開発がディペンダビリティの確保のために絶対的な条件となる。シミュレーションだけでなく、形式的な検証手法や過去のバグパターンの解析によるバグの予測などの技術を総合した新しい技術体系の確立が必要である。

■ デバッグのしやすさを考慮した設計 (DFD : Design for Debug)

設計時に設計者のエラーによるバグが入ることは避けられないことを考慮して、最初のチップにデバッグをしやすくするための各種の機能をあらかじめ挿入しておく技術。DFT (Design for Testability) や組込みソフトウェアのデバッグ機能との統合なども重要な研究課題である。また、設計が安定して量産に移ったときには、DFT の機能だけ残して、DFD の機能を除去できるような最適化も必要となる。

■ 製造時エラーを防止する製造過程の管理技術

製造プロセスの高コスト化は、大口径ウェハによる一括大量生産によるチップ

コスト低下の圧力となるが、製品によっては必ずしも大量消費が前提とはならない。このため、同じプロセスにおける異なる設計（ロット内、ウェハ内）の混在が現実的に求められる。このようなプロセスの多様化や柔軟化は、製造プロセス内における人的なエラー要因を増大する。製造プロセスの管理や設計に対する各種制約の導入により、製造時のエラーを防止する為の各種技術の確立が必要となる。

実装においても、各種のチップを組み合わせてパッケージ内に封止する SiP (System in Package) が幅広く利用されるようになるが、実装過程における人的エラーを防ぐための技術開発も必要である。

■ 検査時のエラーを防止する検査過程の管理技術

デジタル回路だけでなく、アナログ回路やセンサ・無線によるインターフェイス、SiP に対する検査など、検査における多様化も飛躍的に拡大する。検査工程の多様化に対して、検査中の人的なエラーを防止し発見するための新しい技術開発も必要となる。

■ ユーザの運用エラーを抑制する設計技術

VLSI の利用が、一般のユーザの生活に直接関係する場面に拡大し、設計者が想定していないような利用による事故が社会的にも大きな被害を与えるようになってきている。ゲーム機や家電製品のように、ユーザの運用エラーがユーザの一時的な不便だけにとどまらず、ネットワークを通じて人命・財産・プライバシーなどに

かかわる大きな波及効果を引き起こす可能性を想定する必要がある。障害を起こしたシステムの迅速なネットワークからの切り離しや被害の局所化のための新しい技術が必要となる。ユーザにとって、基本的な原理が分かりやすいシステムの仕様の設定や教育による正しい利用法の普及と事故時の対応法の徹底なども含めた総合的な対応策の確立が必要である。保険なども含めた事故時の設計者、製造者、販売者、サービス運用者、ユーザの間での責任分担の明確化も必要である。

II-9 人間の悪意攻撃防衛技術

電子マネーや電子証明のための IC カードや携帯電話など、社会における「価値」や「信用」の媒体として VLSI が利用されるようになってきた。IC カードや携帯情報機器、さらには社会システムの情報基盤など一般の市民の財産やプライバシーに関する情報を直接取り扱う応用では、悪意ある攻撃の可能性を考慮した設計・製造・運用のための技術が必要となる。他のユーザの財産や信用を盗んだり不正に利用したりする攻撃や、他のユーザには直接迷惑をかけずに、不正な利益だけを追求するような攻撃が既に発生している。また、愉快犯やテロリストなどによるシステムの破壊だけを狙った攻撃も頻発している。自然系や人的なエラーによる場合と異なり、悪意ある攻撃は、常にシステムの最も弱い部分を狙って故意に障害を引き起こそうとする。その対策は、新しく出てくる攻撃に対して常に対応を続ける必要があり、原因を究明して対策を施せば十分というものではない。

すでに、電子マネーと呼べるような各種サービスが IC カードや携帯電話を利用して行われている。従来の貨幣や紙幣における物質保存則に基づいた価値の総量の不変性の保証を、原理的に完全なコピーが可能な電子データに置き換えることが、電子マネーと従来の貨幣体系の本質的な違いである。電子マネーを蓄積する媒体としての VLSI は、単なる財布ではあり得ず、電子マネーの一部として機能せざるを得ない。このため、VLSI の偽造や不正改造というような問題を新しい攻撃の手法として想定する必要がある。

必要となる要素技術：

■ 運用時の攻撃に対するセキュリティ機能を搭載した VLSI の開発

「価値」や「信用」を電子化しネットワークを介して各種のサービスを提供する為に、VLSI には各種のセキュリティに係った機能を搭載する必要がある。暗号や認証に必要な複雑な計算を、高速にかつ低コスト・低エネルギーで行う技術の開発が必要である。安全で VLSI 実現に向けた新しい暗号や認証アルゴリズムの開発、暗号の基本演算の高速化と低消費エネルギー化など従来のデータ処理やマルチメディア処理とは異なったアーキテクチャの開発などが必要になる。

暗号や認証に対する各種の攻撃に対しての抑止技術も重要である。消費電力や計算時間を外部から計測して内部の秘密情報（例えば暗号の鍵情報）を解析しようとするサイドチャンネル攻撃に対する対応策、必要に応じて安全に秘密情報を変更する為の技術、内部のソフトウェアの不正な改竄や読み出しを防止する技術などが必要となる。単に VLSI の入出力端

子から情報の出し入れを行って解析するような単純な攻撃から、VLSI を分解して内部の情報や回路構造を読み取ろうとする複雑な攻撃まで、多様な攻撃者の攻撃手法を想定する必要がある。不正な分解などが行われると自動的に秘密情報が消去されるような技術も必要である。また、電磁波や X 線などを利用した非破壊的な内部解析に対応する為に、チップの両面に金属の層を形成するなどの実装技術的な対応も必要である。

さらには、単純にユーザに損害を与えることだけを狙って、内部情報を消去したり改竄したりする攻撃もあり得る。正規の入出力端子を通した電氣的・情動的な攻撃から、電磁波や機械的振動などを使った暴力的な手法まで多様な攻撃に対して社会的に要求されるレベルに応じた技術が必要である。

■ 設計・製造時における偽造や不正を防止する技術

「価値」や「信用」を搭載する VLSI は、単なる容器ではなく「価値」や「信用」を保証する社会システムの一部を構成していると考えられる。このため、VLSI の偽造や不正改造は、そのまま「価値」や「信用」の保証体系の根幹を脅かす脅威となる。VLSI としては、1000 円程度のコストであってもその上に数十万円の価値が載るとなると、攻撃者から見た偽造に対する魅力は従来の半導体とは比較にならないものとなる。歴史的に政府の造幣局が続けてきた偽造対策と同じだけの努力を、VLSI の設計や製造における偽造防止に振り向ける必要がある。

設計情報の盗難防止は、極めて重要な技術である。設計に利用される各種 EDA

(設計用自動化ソフトウェア)ツールの安全性の保証は重要である。設計データベースやネットワークの管理や保守を装った設計データの盗難、設計に用いられるIP(既設計の回路)を經由した秘密情報の外部漏洩の危険性、設計者や設計検証者による設計データの外部持ち出しなど多様な攻撃パターンからの保護技術が必要となる。回路レベルからソフトウェアレベルまで、幅広い技術開発が必要である。

製造段階でも、不正な量産による偽造を防止する技術が必要である。また、コストを上げずに不正や偽造を防止する為に、セキュリティに関係する部分だけを別チップにして特殊な製造プロセスで製造し、通常の製造プロセスで製造したシステムにSiP(システムインパッケージ)等の技術で貼り付けるような新しい実装技術の開発も必要となる。

設計・製造過程が、「価値」や「信用」を搭載するのに十分な安全性をもっていることを社会に保証するための一貫した体系を構築する必要がある。

■ 検査容易性とセキュリティを両立させる技術

VLSIの検査(テスト)とセキュリティは基本的に相反する技術である。検査は、回路の動作や構造をできるだけ外部から観測しやすくして内部に発生する故障を見つけやすくすることを目指す。一方、セキュリティにおいては、いかに内部の動作や構造を外部から見えにくくするかが重要である。このように相反する要求をいかに解決して、検査しやすくかつ高いセキュリティレベルを実現する技術の開発が求められる。具体的には、検

査をしやすくするために導入されるスキャンパスなどを使った内部情報の盗聴を防ぐ技術、検査用のテストパターンから機密情報が漏れないようにする技術、検査時に良品を不良品として不正に横流しすることを防止する技術などの確立が求められる。

■ ユーザに分かりやすい原理を持つセキュリティ技術

セキュリティに関連する技術は、複雑な暗号理論など高度な数学理論に基づくものが多く、その原理や仕組みは、一般のユーザには非常に理解しにくい。しかし、将来的に発生する各種の攻撃が予想できない状況で、社会的な「価値」や「信用」を取り扱う技術として広く利用できるようにするためには、基本的な原理や仕組みを分かりやすくして、ユーザの責任範囲と問題が起こったときの対応策を分かりやすく周知する必要がある。このような配慮を忘れた場合、事故時のユーザの対応が悪く被害範囲をいたずらに拡大してしまう可能性がある。また、事故の賠償責任を100%設計・製造側が負わねばならないというような問題を引き起こす。基本的な原理を単純化し、ユーザに適切な教育を施し、社会全体として責任の分担を行うようなシステムを構築することが重要である。

一般のユーザに分かりやすい形で、VLSIを含むシステムのディペンダビリティを明示し、ユーザ、設計者、製造者そしてシステムの運用者のそれぞれの責任を明確にする技術と社会的コンセンサスの確立が必要である。

■ 廃棄時の安全性を確保する技術

「価値」や「信用」を搭載したVLSIは、

その廃棄時の対策も考慮する必要がある。廃棄されたチップからの個人情報や価値情報の流出が起これないように廃棄時に内容を完全に消去する技術や、廃棄されたチップの解析を難しくする技術などの開発が必要である。また、個人用のデバイスを新しく更新するときに、古いデバイスに入っている情報を安全に新しいデバイスへ移行する技術や、古いデバイスに情報が残って不正に価値や信用がコピーされることが無いようにするための技術も必要である。

II-10 相互作用系の課題

実際の大規模なVLSIの内部では、これまでに述べてきた自然系や人間系の種々の故障やバグや攻撃が複数存在し、それらが複雑に絡み合って、VLSIの異常な動作や致命的な障害を引き起こす。個々の故障が独立に存在する場合に対しては、十分な対策が施されて致命的な障害に繋がらなくても、複数の故障やバグや攻撃が絡み合うと障害に繋がるケースは容易に予測できる。耐故障性も含めた部分モジュールの仕様において想定されていない入力が発生することが、複数のモジュールの相互作用によるVLSI全体の障害を生み出す原因となる。

相互作用による障害を防ぐための方法としては、下記のようなものが考えられる。

- 1) 各モジュールの仕様を厳密化し、通常の利用では想定しなくても良いような入力条件についても必ず動作を定義して、それを実現するように構成する。しかし、想定されない入力条件に対して完全に仕様

を固定することは、回路の非現実的な増加に繋がることもしばしば有り、実際的ではない。

- 2) 各モジュールの仕様の不完全さを前提として、異常な動作を検出する機能を付加し、異常が検出された場合に障害の影響が他のモジュールへ波及しないようにする機能を実現する。やはり異常の検知の時間的な遅れや異常検出の不完全性は避けられないので、これも限定的な対応とならざるを得ない。
- 3) 各モジュールにおける故障や攻撃に対する耐性の状況を監視し、耐性に余裕がなくなったら、警告を出すなどして予防的措置をとる。耐性の劣化が予防措置の対応に比べて早すぎる場合は、対応が間に合わないこともあり得る。

このように、それぞれの方法は、一つだけで完ぺきな対応策となりえる可能性は低く、種々の手法を組み合わせ、かつ回路規模の増大や性能の低下、消費エネルギーの増大などの副次作用が禁止的にならない範囲で設計解をもとめることが必要となる。

また、企画・設計・製造・検査・実装・流通・運用・廃棄と更新といったVLSIのライフサイクルの各過程について、横断的かつ総合的にディペンダビリティを向上させる技術の確立も必要となる。

必要となる要素技術：

■ 多重化によるディペンダビリティ向上技術

仕様を厳密化し、故障やバグを含む状

態での動作についても定義できれば、障害が発生したときの他のモジュールへの影響も予測できる。しかし、故障やバグによる振る舞いを完全に記述することは、原理的に難しく現実的ではない。部分的にでも障害が発生したときの兆候を検知できるようにする手法(例えば多重化による演算結果の違いを検出するなど)がある。自然系に対しては、同じ構成の回路を多重化することが行われるが、同じ原因に対して多重化した個々の回路の動作が同様に変化する場合は多重化の効果は無い。設計や製造のエラーについても同じ回路やプログラムを多重化することはほとんど意味がない。多重化において、異なる回路方式・アルゴリズム・電源供給系など同じ原因に対して異なる振る舞いをする回路による多重化の技術が重要になる。また、回路の規模、性能低下、消費エネルギー増大とのトレードオフを考慮して、供される範囲内で多重化してディペンダビリティを向上させる技術の確立が求められる。

■ 動作のモニタリングによる異常検知技術

チップ内の各部に温度センサや電圧センサを配置して、故障までは至らなくても故障に繋がりそうな状況を検知する技術があれば、故障に繋がりそうなモジュールを切り離したり休ませたりする技術を確立できる可能性がある。外界からの攻撃によるような異常な動作についてもこのようなセンサによる観測系の結果が利用できる。

■ 異常モジュールの切り離し技術

各モジュールの動作の異常を検知した場合に、障害を起こしているモジュール

を速やかにシステムから切り離し、他のモジュールへの障害の波及を食い止めるための基本技術が必要である。切り離しによっておこる機能や性能の劣化をどのようにカバーしてシステム全体のサービスの低下を最低限に押さえるかという技術は、基本的な技術となる。マルチコアや再構成可能論理などを利用して、余っている資源を有効活用して機能や性能の劣化を食い止める技術が求められる。また、劣化はある程度許容して、絶対的に守るべき機能だけを存続させる技術も重要である。

■ モジュールの耐性の評価技術

多重化等によって冗長性を導入して、故障に対する耐性を持ったモジュールでも、故障が増えてくると耐性が悪くなり、最終的には一つの故障の追加で大きな障害に繋がるような場面になることが考えられる。個々のモジュールの故障耐性を観測し、余裕が無くなったモジュールは、モジュールの交換などの保守が行える仕組みの確立は重要である。ソフトウェア化や再構成可能論理は、VLSI内部での保守の方法として、新しい技術展開に利用できる可能性を持っている。また、故障に対する耐性を計測するための評価尺度の確立も急務である。

■ ライフサイクル設計技術 (Design for Life Cycle)

VLSIのディペンダビリティは、企画・設計・製造・検査・実装・流通・運用・廃棄と更新といったVLSIのライフサイクルの各過程について、横断的かつ総合的に議論する必要がある。各過程で想定される故障、人的なエラー、攻撃などを想定し、それらに対応する対策を各過程で

考える必要がある。このような総合的な視点からの検討により、相互作用によるディペンダビリティの低下の要因やそれに対する対策も見えてくる。各モジュールに対する検討とVLSI全体に対する検討、さらにはVLSIが組み込まれる電子デバイスや機械システムとの関係も含めて、システムのライフサイクルを縦断的に鳥瞰した設計技術の確立が必要である。

II-11 ディペンダビリティとコストの総合的な評価・設計概念

ディペンダビリティを考慮したVLSIの総合的な評価を行うためには、ディペンダビリティの評価尺度、VLSIのコストとディペンダビリティの関係が必要となる。また、コスト、性能、消費電力などと共にディペンダビリティも考慮した総合的な設計手法の確立も必要となる。

■ ディペンダビリティの評価尺度

ディペンダビリティの科学的な研究のためには、定量的な計測を行うための評価尺度の定義が必要となる。従来から信頼性の尺度として用いられているMTBF (Mean Time Between Failure) やMTTR (Mean Time To Repair) あるいはBER (Bit Error Rate) などに相当する評価尺度を定義する必要がある。自然系と人間系の阻害要因に対応し、VLSIの設計や製造工程の特性を考慮した新しい評価尺度の導入は、重要な研究課題である。

■ コストとディペンダビリティの関係のモデル化

VLSIの1チップあたりのコストは、

- (1) 設計に関するコスト
- (2) マスク作成に関するコスト
- (3) ウェハ製作の前工程でのコスト
- (4) 実装やパッケージングなど後工程でのコスト
- (5) テストに関するコスト

などの総和として定義できる。設計やマスク作成あるいはテスト系列生成にかかるコストは、VLSIの1品種に共通であり、1チップあたりのコストは製造され販売される数量に反比例する。ディペンダビリティの向上のために設計やマスクのコストが上昇しても、市場価値の向上により販売数量が多くなればコストの上昇は相殺される。前工程のコストやテスト自身のコストは、ディペンダビリティ向上による製造段階でのコスト上昇と歩留まりの向上に寄るコスト減少のトレードオフとなる。後工程のコストは、純粋に個々の実装のコストとして反映されるので、ディペンダビリティの向上がコスト上昇要因となれば、相対的にコストは上昇する。このように、チップのコストとディペンダビリティは複雑な関係を持っており、そのモデル化は、ディペンダビリティ向上の研究には必須の事項である。適切なディペンダビリティの評価尺度とコストの関係をモデル化し、その上でディペンダビリティの向上のための技術の開発と評価を行う必要がある。

■ 性能・消費電力とディペンダビリティの関係のモデル化

性能や消費電力もディペンダビリティとトレードオフの関係を持つ。ディペンダビリティの向上のために、性能が低下したり消費電力が向上したりすることは、しばしば経験されている。性能の低下や消費電力の増加は、VLSIの商品価値に影響し、相対的なコスト上昇要因となる。

ディペンダビリティの向上には、ある種の冗長性を導入する手法が標準的である。時間軸方向で冗長性を導入すれば、単純に性能の低下につながり、消費エネルギー（消費電力の積分値）も必然的に大きくなる。並列化により空間的に冗長性を導入すれば、チップ面積が大きくなり、単位コストあたりの性能は低下し消費電力も増加する。適切なディペンダビリティの評価尺度と性能や消費電力との関係をモデル化し、その上でディペンダビリティの向上のための技術の開発と評価を行う必要がある。モデル化は、システムアーキテクチャレベル、論理回路レベル、トランジスタレベル、レイアウトレベルなどすべてのレベルで考える必要がある。また、テスト時のテスト時間と消費電力の増加も考慮する必要がある。

■ ディペンダビリティを考慮した総合的な設計手法

VLSIの設計は、設計の記述、設計の評価・検証、設計の詳細化・最適化の各フェーズを繰り返しながら、システムレベルから回路レベル、レイアウトレベルへと詳細化が進められる。設計の各レベルで最終的な製品のディペンダビリティをできるだけ正確に見積もり、それぞれ

のレベルで必要な対策を講じる総合的な設計手法の確立が求められる。コスト、性能、消費電力などの要求とのバランスを考えつつ、低コスト、高性能、低消費電力で必要なディペンダビリティを実現できる設計フローとそこで用いる設計ツールの整備が必要である。具体的には、ディペンダビリティの要求の記述法、評価尺度、評価尺度の評価法、コスト・性能・消費電力とのバランスやトレードオフを考慮した詳細化・最適化手法の確立が必要である。

物理的な故障、雑音などの運用時の障害、設計の誤り、攻撃など多様な故障原因を前提として、個々の製品に求められるディペンダビリティを実現する技術は、DFM (Design for Manufacturability)、DFT (Design for Testability)、設計検証、セキュリティ、テスト生成、FTC (Fault Tolerant Computing)、VTD (Variation Tolerant Design) など多くの技術の融合として実現されることになる。個々の故障要因やディペンダビリティ評価尺度に対応する個別技術の研究と並行して、全体を統合してディペンダブルなVLSIを構築する技術の研究開発を進める必要がある。

◇ 付録IIの執筆者一覧 ◇

II-1	平本 俊郎 (東京大学)
II-2	黒田 忠広 (慶應義塾大学)
II-3, II-8~11	安浦 寛人 (九州大学)
II-4	小柳 光正 (東北大学)
II-5	小野寺 秀俊 (京都大学)
II-6	桜井 貴康 (東京大学)
II-7	中島 蕃 ((株)デバイス・アナリシス)

A

- A/D 変換器 (A/D Converter) : アナログ信号をデジタル信号に変換する装置。
- アルゴリズム (Algorithm) : なんらかの問題を解くための手順。
- アットスピード : 実速度、リアルタイム。
- Availability : 可用性。

B

- BER (Bit Error Rate) : ランダムなデジタル・データを伝送し、復調した際に、送ったデータの中での誤りデータの比率。
- ビルトインセルフテスト技術 (Built-In Self Test) : デバイス中に自己診断機能を盛り込むこと。
- バーンイン (Burn In) : 検体の劣化を、温度と電圧で加熱することにより加速させて、初期不良を事前に検出して取り除き劣化検出時間短縮をはかる試験。

C

- CAD (Computer Aided Design) : コンピュータ援用設計とも呼ばれ、コンピュータを用いて設計をすること。あるいはコンピュータによる設計支援ツールのこと。
- C 言語 (C Language) : 1972年にAT&Tベル研究所のデニス・リッチー (Dennis M. Ritchie) が主体となって作ったプログラミング言語。CPL、BCPLの後継である“B 言語”のさらに後継として開発されたため、“C 言語”と名づけられた。なお、C 言語、C++の後継として開発された“D 言語”がある。(※“A 言語”はない。)
- クロックスキュー (Clock Skew) : 同期式設計においてクロックの伝搬遅延時間

の差、配線容量などの理由により発生するタイミングずれ。

- CMOS (Complementary Metal-Oxide-Semiconductor) : 相補形 MOS (金属酸化膜半導体)のことをいう。電荷が電子により運搬されるものを nMOS (nチャンネルMOS)、正孔により運搬されるものを pMOS (pチャンネルMOS)といい、CMOSは両者を相補うように接続した構造である。TTL (Transistor-Transistor Logic : バイポーラトランジスタのみで構成された論理IC)などに比べて消費電力の少ない論理回路を実現でき、また集積度を上げることが可能である。
- Cognitive Radio : 認知無線。無線において電波干渉が起きた時直ちに空いている周波数帯に送受信周波数を変更する技術。“cognitive”という用語は、周辺の電波環境を認識・認知する機能から。
- Confidentiality : 機密性。

D

- DFD (Design for Debug) : デバッグのしやすさを考慮した設計。
- DFM (Design for Manufacturability) : DFMとは、LSIの製造技術に起因するさまざまな問題を設計段階で解決することを狙った技術で、例えば製造時の特性や寸法のバラつきを正確に予測しながらLSIを設計することで、生産歩留まりやLSIの性能向上を目指す技術等がある。
- DFT (Design for Test, Design for Testability) : テストのし易さまでを考慮した設計。
- DIBL (Drain Induced Barrier Lowering) : MOSFETのチャンネル長が長い時はチャンネルの電荷はゲート電圧で制御されるが、チャンネル長が縮小されてくるとゲ

ート以外の電極と基板との間に形成されるダイオードがゲート電圧に影響を与え閾値電圧(V_{th})が変動を受ける事を指す。

- DLC (Design for Life Cycle) : ライフサイクルを考慮した設計技術。
- DRAM (Dynamic Random Access Memory) : 半導体記憶素子の一つ。読み書きが自由に行なえる RAM の一種で、コンデンサとトランジスタにより電荷を蓄える回路を記憶素子に用いる。

E

- EDA (Electric Design Automation) 技術 : 電子機器、半導体など電気系の設計作業を自動化し支援するためのソフトウェア、ハードウェアおよび手法の総称。
- EMI (Electro Magnetic Interference) : 電磁干渉。雷のような自然現象から、人間が製造した各種の電気電子機器が発生するノイズによって、他の電子機器に障害が発生する事を指す。雷による中波ラジオへの雑音、電気モーターによる TV 受像の乱れなどの「意図しない電磁波」による障害や、違法無線による FM ラジオへの混信、電子制御装置の誤動作、などのような「意図的な電磁波」による障害がある。
- ESD (Electro-Static Discharge) : 帯電した導電性の物体 (例えば人体) が他の導電性の物体 (例えば電子機器) に接触し、あるいは十分に接近する時に発生する激しい放電をさす。電子機器の誤動作や損傷などの問題を引き起こし、あるいは爆発性雰囲気における爆発の引金となることなどがある。

F

- $1/f$ ノイズ : パワースペクトルが周波数 f に反比例する雑音をさす。実際にはパワースペクトルが f^{-1} に正確に比例するだけではなく、 $f^{-\alpha}$ に比例し、 α が 1 に

近い雑音を総称して $1/f$ ノイズと呼んでいる。

- FeRAM (Ferroelectric RAM) : 強誘電体 (電圧を加えることによって物質内の自発分極 (物質内に電気的な正負が生じる状態) の方向を自由に変化させ、電圧をかけなくてもその分極方向を持続させることのできる誘電体) のヒステリシス (履歴現象) を利用し正負の自発分極を 1 と 0 に対応させた、不揮発性の半導体メモリ。
- FinFET (Fin Field Effect Transistor) : ヒレ構造のチャンネルを持ちその両側にゲート電極を有する FET。
- フラッシュメモリ (Flash Memory) : 舛岡富士雄氏 (元東芝) が発明した、書き換え可能な不揮発性メモリ。構造は一組の MOS トランジスタ (メモリセルトランジスタと選択トランジスタ) からなり、これらトランジスタの相互動作で書き込み、消去、読み出しができる。“フラッシュメモリ” という名前は、写真のフラッシュをたくように記憶情報を一度に消すことからつけられた。
- フリップフロップ (Flip-Flop) : フリップフロップ回路を指す。二つの安定状態 (0 と 1 に対応) を持つ回路で、1 ビット情報を保持できる。二つの状態間をパタパタ切り替える様子から、“フリップフロップ” と呼ばれている。
- FTC (Fault Tolerant Computing) : 耐故障性を高めた計算。

G

- ゲートポリシリコン : MOSFET ゲート電極材料の一つ。

H

- ホットキャリア (Hot Carrier) : 半導体中の電界で加速されて大きなエネルギーを持ったキャリア (電子または正孔)。電

子の場合はホットエレクトロン(Hot Electron)という。MOSFETでは、ゲート絶縁膜に注入されたホットキャリアが、素子特性の不安定性を引き起こし、信頼性に関わる大きな要因となっている。

I

- IC (Integrated Circuit) : (半導体)集積回路。
- インライン(In Line) : 工程の待ち時間内。
- Integrity : 完全性。
- インターフェイス(Interface) : 二つのもの(例えば電子機器)の間に立って、情報のやり取りを仲介するもの、あるいはその規格。IT関連では、「ハードウェアインターフェイス」「ソフトウェアインターフェイス」「ユーザインターフェイス」に大別できる。
- IP (Intellectual Property) : 知的財産。
(※「IP電話」等で使われるIPはInternet Protocolのこと。)

J

- ジッター(Jitter) : 時間的な揺らぎ。音声信号ではCDなどの音飛び、映像信号では画面の揺れ、通信ではトラフィックの乱れなどを指す。

K

- KGD (Known Good Die) : 選別された良品チップ、Dieは半導体(シリコン)チップのこと。

L

- LUT (Look-Up Table) : 参照表。ROM、RAMなどに真理値表を書き込み、この表を参照することで組み合わせ論理を実現する時などに使用する。

M

- Maintainability : 保全性。
- ムーア則 (Moore's Law) : IntelのDr. Mooreにより提唱された、1チップに搭載可能なトランジスタ数が2年で2倍になるという経験則。
- MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) : ゲート電極が半導体の酸化皮膜上の金属電極になっているものから構成され、この電極に印可する電圧を変化させ、ゲート酸化膜直下の電流の流れるチャンネルの断面積を変化させる原理で、ソース・ドレイン端子間の電流を制御するFET(電界効果型トランジスタ)。FETは一種類のキャリア(電子または正孔)しか用いないことから、ユニポーラトランジスタとも呼ぶ。FETに対して、電子、正孔の両方が動作に関与するnpn型またはpnp型のトランジスタをバイポーラトランジスタと呼ぶ。
- MRAM (Magnetoresistive RAM) : TMR (Tunnel Magnetoresistive)素子を用いたコンピュータ用メモリ。TMR素子とは非常に薄い絶縁体(通常、酸化アルミ(Al₂O₃))を用いる)を2枚の強磁性金属の電極で挟んだ素子。1個のTMR素子で1bitの情報を記憶できる。TMR効果によって平行状態と反平行状態でTMR素子の電気抵抗が異なるため、素子の電気抵抗を計れば、TMR素子に記憶された情報を非破壊で読み出すことができる。
- MTBF (Mean Time Between Failure) : ある機器やシステムが故障するまでの時間の平均値。使用を開始して、あるいは故障から回復してから、次に故障するまでの平均時間。
- MTTR (Mean Time To Repair) : 故障したコンピュータシステムの復旧にかかる時間の平均。「修理時間の和÷故障回数」で計算され、システムの保全性の指標と

して用いられる。値が小さいほど復旧までの時間が短く、安全性が高いシステムといえる。

N

- ナノプロービング技術：ナノサイズのプローブ(探針、センサ、電極)を用いてナノスケールで表面のナノ領域を見る顕微鏡技術、ナノ領域を測る計測技術、ナノ領域を調べる分析技術など。
- NBTI (Negative Bias Temperature Instability) :トランジスタのゲート電極に対して基板の電位が負の状態でチップ温度が高まると、p型トランジスタのしきい値電圧の絶対値が次第に大きくなっていき、その結果、トランジスタの動作速度が時間と共に遅くなる現象。
- NoC (Network on Chip) :一つのチップ上にネットワークを構成する技術。

P

- Phasing :無線通信において、時間差をもって到達した電波の波長が干渉し合うことによって電波レベルの強弱に影響を与える現象。
- PLA (Programmable Logic Array) :論理をユーザがプログラムできるセミカスタム LSI。PLD (Programmable Logic Device)と呼ぶこともある。
- PRAM (Phase change RAM) :相変化記録技術を利用した、不揮発性の半導体メモリ。結晶相は低抵抗で、アモルファス相は高抵抗である事を1ビットとして利用する。製造プロセス従来のDRAMの製造プロセスが使い、キャパシタ部分を相変化膜に置き換えるため、技術的に共通点が多く、既存設備を流用しやすい。
- プロトコル(Protocol) : ネットワークを介してコンピュータ同士が通信を行なう上で、相互に決められた約束事の集合。

通信手順、通信規約などとも呼ばれる。

- PVT 変動:プロセス、電圧、温度の変動 (Process, Voltage, Temperature の変動)。

Q

- Quality of Service (QoS) :ネットワーク上で、ある特定の通信のための帯域を予約し、一定の通信速度を保証する技術。音声や動画のリアルタイム配信(ラジオ・テレビ型のサービス)やテレビ電話など、通信の遅延や停止が許されないサービスにとって重要な技術。

R

- リコンフィギュラブル・アーキテクチャ (Reconfigurable Architecture) :アーキテクチャ完成後でも再構成可能なアーキテクチャを言う。
- Reliability :信頼性。
- Resilient Architecture :弾力的なアーキテクチャ。
- RRAM (Resistive RAM) :電圧を加えることで抵抗値が変化する Colossal Magnetoresistance (CMR)を利用した不揮発メモリ。
- RTN (Random Telegraph Noise) :電気信号に不規則に重畳する電磁波起因雑音。

S

- Safety :安全性。
- SDD (Silicon Drift Detector) :シリコンを用いた宇宙線検出器の一種。
- セルフアポトーシス技術 (Self-apoptosis) :本来は生物学、医学用語でプログラム化された細胞死をさす。ここではアーキテクチャレベルでのプログラム化された機能停止を意味する。
- 自己組織化 Routing (Self-organized Routing) :自発的に信号経路を最適化する

る機能。

- 自己組織化 Placing (Self-organized Placing) : 自発的に素子の配置を最適化する機能。
- Si-LSI (Silicon- Large Scale Integrated Circuits) : シリコン材料及びシリコンプロセスで作製された集積回路
- SiP (System in Package) : 一つのパッケージ中にシステム(例: センサ、CPU、電源等)を納めたもの。
- SRAM (Static Random Access Memory) : フリップフロップ等の順序回路を用いてデータを記憶する RAM。DRAM と異なりリフレッシュ操作(電荷蓄積型メモリでは、素子内部の漏れ電流によって電荷が徐々に失われていくため、定期的に電荷を補充する操作が必要となり、この操作をリフレッシュと呼ぶ)が不要であり、記憶保持状態での消費電力をきわめて小さくすることができる。DRAM と比べて記憶容量あたりの単価が高いため、高速な情報の出し入れが可能な点を生かしたキャッシュメモリでの使用や、低消費電力を生かした携帯型機器での使用など、比較的データ量の少ない用途によく用いられる。
- SSI (Service System Integration) : ユーザーが必要とするサービスの情報システムの立案から導入・保守まで、単一の業者が一括してサービスを提供すること。

T

- TEG (Test Element Group) : 製品と同じプロセスで作成される特性評価用ウェハ。

U

- UML (Unified Modeling Language) : ソフトウェア開発のための統一モデリング言語。

V

- VCD (Value Change Dump) : 波形の変化を記述したテキスト
- VLSI : 大規模集積回路。IC (Integrated Circuit, 集積回路)のうち、素子の集積度が10万~1000万個程度のもの(当初の定義)。VLSIは Very Large Scale Integrationの頭文字をとったもので、集積度が1000万個を超えるものは、一頃 ULSI (Ultra-Large Scale Integration)と呼ばれた。現在はこうした区別はあまり使われず、先端的な半導体技術や製品の総称として“VLSI”が使われていることが多い。
- VTD (Variation Tolerant Design) : 微細化によって生じる多くの揺らぎを考慮した設計。

W

- ウェハ (Wafer) : 人工的に作製された結晶塊(インゴット)から切り出され、表面を平滑に研磨された半導体基板。(例えば、シリコンウェハ)

戦略プログラム
VLSIのディペンダビリティに関する
基盤研究

— 高信頼・高安全を保障するVLSI基盤技術の構築 —

独立行政法人 科学技術振興機構 研究開発戦略センター

制作担当 生駒グループ

〒102-0084 東京都千代田区二番町3番地

電話 03-5214-7481

ファクス 03-5214-7385

<http://crds.jst.go.jp/>

2007年3月

© 2007 CRDS/JST

許可なく複写・複製することを禁じます。
引用を行う際は、必ず出典を記述願います。

ATTAATC A AAGA C CTA ACT CTCAGACC

CT CTCGCC AATTAATA

TAA TAATC

TTGCAATTGGA CCCC

AATTCC AAAA GGCCTTAA CCTAC

ATAAGA CTCTAACT CTCGCC

AA TAATC

AAT A TCTATAAGA CTCTAACT CTAAT A TCTAT

CTCGCC AATTAATA

ATTAATC A AAGA C CTA ACT CTCAGACC

AAT A TCTATAAGA CTCTAACT

CTCGCC AATTAATA

TAAATC A AAGA C CTA ACT CTCAGACC

AAT A TCTATAAGA CTCTAACT

ATTAATC A AAGA CCT

GA C CTA ACT CTCAGACC

0011 1110 000

00 11 001010 1

0011 1110 000

0100 11100 11100 101010000111

001100 110010

0001 0011 11110 000101

