

ATTAATC A AAGA C CTAAC T CTCAGACC  
AAT A TCTATAAGA CTCTAACT  
CTCGCC AATTAATA  
TTAATC A AAGA C CTAAC T CTCAGACC  
AAT A TCTATAAGA CTCTAAC  
TGA C CTAAC T CTCAGACC

## 戦略プロジェクト 超低消費電力化(ULP)技術

0101 000111 0101 00001  
001101 0001 0000110  
0101 11  
0101 000111 0101 00001  
001101 0001 0000110  
0101 11  
00110 11111100 00010101 011

# Executive Summary

社会の情報化が進展するに伴い、ますます高性能かつ多数の情報機器がネットワークで結ばれ、社会の至るところで利用されるようになってきている。従来からシステム、機器、あるいはデバイスの高性能化はとどまることなく追求されてきたが、それに伴い消費電力がもはや無視できないレベルまで増加し、消費電力の面からの制約が大きくクローズアップされてきた。このような状況を考えると、情報通信分野においてとくに戦略的かつ総合的に推進すべき重要研究テーマのひとつは「超低消費電力化」である。これは自然環境の保護、経済の活性化、産業技術力の強化、安心・安全な生活環境の実現など、多くの面で極めて重要な研究であると考えられる。

しかしながらこの分野はデバイスの低消費電力化については精力的な研究が行われているが、システム/ソフトウェアなど上位階層まで含めた研究は必ずしも十分に行われているとは言い難い。このような観点から、本戦略プロジェクトでは「超低消費電力化」にむけた階層横断的な研究開発を提案する。その骨子は以下の通りである。

1. システム/ソフトウェア、アーキテクチャ/VLSI (Very-Large-Scale Integrated circuit) 設計、回路/デバイスまでの各階層を統合して「超低消費電力化」技術の研究開発を推進する。
2. 研究課題は、10年後のネットワーク社会を見通して要求される情報システムのサービス品質（パフォーマンスとディペンダビリティ）を必要最小限の消費電力で提供するためのシステム技術、あるいは与えられた環境で使用可能なエネルギー量で要求されるサービスを提供するために、その品質レベルを適応的に管理する制御技術など、多岐にわたる。
3. 画期的な低消費電力化を目標にする。たとえば、システム/ソフトウェア、アーキテクチャ/VLSI 設計、回路/デバイスの3階層でそれぞれ1/10、あわせて1/1,000をターゲットとし、約5年間のプロジェクトを実施する。
4. 研究開発は指導力のあるリーダのもとに各分野の研究者が結集し、時間軸を意識しつつ推進するプロジェクト形式が適している。
5. 低消費電力化技術は消費電力の領域（ワット以上の領域（HPC: High Performance Computer、MPU: Micro Processor Unit）、ミリワット領域（携帯、デジタル機器）、マイクロワット以下の領域（センサーネット/医用))によっても異なる。米国と比較して日本の強みがあるミリワット領域の研究をまず重点的に推進し、その成果をワット以上の領域、マイクロワット以下の領域に展開するアプローチが有効と思われる。

# Contents

|           |                              |           |
|-----------|------------------------------|-----------|
| 1         | ULP 研究に投資する意義                | 5         |
| 2         | ULP の波及効果                    | 6         |
| 3         | ULP 研究の重要課題                  | 7         |
| 3.1       | ULP 技術を適用するアプリケーションの領域       |           |
| 3.2       | システム/ソフトウェア階層における ULP 技術     |           |
| 3.2.1     | 俯瞰図及びロードマップ                  |           |
| 3.2.2     | 共通基盤技術                       |           |
| 3.2.3     | アプリケーション対応技術                 |           |
| 3.3       | アーキテクチャ/VLSI 設計階層における ULP 技術 |           |
| 3.3.1     | 俯瞰図及びロードマップ                  |           |
| 3.3.2     | アーキテクチャ/VLSI 設計における課題        |           |
| 3.3.3     | 研究課題                         |           |
| 3.4       | 回路/デバイス階層における ULP 技術         |           |
| 3.4.1     | 俯瞰図及びロードマップ                  |           |
| 3.4.2     | 基盤技術                         |           |
| 4         | まとめと提言                       | 17        |
| <b>付録</b> | <b>米国の研究動向</b>               | <b>19</b> |
| A.1       | システム/ソフトウェア分野                |           |
| A.2       | アーキテクチャ/VLSI 設計分野            |           |
| A.3       | 回路/デバイス分野                    |           |
| A.4       | 米国の研究から学ぶべき点                 |           |
| A.5       | 日米の技術レベル比較                   |           |

# 1 ULP 研究に投資する意義

なぜ ULP (Ultra Low Power : 超低消費電力化) の総合かつ戦略的な研究が必要なのか。それには少なくとも二つの理由がある。

第一は、国全体の政策課題としてのエネルギー消費抑制の視点である。複数機関の調査によれば、2010年時点での我が国の総電力需要は1兆キロワット時に達すると予測されているが、その内で情報通信機器の消費電力量が占める割合は、現時点でおおよそ10~30%程度になると予測されている。「ネットワークの利便性はユーザーの数の2乗に比例して向上する」という Metcalfe の法則に従って、現在すでに地球規模でネットワークの情報通信量は爆発的に増大しており、近い将来の我が国がいわゆるユビキタスコンピューティング社会になれば、至る所に埋め込まれた情報通信機器の消費電力量が占める割合はさらに高くなると考えられる。このような高度ネットワーク社会へ向かう我が国にとって、ネットワーク情報通信機器の戦略的かつ総合的な低消費電力化は必須課題であると同時に、科学技術立国を標榜する我が国が国際的にも貢献できる重要分野のひとつである。加えて、我が国は世界有数の地震大国である。我が国の総発電量の約1/3をまかなう原子力発電が、地震などの大規模災害の影響を受けて操業停止に追い込まれる可能性は常に存在する。二酸化炭素を始めとする温室効果ガスの排出量を規制する京都議定書を批准し遵守する立場にある我が国で総発電量の約60%を占める火力発電をこれ以上増やすことは困難であり、国全体のリスク管

理の視点からも、電力総需要の抑制を支援する超低消費電力システムの実現は極めて重要である。

第二は、産業技術の国際競争力強化の視点である。情報機器の低消費電力化への要求には寿命と放熱という二つの側面がある。マイクロプロセッサを始めとする最先端 LSI システムは、現在、その電力消費/発熱問題によって、これまで進めてきた高性能化の限界に直面しつつある。これまで維持されてきた「チップ上のトランジスタ数は18ヶ月で2倍に増加する」とする Moore の法則にとって、微細化の限界より先に消費電力の過密化による発熱が致命的な問題になるとの予測が共通認識になってきている。実際、インテルが4GHz クロックで動作する Pentium4 プロセッサの開発を断念することが最近報じられたが、その理由は速度向上に伴って発生する消費電力や発熱の問題、およびそれに伴う信頼性の問題にあると考えられている。一方、特にモバイル/組み込み機器、携帯端末などでは、バッテリー寿命が重要な要求仕様の一つであり、そのまま製品の品質に直結する。このように低消費電力化は、機器自体の高性能化、高品質化に直接貢献する。加えて、低消費電力化によって様々な応用分野でシステムやサービスにこれまでにない新しい機能を付加する余地を与える。すなわち、低消費電力化は、新応用分野、新産業分野の開拓を通じた産業技術の国際競争力強化に結びつく可能性が高い。

このような見地から、ULP (超低消費電力化) 研究の実施を提言する。

# 2 ULPの波及効果

前述の通り情報通信機器が消費する電力は増加の一途をたどり、2010年には総電力消費量の10~30%を占めると予測されている。ここで提案するULP技術が完成できれば、理論的には他の要素を変えることなく総電力消費量を10~30%削減することが可能となり環境問題の緩和に対する大きな効果が期待できる。

波及効果の一例を挙げれば、図2.1に示すように、社会インフラストラクチャーの面では、高度道路交通システム（ITS：Intelligent Transport System）、超小型無線センサー（環境計測や防犯・防災など）、輸送（RFID：Radio

Frequency Identificationによる物流管理、トレース）、などを支える電子機器が半永久的に動作できるようになるであろう。パーソナルユースの面では、携帯電話、高性能携帯情報端末（PDA：Personal Digital Assistance／ノートPCなど）の長時間動作・小型／軽量化・信頼性向上等モバイル機器の利便性が飛躍的に高まる。また、センサー等からの情報を整理・加工し有益な情報としてウェアラブル機器等にフィードバックを行うようなウェアラブルなシステム（情報入手支援、健康管理支援など）が急速に進歩するであろう。



図2.1 ULPの波及効果

# 3 ULP 研究の重要課題

ULP 研究の技術的課題は広範囲かつ多岐にわたる。それらを検討する上でアプリケーション領域と技術の階層とによって整理してみる。以下、3.1 にアプリケーション領域の分類を示し、3.2 以降に技術の階層（システム/ソフトウェア、アーキテクチャ/VLSI 設計、回路/デバイス）について、アプリケーションによらず共通の基盤技術と、各アプリケーションに対応して必要となる技術をそれぞれ明らかにして、研究の現状と課題を述べる。

## ■ 3.1 ULP 技術を適用するアプリケーションの領域

対象とするアプリケーションの領域としては大別して以下のものがある。

### ① 大規模科学技術計算

いわゆるスーパーコンピュータの領域では、近年のシステム高性能化・大規模化の要求により、低消費電力化技術への期待が高まっている。すなわち、ベタフロップスに及ぶ性能を持つ高性能計算システムの構築には、多くのプロセッサにより大量の計算を行うことが要請されており、いっそうの電力の効率的な利用、高密度実装のための低電力化が必要となっている。

### ② エンタープライズシステム

ビジネスにおける様々な情報の電子化に伴い、IDC (Internet Data Center) やオフィスにおけるサーバの低消費電力化が一層強く求められるようになってきている。この領域のアプリケーションはデータベースにおけるトランザクション（処理件数）が主で、スループット（処理能力）重視である。大規模なシステムが構築され、多量のエネルギーが消費されているが、実際のシステムの稼働率は、平均すると10%から20%といわれている。これらのシステムが提供するサービスのサービスレベルを落とさずに、自律

制御により、システム全体の消費電力を削減することが求められる。

### ③ 高機能組み込みシステム

携帯電話、PDA、情報家電、など様々な機器に組み込まれているプロセッサでも一層の低消費電力化が求められている。この領域のアプリケーションでは実時間処理が中心であり、一定の時間内にリソース制約の中で処理を行う必要がある。組み込みシステムにおいてはバッテリーによる駆動が必要とされることも多く、この場合には、システム全体の低消費電力化が特に必要となる。

### ④ 機能特化無充電組込システム

ウェアラブルコンピュータ、センサーネットワークなどのアプリケーションでは、さらに微少電力動作が要求される。通常動作頻度は比較的低い、長時間にわたり無充電で動作することが求められる。

## ■ 3.2 システム/ソフトウェア階層における ULP 技術

ここではシステム/ソフトウェア階層において研究開発すべき技術を俯瞰し現状と課題を示す。3.1 で示したように、ULP 技術のアプリケーションとしては、①大規模科学技術計算、②エンタープライズシステム、③ 高機能組み込みシステム、④機能特化無充電組込システム、に分類される。システム/ソフトウェア階層で見ると、このうち③と④はとくに区別しなくてよいと思われるので、ここでは単に「組込システム」として取り扱う。

### ■ 3.2.1 俯瞰図及びロードマップ

システム/ソフトウェア階層全体の俯瞰図を図3.2.1に、また具体的な研究開発課題を時間軸で整理したロードマップを図3.2.2に示す。

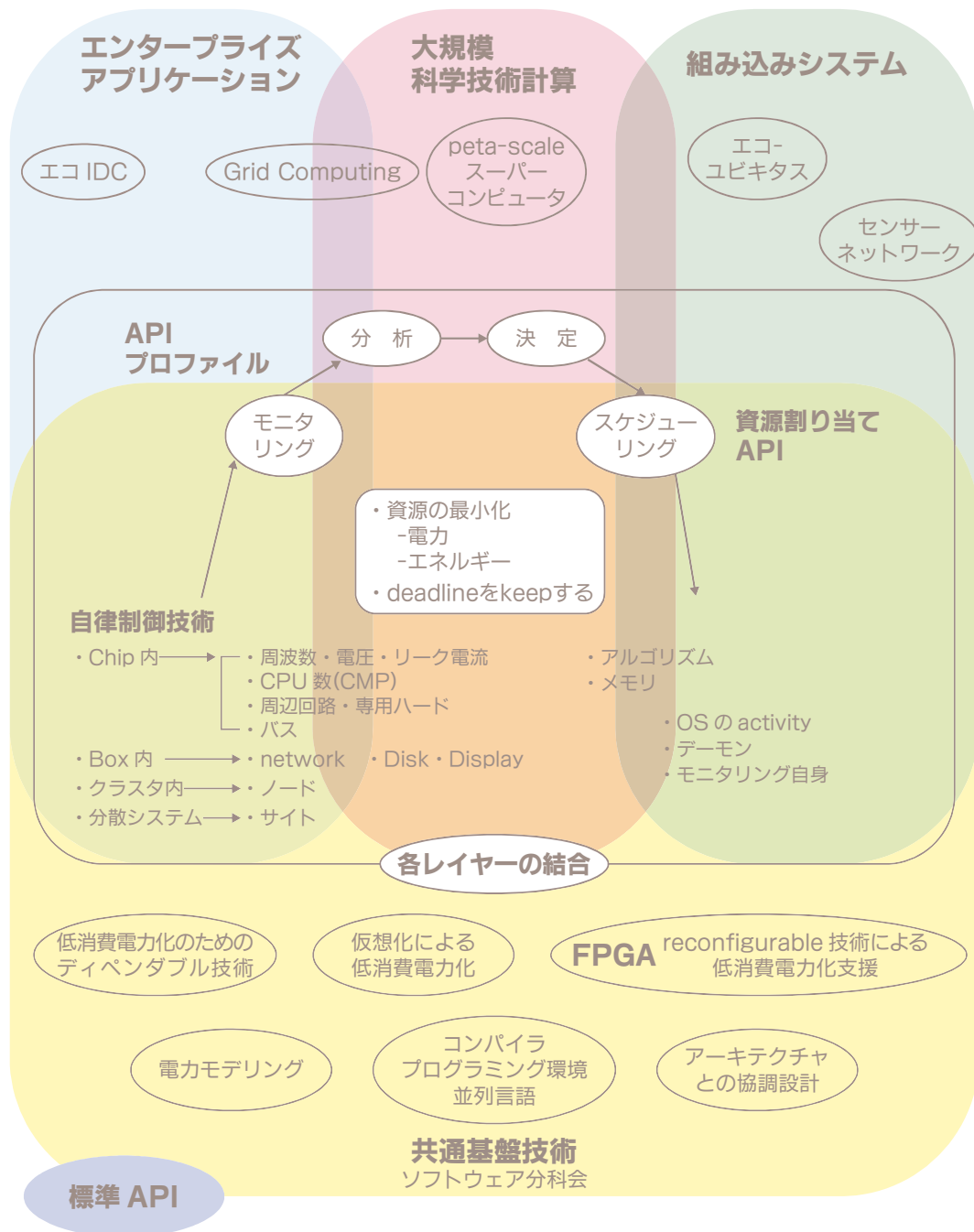


図3.2.1 低消費電力システム/ソフトウェア階層俯瞰図



| 項目                              | 年代                        | 2005 | 06 | 07 | 08 | 09 | 10 | 11 | 12 | 13 | 14 | 15 |
|---------------------------------|---------------------------|------|----|----|----|----|----|----|----|----|----|----|
| 組み込みシステム<br>低消費エネルギー技術          | ①低消費エネルギーシステムレベル設計・コデザイン  | 研究   |    |    |    |    |    |    |    |    |    |    |
|                                 | ②低消費エネルギーメモリ最適化           | 研究   |    |    |    |    |    |    |    |    |    |    |
|                                 | ③動的再構成アーキテクチャ対応コンパイラ・OS   | 研究   |    |    |    |    |    |    |    |    |    |    |
|                                 | ④低消費エネルギー自律制御技術(リアルタイム制約) | 研究   |    |    |    |    |    |    |    |    |    |    |
| 超低消費電力技術による高性能科学技術計算システム(ULPWS) | ①高性能並列 ULPWS 向け言語・コンパイラ   | 研究   |    |    |    |    |    |    |    |    |    |    |
|                                 | ② ULPWS 用大規模分散計算資源制御      | 研究   |    |    |    |    |    |    |    |    |    |    |
|                                 | ③大規模システム構成用ディペンダブル技術      | 研究   |    |    |    |    |    |    |    |    |    |    |
|                                 | ④低消費電力高性能数値計算アルゴリズム       |      |    |    |    |    |    |    |    |    |    |    |
| エンタープライズシステムにおける低消費電力化          | ①低消費電力自律制御技術(電力制約)        |      |    |    |    |    |    |    |    |    |    |    |
|                                 | ②低消費電力ディペンダブル技術           | 研究   |    |    |    |    |    |    |    |    |    |    |
|                                 | ③低消費電力仮想化                 | 研究   |    |    |    |    |    |    |    |    |    |    |
|                                 | ④ストレージ制御                  | 研究   |    |    |    |    |    |    |    |    |    |    |
| 低消費電力化共通基盤技術                    | ①システム消費電力性能モデリング          |      |    |    |    |    |    |    |    |    |    |    |
|                                 | ②低消費電力プログラミング・並列言語        | 研究   |    |    |    |    |    |    |    |    |    |    |
|                                 | ③低消費電力オペレーティングシステム        | 研究   |    |    |    |    |    |    |    |    |    |    |
|                                 | ④低消費電力 API 技術             | 検討   |    |    |    |    |    |    |    |    |    |    |

図3.2.2 システム/ソフトウェア階層ロードマップ

### 3.2.2 共通基盤技術

3.1で述べたいずれのアプリケーション領域にも共通の基盤技術として、以下の技術要素がある。

#### ①消費電力と性能に関するモデリング

自律的な制御を行うためには、電力と性能に関する予測手法が必要であり、そのためには対象処理に関する消費電力と性能に関してモデリングする必要がある。原理的には計算対象とそれに必要とされる電力と性能に関しては関連があることは明らかであるが、そのモデリングのための理論に関してはまだ未着手である。

#### ②低消費電力コンパイラ技術、ハードウェア・ソフトウェア協調設計技術、並列プログラミング技術、並列言語

メモリ・キャッシュ最適化などの一般的な低消費電力最適化のほかに、アーキテクチャにおいて提供されている低消費電力化のための機構を利用するためのコード生成を行う。FPGA (Field Programmable Gate Array)・リコンフィギュラブルハードウェアに対してはコンパイラ技術による支援が不可欠である。

チップマルチプロセッサをはじめ、並列処理により、広く並列性を抽出し、複数の低消費電力プロセッサで並列実行することは有望な低消費電力化技術であ



る。その場合、並列化するためのプログラミング技術、言語などの支援技術は必須であり、これまでの単なる並列化だけでなく、低消費電力を考慮した実行時制御等が必要である。

#### ③低消費電力化オペレーティングシステム

最も重要なソフトウェアであり、ハードウェアやシステムの状態に対する監視・制御のための機構を提供する。また、オペレーティングシステム自体が個々のシステムについての低消費電力化機能を実装することが考えられる。

#### ④共通 API (Application Programming Interface)

各レベルにおいて、電力と性能に関し監視し、制御するための API が必要であるが、これらを共通化・規格化することにより、ソフトウェア開発のコストの低減・有効利用が可能になる。

### ■ 3.2.3. アプリケーション対応技術

システム／ソフトウェアに関する低消費電力化技術は、組み込みシステム領域において多くの研究が行われているが、その他の領域ではまだあまり行われていない。例えば、エンタプライズ分散システム領域においては、システムの自己最適化・修復などの自律制御技術が注目されているが、低消費電力に焦点を当てた研究はまだ行われていないのが現状である。データセンター等ではピークにあわせてシステムが設計されることが多く、実際の稼働率は数十%にとどまっており、低消費電力化の効果は大きい。また、大規模計算システム領域においては、従来の膨大な電力を必要とするスーパーコンピュータから組み込みシステムに用いられるプロセッサを活用した並列システムが注目されつつある。実際、これまでのスーパーコンピュータではその消費電力から大規模化には限界があり、低消費電力化を進めることにより更なる高性能化が可能になると期待される。低消費電力化のためには並列化は有効な方法であ

るが、大規模化によりその構成要素が多くなる。大規模な並列システムを安定に稼働させるためには高信頼性技術が必要となる。また、エンタプライズシステムにおいては高信頼性のために多くリソースが使われており、効率的なディペンダブル技術により必要なリソースを削減することにより低消費電力化が可能である。

現在進んでいる組み込みシステム領域でもアドホックな力づくの技術で構築されているのが現状であり、アドホックなアプローチに限界があるのは明らかで、体系的な設計手法が求められている。

システム／ソフトウェアでの低消費電力化技術は、組み込み機器から大規模計算システム、ビジネス向けエンタプライズシステムまでの広い応用領域を持つ研究領域であり、低消費電力化技術による高付加価値化での我が国の産業競争力の強化のみならず、社会全体のエネルギー削減への貢献が期待される。

## ■ 3.3 アーキテクチャ/VLSI 設計階層における ULP 技術

この階層で見ると、3.1で述べたアプリケーションのうち、①大規模科学技術計算、②高性能エンタプライズシステムは、いずれも計算性能重視のアプリケーションで類似であるので、ここでは①と②を合わせて「高性能計算」として取り扱う。

### ■ 3.3.1 俯瞰図及びロードマップ

アーキテクチャ/VLSI 設計階層全体の俯瞰図を、図3.3.1に、また具体的な研究開発課題を時間軸で整理したロードマップを図3.3.2に示す。

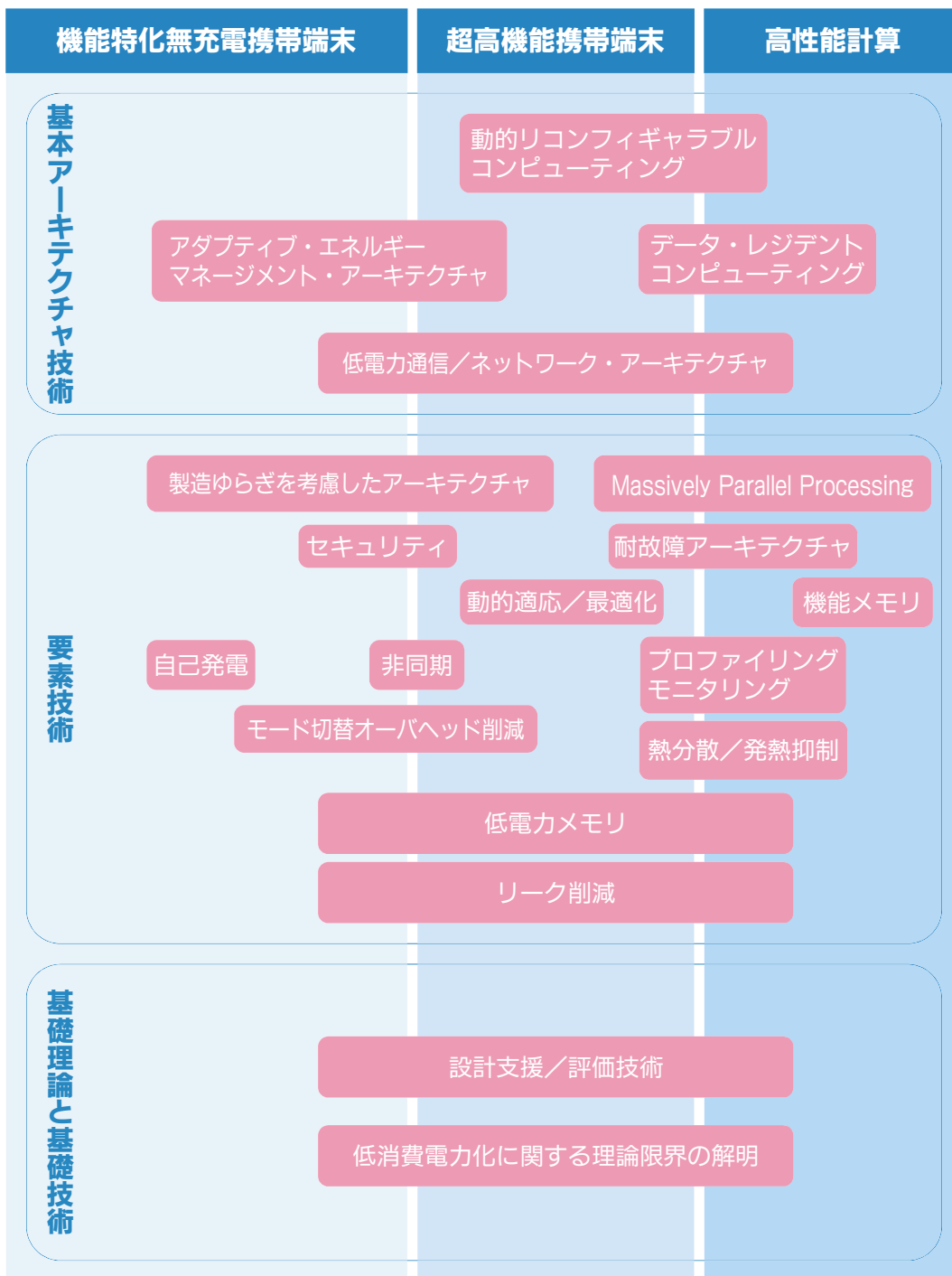


図3.3.1 アーキテクチャ/VLSI 設計階層俯瞰図

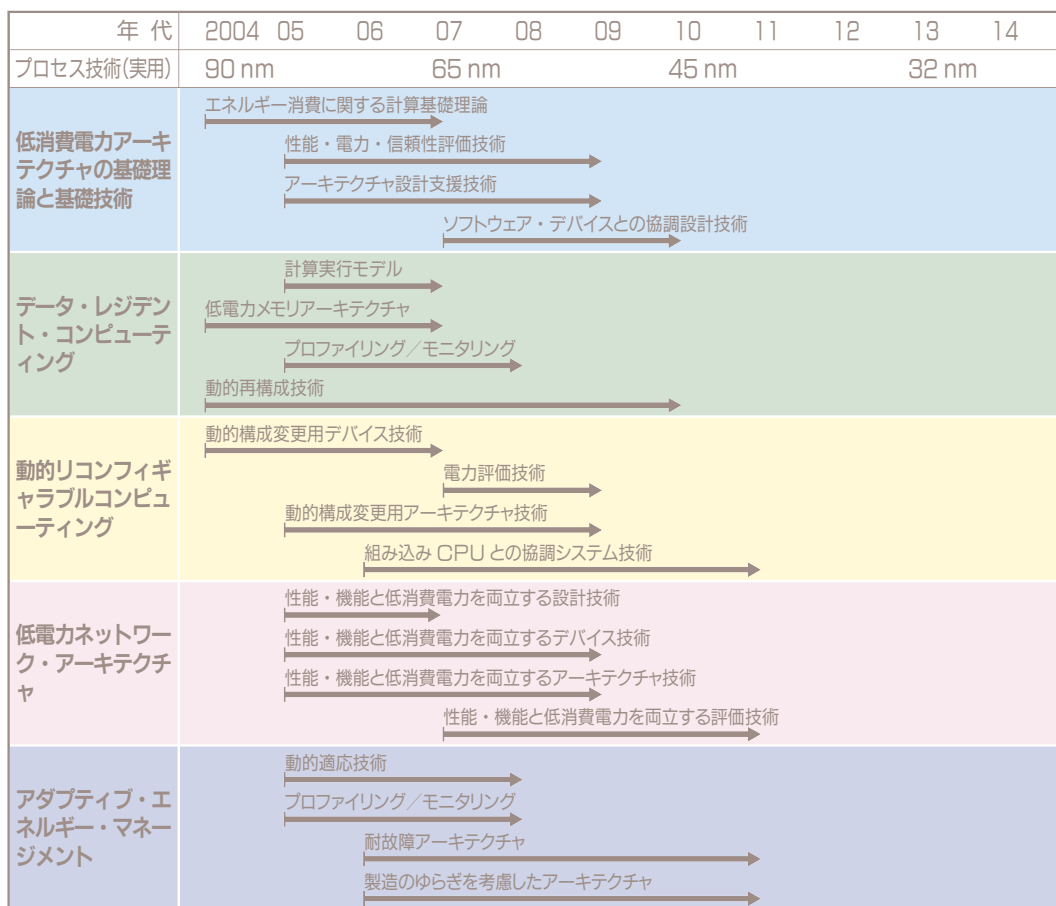


図3.3.2 アーキテクチャ/VLSI 設計階層ロードマップ

### 3.3.2 アーキテクチャ/VLSI 設計における課題

アーキテクチャ設計に関する低消費電力化（実質的には低消費エネルギー化）の課題は、情報の収集、蓄積、処理、伝送、表示の各操作を総合的に考え、システム全体の問題としてとらえるべきである。処理のステージにのみ焦点が当てられがちであるが、記憶（蓄積）や通信（伝送）で消費されるエネルギーの大きさを考慮して、単に計算機や情報端末の内部だけではなく、ネットワークや社会システム全体を考慮に入れたアーキテクチャ設計が求められる。また、そのエネルギー削減効果もこのようなマクロな視点からも評価されるべきである。具体的な課題としては、

- ① エネルギー消費や電力消費の理論限界の解明
- ② 低消費電力アーキテクチャ設計のための基礎技術の確立

- ③ システムの利用状況に応じた適応的なエネルギー管理
- ④ 再構成可能なシステムアーキテクチャの利用
- ⑤ データを移動するという基本的な発想からの脱却
- ⑥ 通信系システムの低消費エネルギー化アーキテクチャの開発などが挙げられる。

VLSI 設計においては、発熱や電源供給の問題としての低消費電力化と低消費エネルギー化との双方の観点を意識する必要がある。特に、プロセスの微細化によるデバイスの基本的な性質の変化、処理の複雑化・高機能化による設計パラメータの変化、性能とエネルギー消費のトレードオフ関係の変化など前提条件の変化を考慮に入れた研究戦略の構築が求められる。具体的な課題として、

- ① 回路やデバイスの構造や性質を考慮した低消費電力化設計

- ②計算・記憶・通信（チップ内、チップ間）の電力消費モデルの構築
- ③無駄なエネルギー消費を削減する基本アーキテクチャとその制御方式の確立などが挙げられる。

具体的な研究遂行においては、分かりやすい応用を明示し、その上での削減効果を目に見える形で定量的に示す方法が有効である。システムの性質がそれぞれの応用で大きく異なることを考慮して、極端な制約を前提とした応用例（ベンチマーク）の設定を提案する。

### ■ 3.3.3 研究課題

- ①低消費電力アーキテクチャの基礎理論と基礎技術

計算量理論（計算時間、メモリ量、チップ面積を対象とした）に対応するエネルギー消費に関するモデルの構築と基礎理論の構築。具体的には、低消費エネルギーアーキテクチャのモデル化およびその上でのエネルギーや信頼性・性能を尺度とした計算理論の確立。低消費電力アーキテクチャを設計する環境とツールの整備。性能・電力・信頼性の静的および動的評価技術の確立などである。

- ②適応型エネルギー管理（アダプティブ・エネルギー・マネージメント）

処理の空間的・時間的偏りによって生じる無駄なエネルギー消費（最大の性能が必要とされるときに備えて準備されている能力が通常時に消費するエネルギーなどを小さくする手法である。具体的には、プロファイリング/モニタリングを利用した電源電圧や動作部分の動的適応技術などである。

- ③動的再構成計算（ダイナミック・リコンフィギュラブル・コンピューティング）

面積効率の高い並列処理により、従来のDSP（Digital Signal Processor）や専用ハードウェアに比べ、一桁低い動作周波数で数倍の性能を達成することが可能である。また、動作しながら、状況に応じて低消費電力化を動的に行ってい

くことが可能である。具体的な研究課題は、アプリケーションの特徴や使用環境など、動作時の状況に応じて構成や電源電圧・クロック周波数などのパラメータを変える方式の確立などである。

- ④データの移動を避ける計算（データレジデント・コンピューティング）

エネルギーが、データに対する処理（計算）よりむしろデータの移動（記憶や通信）で消費されていることに着目し、データの移動を抑える計算実行方法である。回路レベル、アーキテクチャレベル、コンパイラ、OS（Operating System）の協調により、データが物理的に存在する（データレジデントな）状態を各階層の協調で最適化しデータ移動を最小に押さえることで、消費電力を飛躍的に低減する技術である。

- ⑤低消費エネルギー通信ネットワーク

従来、通信ネットワークの分野では、伝送量（バンド幅）増大や伝送遅れ（レイテンシー）の低減に研究開発の努力が注がれ、消費エネルギーの低減の観点からは研究開発がなされてこなかった。ユビキタス時代における超分散型のネットワークを考えると、情報を束ね、センタまで送る無線・有線通信技術における低消費エネルギー化が重要である。具体的には、無線を有線に変換する装置の消費エネルギーを低減する技術などである。

## ■ 3.4 回路/デバイス階層における ULP 技術

この階層においては3.1に記したアプリケーションに共通の技術が多いので、アプリケーション毎に技術を分けずに扱う。

### ■ 3.4.1 俯瞰図及びロードマップ

図3.4.1に回路/デバイス階層における ULP 技術俯瞰図を、図3.4.2に具体的研究課題を時間軸で整理したロードマップを示す。図3.4.1では参考のため、システム階層の技術の代表的なものも記す。

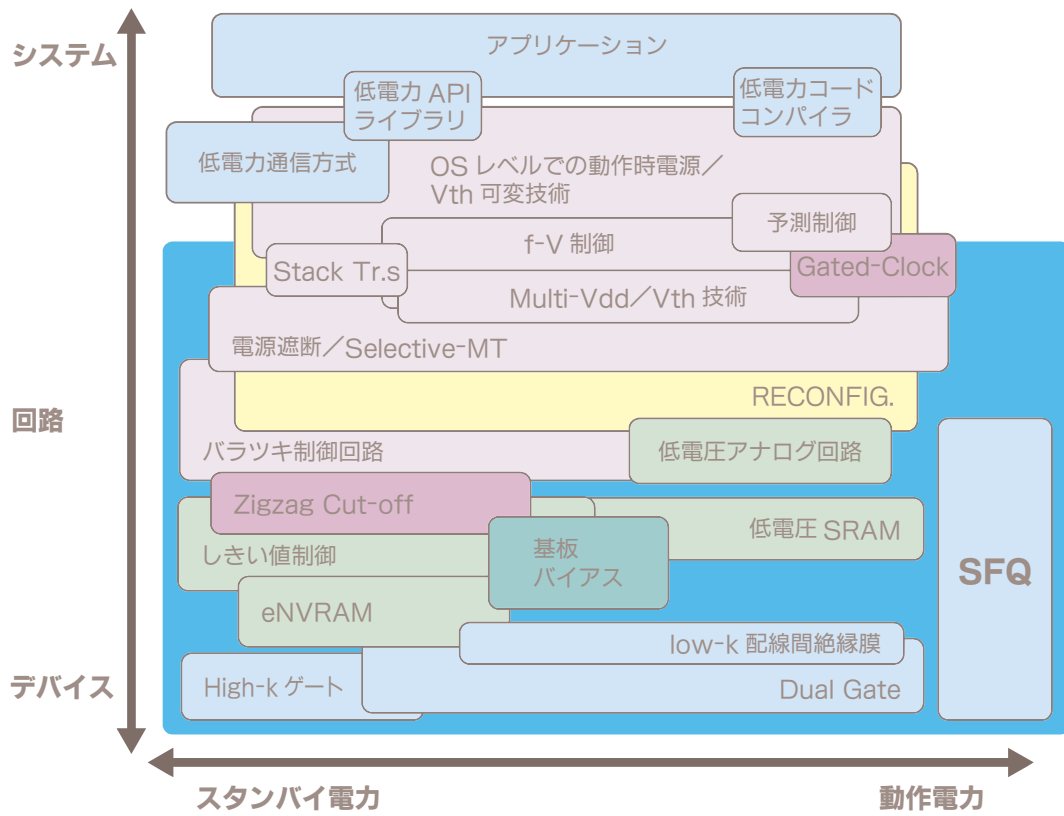


図3.4.1 回路/デバイス階層における ULP 技術俯瞰図

|                 | 2004        | 2006           | 2008                               | 2010        | 2012      | 2014          |
|-----------------|-------------|----------------|------------------------------------|-------------|-----------|---------------|
| 技術              | 90 nm       | 65 nm          |                                    | 45 nm       | 32 nm     | 22 nm         |
| 電圧 LOP          | 0.9-1.0 V   | 0.8-0.9 V      |                                    | 0.8-0.9 V   | 0.7-0.9 V | 0.7-0.9 V     |
| LSTP            | 1.1-1.2 V   | 1.0-1.2 V      |                                    | 1.0-1.2 V   | 0.9-1.2 V | 0.9-1.1 V     |
| CMOS 技術         |             |                |                                    |             |           |               |
| GATE            | Co-PolySi   |                |                                    | Ni-PolySi   | Metal     |               |
| Ge-OX           | SiON        |                | 改良 SiON                            | HfSiON      | 新 High-K  |               |
| S/D             |             |                |                                    | Elevated-SD |           |               |
| 構造              | Planar      |                |                                    |             |           | Dual Gate・Fin |
| LP-Digital 回路技術 | DVS         | モジュール毎 DVS     | Vt・Vbb 制御技術                        |             |           |               |
|                 |             | 適応制御技術         |                                    | 細粒度適応制御技術   |           |               |
|                 | SMT 技術      |                | Run Time Power 制御技術                |             |           |               |
|                 | オンチップ電源制御技術 | 粗粒度 RCP        | 細粒度 RCP                            |             |           |               |
|                 |             | 耐ばらつき回路アーキテクチャ |                                    |             |           |               |
| Emerging 技術     |             | 低消費電力 NVRAM 技術 | 超低消費電力技術 (断熱・サブスレショルド・エネルギーリカバリー等) |             |           |               |
|                 |             | 3次元 LSI 技術     |                                    | SFQ デバイス・回路 |           |               |

図3.4.2 回路/デバイス階層における具体的な研究開発課題のロードマップ

### 3.4.2 基盤技術

回路／デバイス階層における ULP 基盤技術の主なものについて説明する。

#### ①ばらつき制御技術

ULP を指向する CMOS では、微細化が進むほどソース、ドレイン拡散層の浅い接合部分や、チャンネル部分の形状や不純物濃度分布等のばらつきによりデバイス特性もばらつく。如何にこのばらつきを押さえ込むかが大事であり、回路レベルで動作中に最適化を行う動的再構成 (Dynamically Reconfigurable) 技術や、デバイスレベルでは、閾値ばらつきを補正するしきい値制御、基板バイアス電圧制御技術、多電源技術等も今後重要になると考えられる。これらの方法については、ハード的あるいはソフト的方法がいくつか提案され検討が進められているが、今後はハード、ソフト両面からの更なる協調的アプローチが重要と考える。

#### ②High k 材料、Low k 材料

CMOS 微細化によるゲートリーク電流低減のための High k 材料や、配線の微細化による配線容量の増加を低減する為の Low k 材料を実現する為には、新絶縁材料の開発があげられる。CMOS 微細化、低消費電力化、高性能化を同時に実現する為のキー材料の一つである。課題は新材料の研究開発につきるが、低コスト、環境に優しい、リサイクル性、シリコンプロセスとの互換性或いは協調性、国際特許化も重要である。

#### ③超電導材料

常温動作可能、低コスト、希少材料を使わない等を実現できる材料が出現すれば、超低消費電力を大きな特長の一つとする SFQ (Single Flux Quantum) 等の実用化を加速し、更に軽量が合わせて実現されると送電線材料としても革命を起こし、送電線抵抗による電力ロスを大幅に軽減できる可能性がある。研究課題は、常温動作、低コスト、希少材料を

使わない等の条件を満たす新材料開発につきる。

#### ④その他

図3.4.1には示されていないが、以下の技術課題も重要と考えられる。

##### (i) 実装

この分野は地味で表に出てこないが、ULP 実現のための微細化により熱分布、信号遅延等もからんでくるため、ますます重要になってくる分野であり、パッケージ技術も含めて検討する必要がある。

##### (ii) 計測、評価、テスト (含む信頼性)

ULP 実現の為の微細化がすすむに伴い、非破壊、実時間測定が難しくなりつつあり、開発段階、製造段階から念頭に置いて置くべき重要な技術である。また特に計測・評価法は国際競争力にまで影響する分野であり、今後は開発当初から国際標準化まで (含むデファクト化) を視野に入れて進める必要がある。この分野では、非破壊、ローコスト、ハイスループットがキーワードとなろう。

##### (iii) 非シリコン系材料 (含む化合物半導体、酸化半導体、有機半導体)

いままでシリコンは高性能化を微細化によって、ムーア則に載るかのように達成してきたが、微細化とともに消費電力増大が大問題になっているのは既述の通りである。しかし、非シリコン系材料で、シリコンにない特長を持って低消費電力化に繋がる物もすでに一部有るが、低コスト化やシリコンプロセスとの整合等問題が多い。これら問題を解決する新材料が実現されれば、シリコン材料を補完し単独材料あるいはシリコンとのハイブリッド化により、更なる低消費電力化が促進される可能性がある。ここでの課題は新材料や新プロセスの研究開発につきるが、更に低コスト、環境に優しい、リサイクル性、シリコンプロセスとの互換性或いは協調性、国際特許化も重要である。



(iv) カーボンナノチューブ (Carbon Nano Tube)

単位断面積あたりの電流密度が銅の約1,000倍とれ、配線微細化時の抵抗率増加の解決材料として期待されている。日本発技術として先行しているが、製造、

ハンドリング、安全性、コスト等にも多くの課題があり、低コスト大量生産技術、位置、直径、長さ、n,p 型、等の制御、シリコンプロセスとの整合、更に最近安全性も問題になって来ており多くの課題がある。



# 4 まとめと提言

ULP 技術は、環境問題への対処の観点からも産業競争力強化の観点からも極めて重要な技術である。我が国においてもデバイスの低消費電力化を目指した取り組みは活発であるが、それだけでは根本的な低消費電力化は実現困難である。このような現状を踏まえ、本戦略プロジェクトにおいては、以下の提言をしたい。

- 1. ULP 技術の重要性を十分認識してシステム/ソフトウェア、アーキテクチャ/VLSI 設計、回路/デバイスの各階層を統合した ULP 技術の研究開発を強かに推進する。
- 2. 研究の目標として、画期的な低消費電力化をターゲットにすべきである。例えばシステム/ソフトウェア、アーキテクチャ/VLSI 設計、回路/デバイスの3階層でそれぞれ1/10、あわせて1/1,000をターゲットとし、約5年間のプロジェクトを実施する。

■ 3. このため、研究開発は指導力のあるリーダのもとに、各分野の研究者が結集し時間軸を意識しつつ推進するプロジェクト形式が適している。

■ 4. 具体的な研究課題は本プロジェクトの図3.2.1 (システム/ソフトウェア階層)、図3.3.1 (アーキテクチャ/VLSI 設計階層)、図3.4.1 (回路/デバイス階層) である。また時間軸はそれぞれ、図3.2.2、図3.3.2及び図3.4.2が目安となる。

■ 5. なお、付録に述べたように、消費電力の領域でワット以上の領域、ミリワット領域、マイクロワット以下の領域に分類すると、米国と比較した場合、中間のミリワット領域に日本の強みがあり、この領域の研究をまず重点的に推進し、その成果をワット以上の領域、マイクロワット以下の領域に適用を図るアプローチが有効かと思われる。

# 付録 米国の研究動向

日本でのULP研究の進め方やファンディング方法の参考にすべく、システム/ソフトウェア、アーキテクチャ/VLSI設計、回路/デバイスの3階層について、2005年3月に専門家チームによる米国の現地調査を行った。訪問先は、NSF (National Science Foundation)、DARPA (Defense Advanced Research Projects Agency)、IBM、MIT (Massachusetts Institute of Technology)、UCB (University of California, Berkeley)/CITRIS (The Center for Information Technology Research in the Interest of Society)、INTEL、それと国際会議IPDPS (International Parallel and Distributed Processing Symposium) である。

## ■ A.1 システム/ソフトウェア分野

今回の調査で特に印象に残ったのは、高性能化と低消費電力化、高信頼化の技術はそれぞれ密接に関連していることである。Low Power HPC (High Performance Computer) は、速度が比較的遅く消費電力が小さいコンポーネント (Slow) を多く集積して (Many) 高性能化を目指すアプローチが採用されているが、コンポーネントが膨大になるために信頼性を確保する技術は必須となる。センサーネットワーク技術においても、その要素数は膨大であり、冗長化し高信頼化することは重要な課題となる。これをさらに推し進めれば、信頼性の低下を前提に低消費電力化し、冗長性を増やして信頼性を確保するといった積極的なアプローチも取り得る。

また、低消費電力化技術による新たな産業創出の可能性を強く感じた。センサーネットワークは元々軍事主導で行われていた研究であったが、その利用は環境

問題を解決するためのリモートセンシング、あるいは店舗、オフィス、ホームにおける応用が開拓されつつあり、新しい産業の創出をもたらしつつある。また、Low Power HPC は、研究室でデスクトップにおける高性能HPCシステムも可能にする。科学技術計算向けのシステムの動向を見ると、ペタフロップスに達するハイエンドのシステムと研究室で利用しているPC (Personal Computer) やWS (Work Station) の性能差は年々差が開く傾向にある。この差を、これまでPCクラスが埋めていたが、設置面積や必要な消費電力といった面から設置条件に制限があった。そこで、Low Power HPC 技術により、低消費電力化しコンパクト化することにより、PCクラスをWSと同等のスペースで実現できるようになると期待される。実際、このようなシステムはOrion Multisystemなどのベンチャー企業により実用化されつつある。

ミリワット領域での技術の代表例は、Power Aware コンピューティングであるが、今回の調査ではこの分野の技術がHPCやエンタプライズサーバにも広がりつつあることが実感された。性能だけであったこの領域に、消費電力という要素が加わることにより様々な研究課題が生まれている。高性能プロセッサにおいても、並列処理と低電力化、電力制御は重要な課題となっている。従来、我が国が強いとされていた組み込み領域のプロセッサおよびシステム技術を、このような新たな領域の研究課題に生かし、研究を展開することが望まれる。

## ■ A.2 アーキテクチャ/VLSI設計分野

アーキテクチャレベルでのアプローチは、以下の2つに分けることができる。

### ■ A.2.1 無線化マイクロワットデバイスの実現 (MIT や UCB)

センサーネットワークのノードなど、エネルギーの供給と通信を無線化し、環境から取得できる微弱なエネルギーを用いて動作するモジュールの開発と、それを組み合わせた大規模なシステムを構築することを目指す研究である。太陽光、風、人間の体温、振動などをエネルギー源として発電をするしくみ（主として MEMS : Micro Electro Mechanical System を利用）および得られた微小エネルギーを制約条件としてマイクロワット領域で動作するセンサー・プロセッサ・メモリ・ADC (Analog-Digital Converter) / DAC (Digital-Analog Converter) ・無線用アナログ回路・アンテナなどを開発している。MIT では今後5年間の間に、センサーノードの全機能（データ取得、処理、制御、通信、電力生成）を、MEMS と CMOS の3D 構造にて集積し、平均消費電力10 $\mu$ W のネットワークセンサーノード実現をめざし、目標性能は、Distance (<10 m)、Latency (5ms~15 ms)、Data-rate (<10 Kbps) である。UCB では今後1~2年以内に、体積1 cm<sup>3</sup>以下、コスト1セント以下、平均消費電力100 $\mu$ W 未満のネットワークセンサーノード実現を目標としている。

### ■ A.2.2 性能限界への対応 (IBM とインテル)

汎用プロセッサや HPC などの高性能計算機システムの研究開発においては、更なる性能向上を目指すための微細化に伴う、半導体集積回路の電力消費の増大（発熱とそれに対する冷却）が問題化している。アーキテクチャ的には、動作周波数の増加による性能向上の方針をあきらめ、比較的低速で周波数の低いプロセッサコアをチップ内に複数搭載し、並列演算することにより、同一の計算を行うのにかかる消費エネルギーを削減し

つつ、システムの性能を向上させる技術が基本となる。また、時間的・空間的な計算負荷の不均一性に注目して、チップ内の各ブロックへ供給する電力を最適化する技術（DVS (Dynamic Voltage Scaling) やブロックごとに供給電圧を変える複数電源電圧方式など）も実用化している。

### ■ A.3 回路/デバイス分野

ワット以上の領域ではマイクロプロセッサのデバイス・回路技術では、インテルが圧倒的に先行している。インテル社では次世代プロセッサの Montecito (90 nm 技術) では、電源電圧とクロック周波数をマイクロコントローラできめ細かく動的制御している。今後の課題は、制御の時空間的細粒化とインテリジェント化とマルチコア化あるいは専用化して価値性能（機能や信頼性を含めた総合価値）を高めることである。実は、これらの技術の基本は日本で創出された物が多い。

ミリワット領域では安価なプラスチックパッケージを使えるので、実装コストよりもチップコストの割合が高い。民生市場の性格からコスト削減の要求は非常に強く、チップコストの増大を伴う技術は適用できないことが多い。マイクロプロセッサのように、マルチコア化は多くの場合には使いづらい。やはり低電圧にしても回路の動作速度を損なわないように、しきい値電圧も下げる必要がある。その結果生じる、動作時のリーク電流増大の問題を解決するのが、最重要研究課題である。電源電圧と共にしきい値電圧の動的制御が必要になる。これまではこれらの分野での特許戦略で米国が先行してきたが、有力な特許が失効したことで、日本にも大きな挽回のチャンスがあると思われる。

マイクロワット領域は、MIT や UCB が注力して研究しているセンサーネット

ワークやユビキタスエレクトロニクスがこの領域に属する。安全で安心な社会を実現するための統合センシング技術の創出が重要であることは論を待たない。それに加えて、将来、一人の人間が無意識に利用するセンサーやプロセッサの数が爆発的に増大することを考えると、地球規模でのエネルギー消費抑制の視点からも低電力技術が重要になる。また、インテルは、センサーネットワークがマイクロプロセッサより将来大きな市場を生み出すとコメントしているが、ここ5年で巨大市場が立ち上がる可能性は少ないと考えられる。

#### ■ A.4 米国の研究から学ぶべき点

エネルギーや電力の削減に関しては、ソフトウェア・回路・アーキテクチャへの依存度が増大しており、計算だけでなく通信や記憶における消費電力に対する

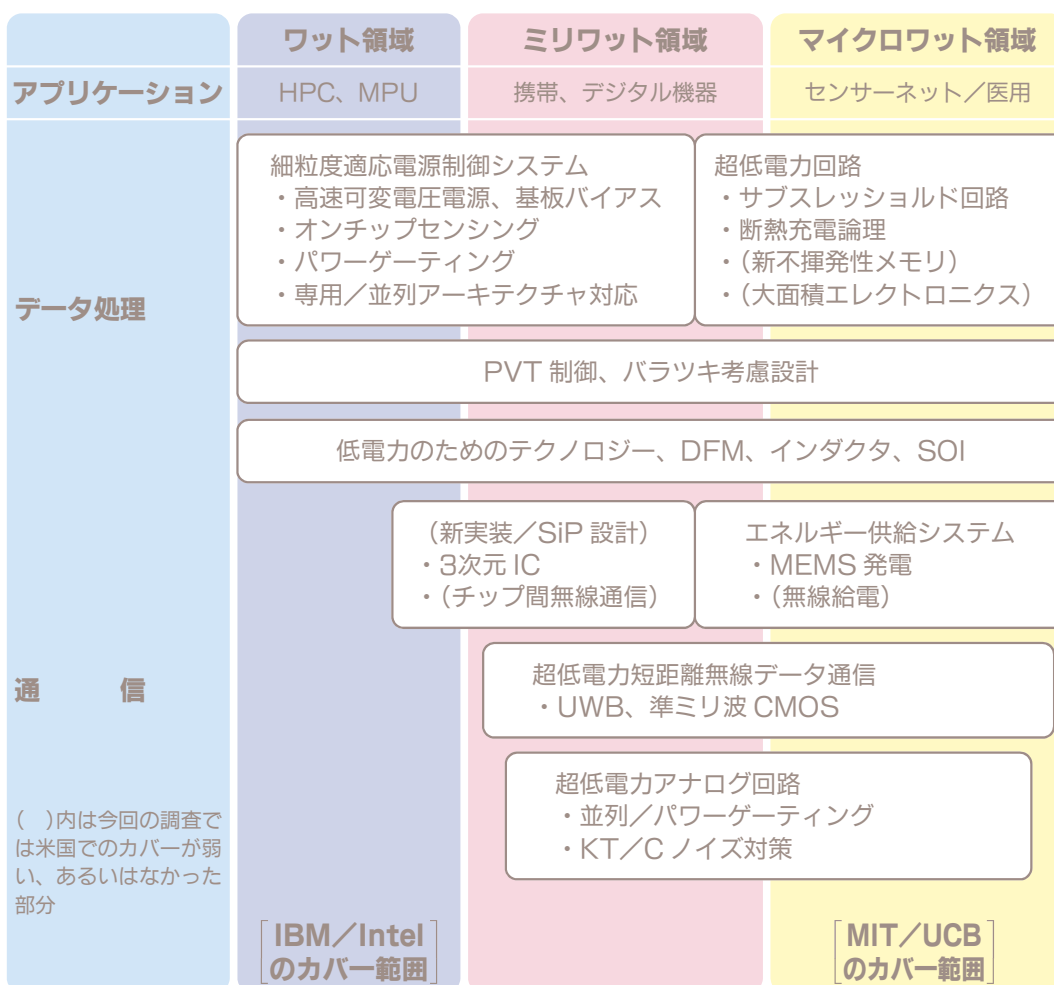
配慮も重要である。DARPA においては、システムからデバイスまでの各階層を統合することにより、デモシステムで1/2~1/400の電力削減を達成した。このような階層融合のアプローチは大いに参考になるものと思われる。以上をまとめると、以下の点が重要であると考え

- (ア) 分かりやすいゴール設定（ワット領域とマイクロワット領域）
- (イ) 目標から要素技術までの単純で明快な論理の構築
- (ウ) 分野間のバリアの除去と相互協力（専門化と総合化のバランス）
- (エ) 異なる発想の統合
- (オ) 低消費電力化から生ずる Unreliable なデバイスを用いて Reliable なシステムを構築する技術の創出
- (カ) システム的なアプローチ（縦に通した協調設計）

## ■ A.5 日米の技術レベル比較

今回の調査を進める中で、適用される ULP 技術は対象とする情報機器の消費電力の範囲によってかなり異なることが浮き彫りになった。すなわち消費電力が、ワット以上の領域 (High Performance Computer、MPU など)、ミリワット領域 (携帯、デジタル機器等)、およびマイクロワット領域 (センサーネットワーク/医用機器等) である。この様

子を図 A.1 に示す。ワット以上の領域、マイクロワット以下の領域では米国が先行しているが、携帯、デジタル機器を代表例とするミリワット領域は目立ったアクティビティは少ないようである。逆にミリワット領域は現在の日本の半導体産業競争力の中では一番強いことから、この領域に注力していくことが日本の半導体国際競争力を強めることに繋がると考えられる。



( )内は今回の調査では米国でのカバーが弱い、あるいはなかった部分

PVT: Process Voltage Temperature  
 DFM: Design for Manufacture  
 SOI: Silicon on Insulator  
 UWB: Ultra Wide Band  
 kT/C: k:ボルツマン定数、T:絶対温度、C:入力段コンデンサ容量とした時のノイズ

図 A.1 消費電力領域別の重要研究項目と米国でのカバレッジ

戦略プロジェクト

## 超低消費電力化(ULP)技術

独立行政法人 科学技術振興機構 研究開発戦略センター

制作担当 生駒グループ

〒102-0084 東京都千代田区二番町3番地

電話 03-5214-7481

ファックス 03-5214-7385

<http://crds.jst.go.jp/>

平成18年3月

©2006 CRDS/JST

許可なく複写・複製することを禁じます。  
引用を行う際は、必ず出典を記述願います。

ATTAATC A AAGA C CTAAC T CTCAGACC  
CT CTCGCC AATTAATA  
TAA TAATC  
TTGCAATTGGA CCCC  
AATTCC AAAA GGCCTTAA CCTAC  
ATAAGA CTCTAACT CTCGCC  
AA TAATC  
AAT A TCTATAAGA CTCTAACT CTAAT A TCTAT  
CTCGCC AATTAATA  
ATTAATC A AAGA C CTAAC T CTCAGACC  
AAT A TCTATAAGA CTCTAACT  
CTCGCC AATTAATA  
TTAATC A AAGA C CTAAC T CTCAGACC  
AAT A TCTATAAGA CTCTAACT  
ATTAATC A AAGA CCT  
GA C CTAAC T CTCAGACC  
0011 1110 000  
00 11 001010 1  
0011 1110 000  
0100 11100 11100 101010000111  
001100 110010  
0001 0011 11110 000101

