

ATTAATC A AAGA C CTAAC T CTCAGACC

CT CTC G CC AATTAATA

T AA TAATC

TTGCAATTGGA CCCC

AATTCC AAAA GGCCTTAA CCTAC

ATAAGA CTCTAACT CTC G CC

AA TAATC

AAGA CTCTAACT CTAAT A TCTATAAGA CTCTAACT CT

CTC G CC AATTAATA

ATTAATC A AAGA C CTAAC T CTCAGACC

AAT A TCTATAAGA CTCTAACT

CTC G CC AATTAATA

TTAATC A AAGA C CTAAC T CTCAGACC

G-TeC報告書

超低消費電力システム 国際技術力比較調査(米国)

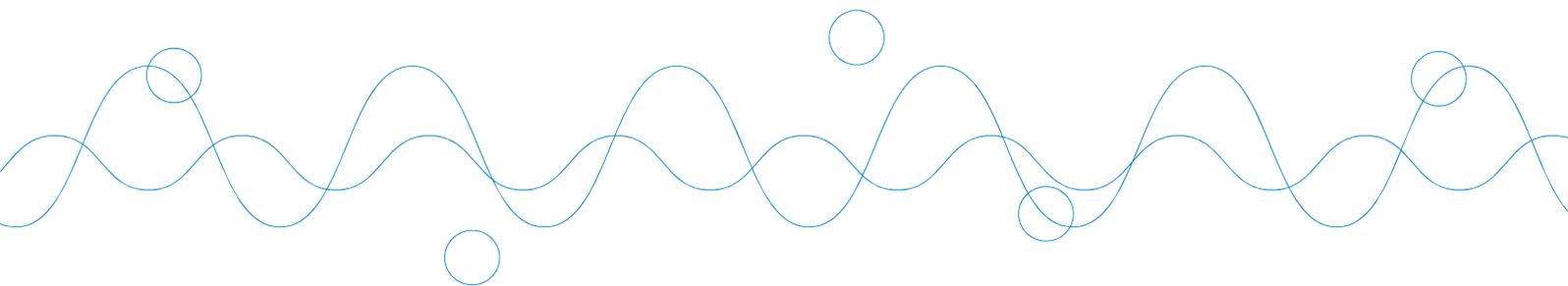
Global Technology Comparison (G-TeC) Report
on Ultra Low Power System Technologies in US

0 1 0 0 1 1 1 0 0 1 1 1 0 0 1 0 1 0 1 0 0 0 0 1 1 1

0 0 1 1 0 0 1 1 0 0 1 0

0 0 0 1 0 0 1 1 1 1 1 0 0 0 0 1 0 1

0 0 1 1 0 0 0 1 1 1 1 1 1 0 0 0



0 0 1 1 0 0 1 0 1 0 1

0 0 1 1 1 1 1 0 0 0 0 0 1 0 0 1 0 0 0 0 1 0 1 1 1 1 0 1

0 1 0 1 0 0 0 1 1 1 0 1 0 1 0 0 0 0 1



Center for Research and Development Strategy

独立行政法人科学技術振興機構 研究開発戦略センター

0 0 1 1 0 1 1 1 1 1 1 0 0 0 1 0 1 0 1 0 1 1

目 次

Executive Summary	i
1 序	1
1.1 背景と目的	1
1.2 メンバー	2
1.3 訪問先・訪問日	3
1.4 執筆者一覧	4
2 サイトレポート	5
2.1 NSF	5
2.2 DARPA	9
2.3 IBM	12
2.4 MIT	18
2.5 CITRIS (UCB)	25
2.6 INTEL	37
2.7 IPDPS	45
3 各階層別レポート	55
3.1 システム・ソフトウェア	55
3.2 アーキテクチャ・VLSI 設計	62
3.3 デバイス・回路	77
4 まとめ	83
4.1 訪問機関の概要	84
4.2 調査結果の概要	87
4.3 提言	89
Appendix	
① 米国 ULP コミュニティ 俯瞰図	93
② ULP 米国研究機関／研究者リスト	94

※略号

ULP : Ultra Low Power

G-TeC : Global Technology Comparison

Contents

Executive Summary	i
1 Foreword	1
1.1 Background and Objectives	1
1.2 Members	2
1.3 Itinerary	3
1.4 List of Authors	4
2 Site Reports	5
2.1 NSF	5
2.2 DARPA	9
2.3 IBM	12
2.4 MIT	18
2.5 CITRIS (UCB)	25
2.6 INTEL	37
2.7 IPDPS (International Parallel Distributed Processing Symposium)	45
3 Trend of Technical Layers	55
3.1 Systems and Software	55
3.2 Architecture and VLSI Design	62
3.3 Devices and Circuitry	77
4 Summary	83
4.1 Outline of Institutions Visited	84
4.2 Major Findings	87
4.3 Proposals	89
Appendix	
① Overview of U.S. ULP Community	93
② List of ULP Research Institutions and Researchers in U.S.	94

Abbreviations

- * ULP : Ultra Low Power
- ** G–TeC : Global Technology Comparison

Executive Summary

独立行政法人科学技術振興機構研究開発戦略センター生駒グループでは今後の重要技術分野の一つとして「超低消費電力システム技術 Ultra Low Power system technology (ULP)」に着目し、具体的な挑戦課題と研究推進方法などを明確化するためのワークショップを2004年10月に開催した。その結果、以下の提言がなされた。すなわち、高度ネットワーク社会の情報インフラが、その機能、環境、ユーザーに応じて、要求されるサービス品質の提供に必要なかつ十分なだけのエネルギーあるいは電力消費量を自律的、適応的に維持するような情報システム管理技術の確立を目指すべきである。そのために、情報システムのあらゆる階層で総合的なエネルギー/電力消費管理を行い、10年後に最終的なサービスレベルで現行レベルの1000倍のエネルギー/電力削減（同じ情報処理を行うのに必要なエネルギーが1/1000）の達成を目標とした研究開発を行うべきである、との提言である。

これらの議論を補完し、今後の研究戦略立案の参考に資する情報の収集を目的として、2005年3～4月に専門家による調査チーム（南谷崇東大教授ほか8名）を組織し、米国において「超低消費電力化」の研究プロジェクトを推進している代表的な研究機関とファンディング機関を訪問した。

下表に訪問した機関、面会者、主な討議テーマ、および主要 Findings を示す。

訪問先機関	面会者	討議テーマ	主要 Findings
NSF	Dr. H. Gill Program Director, CISE	NSFがサポートしている ULP プロジェクト実施状況、研究者の状況	<ul style="list-style-type: none"> ・ VLSI 設計プロジェクト（約 \$6M）の 20% が ULP 関連 ・ 組込システムの ULP にも関心
DARPA	Mr. R. Graybill Project Manager, DARPA/IPTO	PAC/C プロジェクト状況と成果	<ul style="list-style-type: none"> ・ 2005/1Q で終了 ・ フェーズ1で基礎技術、フェーズ2で5つのプロト試作
IBM Watson Res. Ctr.	Dr. G. Chiu Senior Manager, Advanced Server Hardware Systems	BlueGene/L の低消費電力化技術	<ul style="list-style-type: none"> ・ Small & many の設計思想 ・ スケーラビリティ、実装技術を重視

MIT	Prof. A. Chandrakasan Dept. of EECS	センサネットワークプロジェクトなどの研究状況	<ul style="list-style-type: none"> ・幅広く ULP 研究を推進 ・センサーネットは5年以内に10uW/ノードを目指す
UC Berkeley, CITRIS	Dr. G. Baldwin Executive Director, CITRIS	センサネットワーク, HPC などの研究状況	<ul style="list-style-type: none"> ・目に見えないエレクトロニクスの開発 ・エネルギー供給・無線通信・信頼性について実用化を意識した研究
Intel	Shekhar Borkar Director, Circuit Res. Lab	低消費電力化技術の研究状況	<ul style="list-style-type: none"> ・デバイスの世代を意識した研究戦略 ・今後トランジスタはコストゼロを前提に性能あたりの消費電力低減を図るべき
IEEE IPDPS		HPC 分野の低消費電力化技術の研究状況	<ul style="list-style-type: none"> ・Low Power HPC と Power aware HPC について多くの研究成果 ・ULP の重要性を再確認

以上の訪問・討議により以下のことを再確認，あるいは明らかにできた。すなわち低消費電力化は，従来からデバイス，回路分野における重要な課題であったが，今後さらに飛躍的な低消費電力を実現するためには，応用分野固有のシステム仕様，アルゴリズム，通信プロトコルの段階から電力消費と性能，信頼性のトレードオフを考慮した設計と，与えられた環境に対するシステムソフトウェア，アーキテクチャレベルにおける動的エネルギー管理が必要である。従って，アルゴリズム，プロトコル，ソフトウェア，アーキテクチャ，回路，デバイスのすべてのレベルにおける省電力技術とそれらを総合する適応的エネルギー管理技術は重要な研究項目である。

高性能コンピューティング分野では、少数の高性能プロセッサによる高速化には電力消費/発熱問題のために限界があり、今後は多数の小規模（低速）プロセッサによる高速化が技術的な流れである。IBM の BlueGene/L の成功、インテルのマルチコア戦略はこの方向を明確に示している。

半導体分野では、微細化のさらなる進展に伴うリーク電流増大、PVT（プロセス、電源電圧、温度）変動、部品信頼性の低下などへの対処が課題である。

高性能コンピューティング分野における slow and many の流れ、センサネットワークなどにおける膨大な部品数、半導体微細化に伴う部品信頼性の低下などの技術動向は、フォールトトレランス、あるいはデペンダビリティ技術の重要性を明確に示しており、今後のシステム指標として、互いに密接に関連し合う性能、消費電力、信頼性のトレードオフを意識したシステム設計が必要な技術課題になることを示している。

今回の訪問調査の結果を踏まえ、「超低消費電力システム」に関する研究戦略に関して、以下を提言する。

1) 研究分野

情報システム/機器はその消費電力の範囲によって1 W 超のワット級（PC，サーバー，HPC など），1 mW から1 W までのミリワット級（組込みシステム，携帯端末など），1 mW 以下のマイクロワット級（ユビキタス，センサーネットワークなど）に分類できる。日本としてはこのうちミリワット級分野を中心とした超低消費電力化技術の研究を戦略的に推進するべきである。ここで培われる技術は、ワット級やマイクロワット級分野へも応用可能であり、波及効果の大きいものであると考えられる。

2) 研究戦略

サービス仕様，プロトコル，アルゴリズム，システムソフトウェア，アーキテクチャ，回路，デバイスまでのすべてのシステム階層における個別要素技術の飛躍的な革新と，それらを統合し適応的にエネルギー管理を行う総合的な超低消費電力化システム技術の開発が必要である。

3) 研究体制

既存の研究組織の壁を超えたバーチャルラボを形成し，リーダーの責任と権限のもとで，産学官を問わず研究者間の柔軟な連携を可能にする体制の構築が必要である。また，このような異分野融合の研究体制を，総合的人材の養成の場とすることもその狙いの一つとするべきである。

Executive Summary

Considering that Ultra Low Power (ULP) system technology will become one of the most important technologies, the Ikoma Group of the Center for Research and Development Strategy (of the Japan Science and Technology Agency) held a workshop in October 2004 to identify the specific challenges involved and the research approaches that should be taken pursuant to this. The proposal from the workshop was that the technologies adaptively manage the supply of electric power required by the information systems in advanced network society to ensure quality of service. To this end, R&D efforts should be made for the comprehensive management of energy/electricity consumption at every level of the information system in order to achieve reduction in energy/electricity consumption of three orders of magnitude within 10 years' time frame.

In order to gather information that would be helpful in planning the research strategy to be pursued, a team of experts (eight members led by Professor Takashi Nanya of the University of Tokyo) went to the United States in March/April 2005 to visit research institutes and funding bodies which are active in the area of “ultra-low power system technology.”

The institutions visited, the individuals met, the main themes of discussion and the major findings are listed in the following table.

Institutions visited	Individuals met	Themes of discussion	Major findings
NSF	Dr. H. Gill Program Director, CISE	Progress of ULP project supported by NSF, activities of researchers	<ul style="list-style-type: none"> - 20% of VLSI design projects (about \$6M) are related to ULP. - Also interested in ULP of embedded systems
DARPA	Mr. R. Graybill Project Manager, DARPA/IPTO	PAC/C project status and achievements	<ul style="list-style-type: none"> - Ended in 1Q 2005 - Basic technology in phase 1 ; 5 prototypes made in phase 2

IBM Watson Res. Ctr.	Dr. G. Chiu Senior Manager, Advanced Server Hardware Systems	Low electricity consumption technology of BlueGene/L	<ul style="list-style-type: none"> - Design philosophy of “small and many” - Scalability and packaging technology are important
MIT	Prof. A. Chandrakasan Dept. of EECS	Progress of research on sensor network project, etc.	<ul style="list-style-type: none"> - Extensive ULP research promoted - Targeting Sensor network with 10 μW nodes within 5 years
UC Berkeley, CITRIS	Dr. G. Baldwin Executive Director, CITRIS	Progress of research on sensor network, HPC, etc.	<ul style="list-style-type: none"> - Development of “invisible” electronics - Application oriented research on power supply, wireless communication, and reliability
Intel	Shekhar Borkar Director, Circuit Res. Lab	Progress of research on low electricity consumption technology	<ul style="list-style-type: none"> - Research strategy device generations - Power consumption/performance should be minimized under an assumption that transistor cost will be zero in the future.
IEEE IPDPS		Progress of research on low electricity consumption technology in HPC area	<ul style="list-style-type: none"> - Many research developments regarding low power HPC and power-aware HPC - Importance of ULP re confirmed

Through these visits and discussions, the team was able to reconfirm or discover the following.

While the reduction of power consumption is already a major challenge in the fields of electronic devices and circuits, a further leap ahead in power reduction would require a design that accommodates trade-offs in the areas of power consumption, performance and reliability at every level—including system specifications, and algorithms and communication protocols—and dynamic energy management at the software and architecture levels. Therefore, research will be needed on power-saving technologies at all levels (including algorithms, protocols, software, architecture, circuitry and electron devices), together with an adaptive energy management technology that integrates all these aspects, creates a research theme of vital importance.

In the field of high-performance computing, since an increase in speed using a small number of high-performance processors is limited by high power consumption and heating problems, the future direction is likely to be the pursuit of higher speed using a large number of small, low-speed processors. IBM's successful BlueGene/L and Intel's multi-core strategy seem to indicate this direction.

In the area of semiconductors, challenges are posed by an increase in current leakage, PVT (Process/source Voltage/Temperature) variations and a lower reliability of components due to the ever-increasing reduction in size.

Technical trends, such as the shift toward slow and many processors for high-performance computing, and an increasing number of parts which results in the reliability degradation clearly indicate the importance of achieving greater fault tolerance and technological reliability. They indicate that system designs that involve trade-offs in performance, power consumption and reliability—all of which are closely related—will pose major technological challenges in the future.

Based on the findings of the trip, the following is proposed regarding the research strategy for the Ultra Low Power system.

1) Field of research

Information systems and equipments can be classified by their power consumption range, as follows : over 1W (e.g. PCs, servers and HPCs); the milliwatt class from 1mW to 1W (e.g. embedded systems and mobile terminals); and the microwatt class of 1mW and below (e.g. ubiquitous computing and sensor networks). Research should be emphasized mainly on Ultra Low Power technology in the milliwatt class. The research results can be applied to the over the W class and the microwatt class.

2) Research strategy

A major innovative leap forward is needed in specific technologies at every level

of systems research, including service specifications, protocols, algorithms, systems software, architecture, circuitry and electron devices. Also needed is the development of a comprehensive Ultra Low Power technology for adaptive energy management to integrate all these elements.

3) Research Organization

A virtual laboratory needs to be set up to promote the collaboration of existing research organizations (industry, academia and the government) under the strong leadership of a leader. A research organization at the same time, the education of key researchers should be carried out through such research activities.

1 序

1.1 背景と目的

高度ネットワーク社会を迎え、地球環境保全とエネルギー消費節減の視点、提供するサービスの高品質化の視点、さらに、産業技術の国際競争力の視点にたつとき、社会、産業、家庭を含むあらゆる環境で情報インフラとしてサービスを提供する様々なシステム/ネットワークにおける飛躍的な「低消費エネルギー化」あるいは「低消費電力化」を戦略的かつ総合的に推進する必要があるとの認識から、2004年10月29-30日に、「超低消費電力システム」を実現するための基礎的研究分野としてどのようなテーマが重要であるかを明らかにし、これらの重要研究テーマを推進するための挑戦課題・推進方法などの明確化を目的として、異なるシステム階層分野から専門家が参加して議論を行うワークショップを開催した。

その結果、高度ネットワーク社会の情報インフラ(ネットワーク、システム、機器)が、その機能、環境、ユーザーに応じて、要求されるサービス品質 (Performance & Dependability) の提供に必要なかつ十分なだけのエネルギーあるいは電力消費量を自律的、適応的に維持するような情報システム管理技術の確立を目指すべきであり、そのために、情報システムのあらゆる階層(応用/サービス、アルゴリズム/SW・HW 分割、プロトコル、OS、コンパイラ、マイクロアーキテクチャ、クロック分配管理、Vdd&周波数制御、回路、テクノロジー/デバイス)で総合的なエネルギー/電力消費管理を行い、10年後に最終的なサービスレベルで現行レベルの1000倍のエネルギー/電力削減(同じ情報処理を行うのに必要なエネルギーが1/1000)の達成を目標とした研究開発を行うべき、との提言がなされた。

このワークショップでの議論を補完するため、米国において情報システムの超低消費電力化へ向けた研究プロジェクトを活発に推進しているいくつかの代表的な研究機関を訪問し、そのプロジェクトの現状と狙い、その背後にある科学技術戦略と将来の方向性などの調査を行った。この訪問調査の目的は、訪問する研究機関の事情に応じて多少異なるが、概ね共通的には

- a) どのような視点で低消費エネルギー化/低消費電力化を将来の重要技術と捉えているのか？
- b) 何を低消費エネルギー化/低消費電力化実現のための重要な要素技術、研究項目と考えているのか？
- c) 目標達成のためにどのようなアプローチ、戦略をとっているのか？
- d) 現状はどこまで達成されているのか？
- e) 異なるシステム階層(サービス、ソフトウェア、アーキテクチャ、デバイスなど)、異なる組織、がどのように連携し、どんな研究体制をとっているのか？
- f) 成果をプロジェクト内でどのように評価するのか、また外部からどのような形で評価されたいと考えているのか？

などの質問に対する回答を可能な範囲で調査することとした。

1.2 訪問メンバー

氏名	所属 / 役職	担当分野
南谷 崇	東京大学 先端科学技術研究センター 情報システム大部門 教授	全体コーディネータ
佐藤 三久	筑波大学システム情報工学研究科 計算科学研究センター 教授	システム/ ソフトウェア
松岡 聡	東京工業大学 学術国際情報センター 教授	システム/ ソフトウェア
安浦 寛人	九州大学システムLSI研究センター設計技術研究部門/ 九州大学システム情報科学研究院情報工学部門 教授	アーキテクチャ/ VLSI 設計
吉本 雅彦	神戸大学工学部情報知能工学科 教授	アーキテクチャ/ VLSI 設計
古山 透	株式会社東芝セミコンダクター社 SoC 研究開発センター センター長	デバイス/ 回路
櫻井 貴康	東京大学 国際・産学共同研究センター 教授	デバイス/ 回路
黒田 忠広	慶應義塾大学理工学部電子工学科 教授	デバイス/ 回路

注) 所属/役職は当時 (2005年3月)

古山氏は、都合により参加中止。

1.3 訪問先

No.	機関名	訪問日	訪問者名(敬称略)
1	NSF	2005年3月25日	南谷, 黒田, 丹羽
2	DARPA	2005年3月25日	南谷, 黒田, 丹羽
3	IBM Watson	2005年3月28日	南谷, 黒田, 櫻井, 安浦, 吉本, 佐藤, 松岡, 丹羽
4	MIT	2005年3月29日	南谷, 黒田, 櫻井, 安浦, 吉本, 佐藤, 松岡, 丹羽
5	UCB CITRIS	2005年3月31日	南谷, 櫻井, 安浦, 吉本, 佐藤, 松岡, 丹羽
6	INTEL	2005年4月1日	南谷, 櫻井, 安浦, 吉本, 佐藤, 松岡, 丹羽
7	IPDPS	2005年4月3～5日	佐藤, 松岡



1.4 執筆者一覧

南谷 崇 1 序, 2.1 NSF, 2.2 DARPA, 4 まとめ
佐藤 三久 2.3 IBM, 3.1 システム・ソフトウェア
松岡 聡 2.7 IPDPS, 3.1 システム・ソフトウェア
安浦 寛人 2.5 UCB CITRIS, 3.2 アーキテクチャ・VLSI 設計
吉本 雅彦 2.4 MIT, 3.2 アーキテクチャ・VLSI 設計
櫻井 貴康 2.6 INTEL, 3.3 デバイス・回路
黒田 忠広 3.3 デバイス・回路
丹羽 邦彦 Executive Summary

2 サイトレポート

2.1 NSF

訪問先 : National Science Foundation, CISE

4201 Wilson Boulevard, Arlington, VA 22230

訪問日時 : 3月25日(金) 9:30—11:45

訪問目的

米国の科学技術研究の主要な Funding Agency の一つである NSF (National Science Foundation) における情報科学/情報工学部門 CISE (Computer & Information Science & Engineering) のプログラムディレクタとの面談によって、ULP 関連プロジェクトの実施状況の調査を行うこと。

NSF の概要

NSF は基礎科学研究振興のため 1950 年に議会によって設立された Funding Agency である。年間予算 55 億ドルで、全米の大学に対する連邦政府出資の予算の約 20% を占めている。自然科学、情報科学、社会/人文科学の分野の、主として個人研究や比較的小さなグループ研究の提案に対して、平均 3 年間の研究助成を、厳格な評価システムによる審査で、毎年 1 万件採択している。

NSF には以下の 7 つの研究プログラム部門がある。

- 1) Biological Sciences (BIO)
- 2) Computer and Information Science & Engineering (CISE)
- 3) Education and Human Resources (EHR)
- 4) Engineering (ENG)
- 5) Geosciences (GEO)
- 6) Mathematical and Physical Sciences (MPS)
- 7) Social, Behavioral and Economic Sciences (SBE)

今回訪問したのは上記 2) の CISE で、以下のサブ部門から成っている。

- 1) Computing and Communications Foundations (CISE/CCF)
- 2) Computer and Network Systems (CISE/CNS)
- 3) Information and Intelligent Systems (CISE/IIS)
- 4) Shared Cyberinfrastructure and Research (CISE/SCI)

今回の訪問・面談への出席者は以下の通り

NSF 出席者 :

Dr. Peter A. Freeman, Assistant Director for CISE : Georgia Institute of Technology の Professor, Dean から 2002 年 5 月に着任

Dr. Michael J. Foster, Division Director of CCF

Dr. Helen Gill, Program Director, Computer Systems Cluster (CISE/CNS) :

NSF の前は DARPA の Program Manager, その前は MITRE
Dr. Carl E. Landwehr, Program Director, Computer Systems Cluster (CISE/
CNS): University of Maryland を兼務
Dr. Sankar Basu, Program Director, Foundations of Computing Processes :
IBM Watson Research (7 年間) から転身, その前は大学。
And Artifacts Cluster (CISE/CCF)
Dr. Peter Varman, Program Director, Foundations of Computing
Processes and Artifacts Cluster (CISE/CCF)
Dr. Suzanne C. Iacono, Program Director, Social Informatics (CISE/IIS)
当方出席者: 南谷, 黒田, 丹羽

面談調査の概要

訪問の趣旨, JST の紹介, これまでの経緯を説明した後, 以下のような項目に関し
て面談調査を行った。

- 1) 米国で ULP 関連の研究を行っている主な大学, 研究者, 重点テーマ
UC Berkeley (Jan Rabaey), sensor network
Harvard Univ. (David Brooks): Micro-architecture-level Power Simulation
Cornell Univ. (David H. Albonese): Adaptive Techniques
Duke Univ. (C.S. Ellis, C.Gardner): Mili-Watt Project
Univ. Arizona (Rajiv Gupta): Communication
Princeton Univ (Li-Shiuan Peh): Interconnection networks
CMU (Rob Rutenbar): CAD, (Copen Goldstein) nano-scale subassembly
Univ. Colorado (Rick Han): Mobility-Aware, Secure, and Low Power Wireless
Sensor Networks
Georgia Tech (David Anderson): Reconfigurable Analog
Princeton University (Wayne Wolf)
North Carolina: (研究者不明) Dynamic Scheduling
Nebraska Univ.: (研究者不明) Power modeling
Texas A & M: (研究者, テーマ不明)
MIT: (Anantha Chandrakasan) sensor network
Univ. of Michigan (Fanam Jahanian) dependability
他にも www.nsf.gov で low power で検索すれば情報が集まる。(実際, 1850 件が
出てくる)
- 2) ULP 関連プロジェクトの状況
 - ・組み込み領域では, 動的電圧/周波数制御の研究が活発である。
 - ・現在実施中のプロジェクト, 現在査読中の提案書に, かなりの ULP 関連研究があ
る。NSF のウェブサイトにはこの分野の研究助成の情報が掲載されている。

- ・現在査読中の申請の中にはシステムソフトウェアからのプロポーザルもある。
- ・VLSI 設計関連のプロポーザルの 20% が低電力設計。今年は組込みシステムにおける低電力化に一層関心が集まっている。
- ・VLSI 全体で 6 百万ドルの助成金が 15 プロジェクトに提供されている。
- ・平均助成金額は、1 プロジェクト当たり 30 万ドルである。
- ・記憶装置の消費電力制御も重要テーマである。
- ・SRC (Semiconductor Research Corporation) の Ralph Cavin も低電力化に強い関心を持っている。
- ・MIT の Center for Bits and Atoms の Neil Gershenfeld の研究プロジェクトもある。
- ・デバイスとソフトウェアが連携する研究もある。組込みシステムでは特に多い。分野が違ふと言葉も違ふので難しい。
- ・ファンディング期間は普通 3 年だが、階層がいくつにもまたがる研究 (ULP など) は 3 年では短いのではないか、との議論は NSF 内部でもある。重要なものについてはもっと長くファンディングする制度を現在の CISE Assistant Director の Freeman が 3 年前に NSF に来て作った。

3) NSF の役割

- ・大部分はボトムアップ型の研究支援で 3 年間のプログラムが多い。
- ・助成額は 3 年間で 30 万ドル程度。全体予算は OMB, OSTP と協議して決まる。
- ・トップダウンの優先研究分野の研究支援は、4~5 年間で最大 1500 万ドルまで。優先研究分野を決めるのは NSF 全体の調整委員会 (coordinating committee) であり、メンバーは senior management group。IT は、ほぼどのエリアにも関係している。
- ・年間数万件程度の研究提案から 1 万件程度を採択。提案募集から採択までに 6 か月かかる。審査はパネルが行う。各提案を最低 3 名、標準的には 4 名の審査員が査読する。10 のパネルが 25 件の提案を審査する。
- ・NSF の重要なミッションは長期的な研究のサポートである。
- ・探索型研究 (exploratory research) に対するファンディング制度、最大 2 年間、10 万ドルまでで、件数は少ない。
- ・企業からのプロポーザルは知的財産権の問題が絡んでむつかしい。NSF は利益を追求する組織にはファンディングできない。
- ・ULP は産業界との連携の多い分野。基礎的な研究にはファンド可能。
- ・情報技術分野に毎年約 3 億ドルを助成している。

4) 評価方法

- ・重要分野の決定は、NSF のプログラム・ディレクタの会議、幹部の会議などを経て決まる。

プログラムオフィサー (PO) はほとんど PhD で、審査員の選定 (論文共著者は資格なし)、採否提言、助成金の配分と 管理運営などに責任を持っている。また、アカデミックコミュニティとのパイプを持って、その分野を良く知っている。

- ・ 審査員は 1 プロポーザル当たり 3, 4 名。大学から 2/3, 企業および政府機関から 1/3 の割合になっている。ボランティア活動であり、給与は出ない。交通費などの実費のみ。
 - ・ 研究プロジェクトの評価は、パネルメンバーによる、サイト訪問とピア・レビューによってその研究の Intellectual Merits を評価する。すなわち、1) 知の創造, 2) 教育波及, 3) 社会貢献, の 3 つが評価対象。論文の数ではない。
 - ・ 2 年終了時に 2 日間のサイト訪問で成果を評価し、3 年目以降の支援を判断する。サイト訪問を行うのは大きなプロジェクトのみ。訪問チームは 15 名程度。1.5 日のレビュー, 0.5 日のオンサイト報告会などを行う。
- 5) 今後、情報技術分野で重要になるとと思われる技術
- ・ 組込みシステム, コンフィギュラビリティ, パーベイスブコンピューティング/ネットワークなど。Nano-scale Technology, Computational Technology, Biology-inspired など重要。
 - ・ NSF はナノテク分野へのファンディング額では大きなシェアを占めている。
 - ・ 量子コンピューティングへのファンディングは少ない。
 - ・ ソフトウェアには柔軟性が要求されるだろう。
 - ・ ソフトウェアとハードウェアの収斂も重要。
 - ・ 離散系と連続系とハイブリッドシステムも重要。
 - ・ Super conductivity の今後の可能性については、すでに industry がシリコン技術のインフラを作ってしまったっており、今後 15 年, 20 年は捨てるようとはしないだろうから、むつかしい。

その他

NSF の各研究プログラム部門で、管理運営、助成金配分、分野決定、審査員の選定、採否提言などに責任を持っている。

プログラム・ディレクターやプログラム・オフィサーは、ほとんど全員 Ph.D を持つ専任、あるいは兼任 (パートタイム) の職員であり、かなりの時間を割いて、事前審査、事後評価を行っていると思われる。この点が、我が国の科研費審査などとはかなり異なる印象がある。

2.2 DARPA

訪問場所 : Science & Technology Associates

4100 N. Fairfax Drive, Suite 910, Arlington, VA 22203

訪問日時 : 3月25日(金) 14:00—16:15

出席者 :

Robert Graybill, Program Manager, DARPA/IPTO

Jon C. Hiller, STA Senior Program Manager (User coordination, Applications)

当方 : 南谷, 黒田, 丹羽, 生川浩史 (在米大使館参事官)

訪問目的

2000年から5カ年計画でPAC/C (Power-Aware Computing and Communications) プログラムを先進的に実施したDARPA/IPTOのプログラムマネージャー Robert Graybill氏との面談によって、PAC/Cプログラムの推移と成果を聞き取り調査することを目的とした。

DARPAの概要

DARPA (Defense Advanced Research Projects Agency) は、DoD (Department of Defense) の中央研究開発機関であり、軍事利用を目的とした国防省の基礎研究、応用研究を実施することを使命としている。今回訪問したIPTO (Information Processing Technology Office) は、国防省の軍事的優位を確保するために必要なネットワーク、コンピューティング、ソフトウェア技術の開発に焦点を当てた技術局であり、最近実施したいくつかの研究テーマの一つがPower-Aware Computing & Communicationsである。

PAC/Cプログラム

PAC/C (Power-Aware Computing and Communications) プログラムは、“Just In time Power” を基本概念として、すべてのシステムレベルにおけるエネルギー管理を通じて、必要最小限の電力で可能な最大の要求性能を達成するシステム技術の開発を目指して、2000年から5カ年計画で実施された。

PAC/Cの状況

- ・2000年5月 第1回PI Meeting を開催
- ・2002年 : 単行本 Power Aware Computing (Ed. By Robert Graybill and Rami Melhem) を Kluwer Academic/Plenum Publishers) から出版
- ・Phase 1 (2.5-3年) : 各階層で2X-900Xのpower削減のアイデア提出 (15PI : 大学)
- ・Phase 2 (2-2.5年) : デモ用サブシステムの提示 (5PI : 防衛産業) 各年の予算規模はほぼ同じ (Phase 2が若干高い)
- ・2005年までにほとんど終了

PAC/Cの全体ゴール

- 1) 従来のアプローチと比較して、エネルギー・遅延積又は性能/電力で100Xから最大1000X（背伸び目標値）まで消費電力を削減する。段階的に、2002年第3四半期（フェーズ1の終了時点）に10Xの削減し、2005年第1四半期（フェーズ2の終了時点）に100Xの削減を目指す。
- 2) 個別の電力制御技術を包括したソフトウェア/ハードウェアの統合化ツールを提供する。
- 3) 軍事用途向けの低消費電力化技術を商用へ移転させるパスを提供する。
- 4) システムからチップまでの研究者のPower-aware Communityを創る。

PAC/Cの全体計画

全体をフェーズ1（2000/3Q-2002/2Q）とフェーズ2（2002/3Q-2005/1Q）に分けた。フェーズ1では、システムのどのレベルで電力削減が可能かを探り、必要な技術開発のアイデアを得るために、15大学に研究を委託した。フェーズ2では、5つの防衛関連企業に小規模プロトタイプを試作とデモを委託した。

5つの企業と試作システム、最終達成目標は、次の通り。

- 1) Vitronics社：Dismounted soldier, 電力削減50%
- 2) Rockwell Collins社：Joint Tactical Radio System, エネルギー削減50%
- 3) BAE Systems社：Space Applications, 電力削減32X
- 4) Raytheon社：Sensor Fields, 電力削減400X
- 5) ISI/USC社：Distributed Sensor Arrays, エネルギー削減1000X

フェーズ1の結果

（フェーズ2の試作に採用されたベストアイデア）

各階層毎に、エネルギー・遅延積あるいは性能/電力量の指標で以下の削減率が達成された。

- 1) ミッションレベル：最大5桁の削減
- 2) サブシステム/アルゴリズム：20Xから90X
- 3) ソフトウェア/コンパイラ：2Xから10X
- 4) オペレーティングシステム：2Xから10X
- 5) アーキテクチャ/デバイス：6Xから22X

具体的には、以下のような大学で注目すべき結果が示された。

- ・ UC Irvine：コンパイラ制御によって、2-4Xのエネルギー削減を達成。
- ・ U. Pittsburgh：OSの電力最適化スケジューリングによって2-10Xのエネルギー削減を達成。
- ・ Notre Dame：MORPHアーキテクチャによって、22Xの電力削減を達成。
- ・ U. Rochester：周辺で2.5-14X、マイクロプロセッサレベルで5Xの電力削減を達成。

- ・ CMU の Power-aware real-time OS は、フェーズ 2 における各社 (Vitronics, ISI, Raytheon, Rockwell, BAE, Timesys Linux/RT) の試作システムに採用された。
- ・ MIT の Power-aware OS は、Strong ARM 用の Power-aware OS として、eCOS (オープンソースの組込み用フリー OS) を修正して実現された。

フェーズ 2 の結果

委託契約した 5 社の最終デモの結果は以下のとおりである。

- ・ Vitronics 社 (Dismounted soldier) : 2004 年 11 月に、従来の地上戦士システムに比べて、50% の電力削減を達成するデモを行った。
- ・ Rockwell Collins 社 (Joint Tactical Radio System) : 2004 年 11 月に、JTRS のハードウェア・テストベッドとシミュレーションによって、従来の JTRS 開発システムに比べて 58% のエネルギー削減の達成をデモした。
- ・ BAE Systems 社 (Space Applications) : 2004 年 12 月に、マルチプロセッサ・ハードウェアとアルゴリズムによって従来のインプリメンテーションに比べて 32X の電力削減を達成した。
- ・ Raytheon 社 (Sensor Fields) : 2004 年 12 月に従来のセンサーシステムに比べて、400X の電力削減を達成した。
- ・ ISI/USC 社 (Distributed Sensor Arrays) : 2004 年 12 月に 1 mW のセンサー・ノードを実験室デモで示した。フィールド・デモを 2005 年 4 月に予定している。

PAC/C プログラムの総括

- ・ Power Aware Computing は、今や、第一級のシステム設計基準の地位を確保したと言える。
- ・ Power Aware Computing の研究コミュニティが形成された。
- ・ 革新的な Power Aware 技術とシステム解析の環境が開発された。
- ・ サブシステム試作による成果デモと国防省関連企業、研究所への技術移転に成功した。
- ・ 電力/エネルギー削減の余地は、仕様記述、アルゴリズム、プロトコルレベルなどシステム階層の上位レベルが最も大きいことが具体的に示された。
- ・ 大学で生まれる技術アイデアのプロトタイプ試作に興味ある企業を紹介するテクノロジーブローカー (USC/ISI) が PAC/C プログラムでも重要な役割を果たした。このような組織は USC くらいにしかないユニークなもの。以前 Syracuse にもあったが現在は独立している。
- ・ 当初に目標として掲げた Tool Framework はできていない。今後の計画もない。
- ・ PAC/C の成果は今後、Peta-scale Computing などに活かされることになると思われる。
- ・ PAC/C の成功の鍵は、いきなり application に行かないで Phase 1 で個別技術をよく検討したからだと考えられる。

PAC/C のウェブページは、<http://www.darpa.mil/ipto/programs/pacc/>

2.3 IBM

IBM BlueGene/L の調査

IBM Watson Research Center (Yorktown Heights) を訪ね、BlueGene/L の調査を行った。BlueGene/L は、現在スーパーコンピュータのランキングである TOP500 で1位の最高性能を達成した超並列システムである。PowerPC マイクロプロセッサを用いて低消費電力化し、高密度に実装されたシステムで、サブペタフロップスをすでに達成し、高性能計算システムにおける低消費電力化技術の重要性を示した。

まず、プロジェクトの概要、アーキテクチャ・ハードウェアに関して、Dr. George Chiu から説明を受けた。BlueGene/L プロジェクトは、99年から5年間で100 M\$のプロジェクトで、主にたんぱく質の畳み込みなど計算科学による大規模なシミュレーションにより諸問題を解決することを目的にスタートしたものである。2004年5月には、4 racks 4095 ノード（プロセッサは 500 MHz で動作）が稼動し、11.68TFlops を達成した。これは当時の top500 のランキングで4位であった。2004年の11月には16 racks 16,392 ノード（プロセッサは 700 MHz で動作）のシステムが完成し、70.72 TFlops について top500 で、地球シミュレータを抜いて1位の記録を達成した。2005年3月には、32 racks 32,784 ノードで135.3TFlops までの性能をしている。



BG/L at Watson Lab, IBM

それまでの1位であった地球シミュレータとの比較を表2.1に示す。

地球シミュレータとの比較で、注目すべきは消費電力当たりの性能とその設置面積である。特に強く指摘されたのは、1 rack 当たりの演算性能である。すなわち、rack 当たりの冷却能力は限界があり、rack 当たりに投入できる電力は制限がある。そこで、消費電力を抑えたプロセッサを高密度実装したほうが、少数の消費電力の高い高性能

なプロセッサを用いるよりもラック当たりの性能を達成できる。ラック当たりの性能とノード当たりの性能をそれぞれ、 F_{rack} , F_{node} , ラック当たりの消費電力, ノード当たりの消費電力を P_{rack} , P_{node} とすると,

$$F_{\text{rack}} = (F_{\text{node}}/P_{\text{node}}) * P_{\text{rack}}$$

となる。 P_{rack} は限界があるため、 $F_{\text{node}}/P_{\text{node}}$ を大きくすることが目的になる。

$$(F_{\text{node}}/P_{\text{node}}) = (\text{Flops}/\text{clk}) * f/C * V^2 * f = \text{Flops}/\text{clk}/C * V^2$$

したがって、電圧 V を下げ、クロック当たりの演算性能を上げることが有効である。BlueGene/L では、これを組み込み向けの PowerPC を enhance することで達成している。

表2.1 地球シミュレータとの比較

	BlueGene/L	地球シミュレータ
ピーク性能 (TF/s)	367	40.96
総メモリ量 (TBytes)	32	10
設置面積 (footPrint,sq ft)	2,500	34,000
消費電力 (MW)	1.5	6~8.5
コスト (M\$)	100	400
ノード数	65,536	640
クロック周波数 (MHz)	700	500

図 2.1 に、性能当たりの電力の比較を示す。

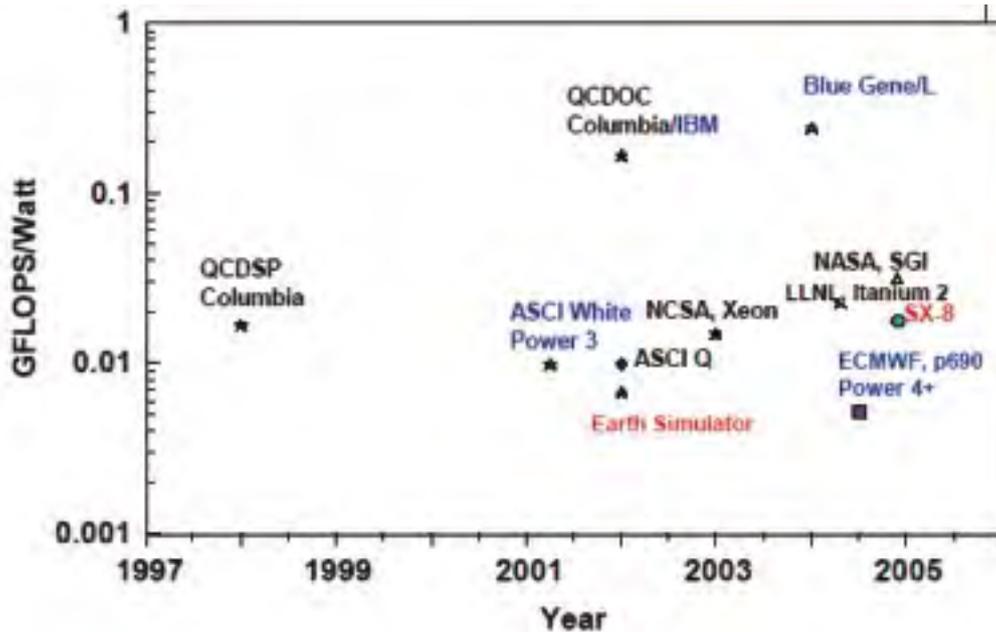


図2.1 高性能プロセッサの消費電力当たりの性能比較 (資料提供 IBM)

図 2.2 に BlueGene/L の構成を示す。

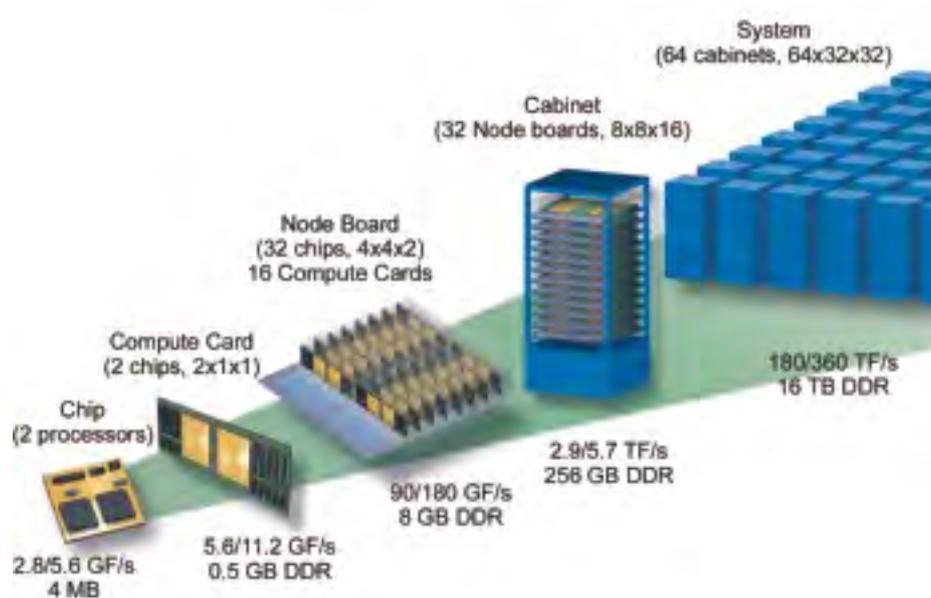


図2.2 BlueGene/L の構成 (資料提供 IBM)

チップは、PowerPC をコアに用いた dual core のチップで、これを乗せたものが Compute Card と呼ばれる単位で、2つのチップと9つの DRAM からなる。16 カードをボードにマウントしたものが Node Board と呼ばれている。ラック当たり、32 のノードボード、システムは 64 ラックからなる。図 2.3 にチップのダイアグラムを示す。

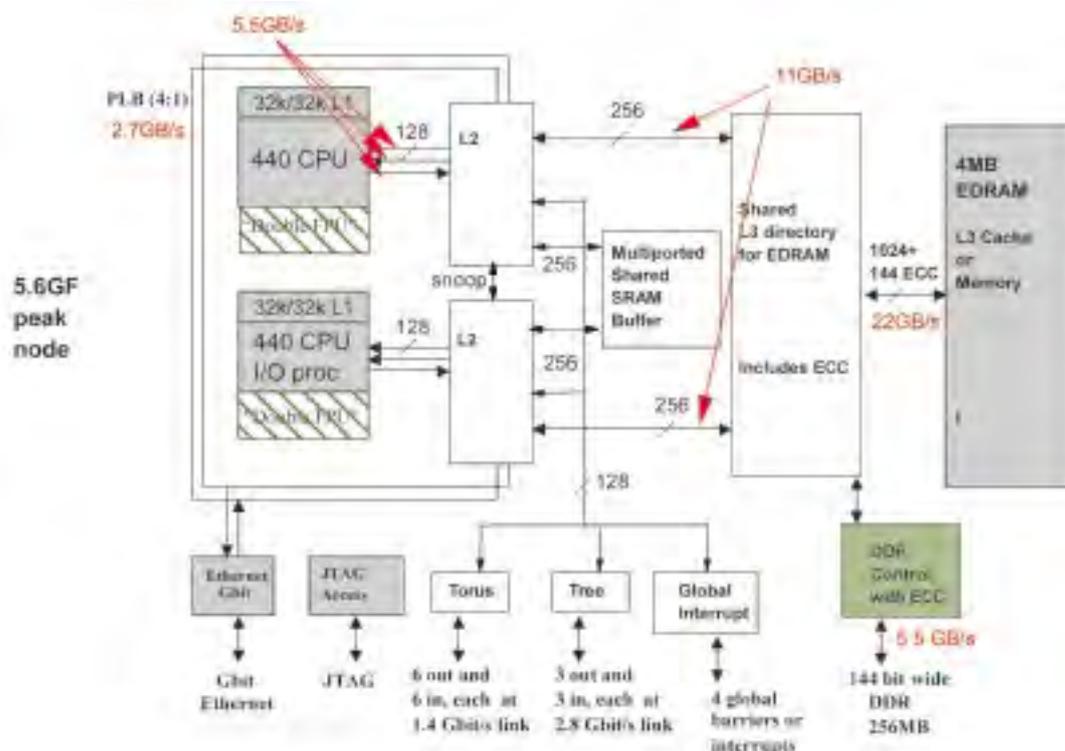


図2.3 チップダイアグラム (資料提供 IBM)

チップは dual core, 700 MHz, 15 W, 11 mm 角, 1.5 V と 2.5 V (2.5 V は外部 DRAM とのインタフェース), 全 474 pins で信号は 328 pins。0.13 μm bulk CMOS DRAM 混載技術を用いて, 混載 DRAM は 4 MB の L3 キャッシュに用いられている。DRAM 混載が SOI を使わない理由である。なお, 電力は 15 W/Chip と大変低いものになっている。

core の中にある L1 (命令データそれぞれ 32 K) キャッシュ間の coherent はサポートしていない。L2 キャッシュ間には snooping の機構がある。L3 キャッシュは 4 MB (175 MHz-16.xGB/s, 30 cycle)。外部 DRAM とのデータ転送幅は, 6.4 GB/s (レーテンシ 80 cycle) である。メモリと通信に ECC/CRC をつけて, 信頼性を高めている。

浮動小数点ユニットは core あたり 2 つあり, ノード当たりの演算性能は 5.6 GFlops (0.7×8) と浮動小数点演算性能は高い。複素数演算のための SIMD の命令がある。特別な低電力技術は採用していないが, 電力当たりの性能は相当高くなっている。

ノード間を接続するネットワークは, 隣接転送用のトーラスネットワークと同期, reduction 演算用の global ネットワークの 2 つがある。トーラスネットワークは, 隣接に 1 μsec , 遠いところでも 5 μsec 。MPI レベルでも 13 μsec のレーテンシを達成している。全体のネットワーク性能では, 1.4 TB/s bisection バンド幅を達成している。Global Tree は, 2.5 μsec one way., Global barrier は, 1.3 μsec の性能をもつ。このネットワークの性能が高いスケラビリティを与えている。なお, ネットワークのノード当たりの消費電力は 2 W 程度となっている。

数万の構成要素を持つ超並列システムでは, スケラビリティとともに信頼性が問題になる。メモリを半田づけしたり, AC-DC ユニットの 2 重化するなど, 実装面でも信頼性には注意が払われている。故障は, フルシステムでも 8 日に 1 回程度との報告があった。

引きつづいて, Manish Gupta 氏から, ソフトウェアシステムについて説明があった。既存のソフトウェアと互換性を提供するために, MPI などの既存 API が提供されているが, システムの性能, スケラビリティを引き出すためにその実装については新規に行った。

ノードは IO ノードと Compute ノードに分かれており, IO ノードには full linux, Compute ノードにはなるべく多くのメモリが利用できるように CNK と呼ばれる特別な最低限の機能を提供するカーネルが用いられている。外部との IO は, IO ノードを経由して行われる。仮想メモリはサポートしているが, Disk がないため swap は禁止している。ちなみに, Compute ノードで使えるメモリは 511 MB/node となっている。

図 2.4 にソフトウェアのシステム構成を示す。

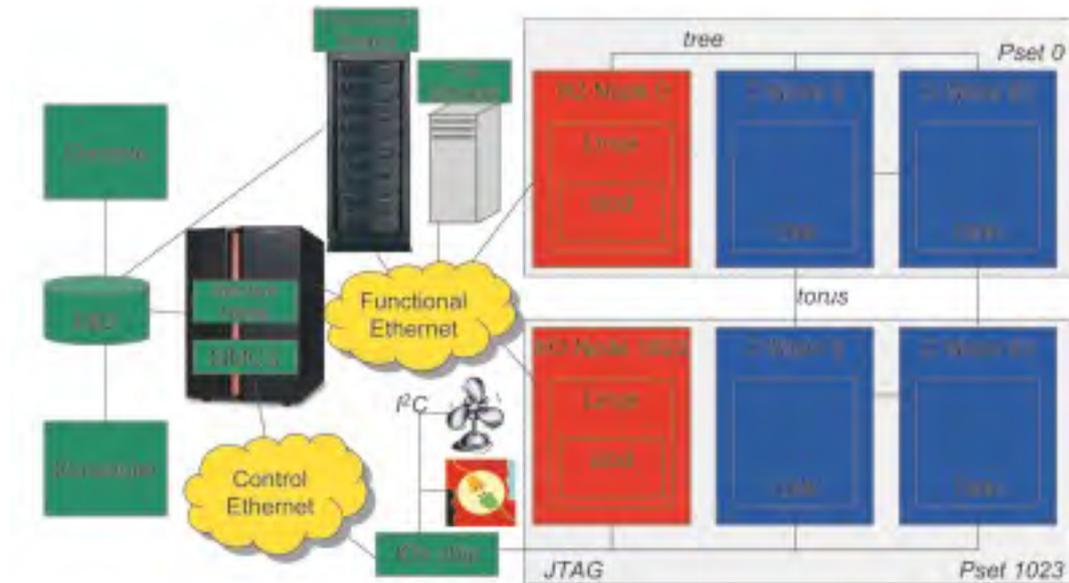


図2.4 ソフトウェアシステム構成 (資料提供 IBM)

以下にその概要をあげる。

- ・プログラミング環境として、MPI は通常のもので使えるが、トーラスのトポロジを使う場合は、communicator が提供されていて、それをつかうことによりネットワークを生かしたプログラミングができるようになっている。collective communication に関しては、ネットワークの機能を活用する専用の実装を提供している。
- ・compute node の dual core の使い方は、3つのモードを用意。1つの計算、1つを通信に用いるモード、2つを独立なプロセスでつかうモード、2つをSMPとしてつかうモード。ただし、最後のモードに関しては coherence の問題があるため、推奨していない。アプリケーションによって使い分けをしている。
- ・compute node に関しては、FPU の SIMD を用いるためのベクトル化コンパイラを検討している。alignment をするために pragma を提供。ESSL として科学技術計算ライブラリを提供。

特に、ソフトウェアからの低消費電力化の工夫はされていないが、膨大な計算要素を持つシステムに重要なスケーラビリティの確保には注意が払われている。BlueGene/L のアプリケーションとして、様々なものがポータリングされていて、非常に良いスケーラビリティを達成していることが示された。これは、もちろん、ネットワークの性能が高いことが理由であるが、それを生かすソフトウェアも重要な要素になっている。

BlueGene/L の特徴は、比較的消費電力が低く電力当たりの性能を高めた PowerPC プロセッサを構成要素とし、高密度に実装することにより、数万の計算要素を集積可能にしたことにある。そこでは、要素数が膨大になるために、全体の並列システムと

しての性能を達成するためにはスケーラブルなネットワークが重要になる。また、システム全体の規模に対して、個々の計算要素の規模が小さくなるため、プログラミング上の工夫が必要となる。これらの問題は低消費電力化とは直接は関連していないものの、低消費電力化技術により可能になるシステムにおいて解決しなくてはならない問題である。つまり、低消費電力化による高性能化とは slow & parallel であり、相対的に能力の低い要素を大量に集積してシステムを構成することであり、根本的な問題点であるといえよう。また、構成要素が膨大になるために、信頼性は非常に重要な問題であり、BlueGene/L ではそれを実装技術である程度確保できているようであるが、これからのシステムではソフトウェアからアーキテクチャ、ハードウェア全体での高信頼性技術は不可欠の課題である。

2.4 MIT

訪問先：Massachusetts Institute of Technology (MIT)

Room 38-107, Cambridge, MA 02139

訪問日時：3月29日(水) 13:00—17:00

出席者：

Dr. Anantha Chandrakasan, Professor

Dr. Krste Asanovic

Dr. Rahul Sarpeshkar, Associative Professor

Dr. J.H. Lang, Professor

Dr. Hae-Seung Lee, Professor

Dr. Andrew Wang, Professor

Dr. Charles Sodini, Professor

当方：南谷，丹羽，安浦，黒田，佐藤，松岡，桜井，吉本

MIT側出席者によるプレゼンテーションとデモによる技術紹介を受ける形でプログラムが組まれた。以下，各プレゼン内容をまとめる。

[1] Micro-power wireless integrated circuits and systems

By Dr. Anantha Chandrakasan

Chandrakasan教授は現在下記の3つのプロジェクトを進行中である。

1. Micro power sensor network, by DARPA, PAC/C project
2. Ultra Wideband Communication, by National Science Foundation
3. 3-D Integration, by DARPA

そのうち，1.に重点を置いた説明とデモを受けた。

1) μ AMP (μ -Adaptive Multi-domain Power aware Sensors) プロジェクト

- ・上記1.のセンサーネット研究を行うプロジェクトは， μ AMPプロジェクトといい，データの取得，処理，制御，通信，電力生成の全ての機能を集積したセンサーノードを複数配置して，ネットワークでモニタリング，制御をおこなうワイヤレスセンサーネットシステムを研究している。応用は，軍事，セキュリティ，ホーム応用から医療，産業機械診断，自然および都市環境モニタリングなど幅広い。当初DARPAプロジェクトにて軍事応用に研究を進め，現在，民需対応に展開中である。具体的には，Industrial Plants and Powerline Monitoring (ABB)，Operating room of the future，Target Tracking & Detection (ARL)，Location Awareness (HP)，NASA/JPL sensorwebsなどである (図2.5)。

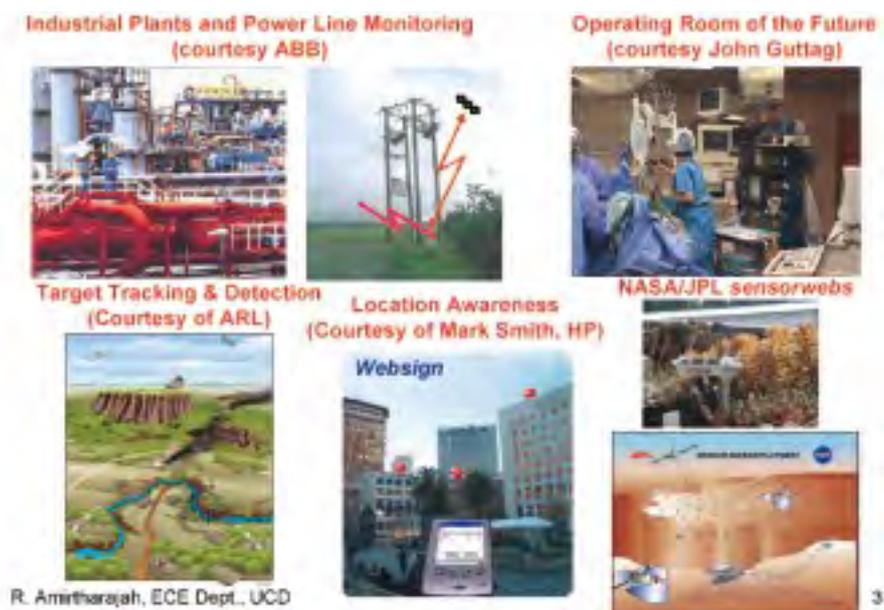


図2.5 μAMPプロジェクトのターゲット応用分野 (MIT プレゼン資料より)

- ・ 今後5年間の目標は、センサーノードの全構成機能を MEMS と CMOS の 3D 構造にて1モジュールに集積することである (図2.6)。センサーノードに要求される性能は、Average power ($10 \mu\text{W}$), Distance ($<10 \text{ m}$), Latency ($5 \text{ ms} \sim 15 \text{ ms}$), Data-rate ($<10\text{K bps}$) である。
- ・ これを実現するために、全設計階層での革新をおこなう。すなわち、API, MAC レイヤプロトコル, アーキテクチャ, 回路, デバイスを縦に通した協調設計により、消費エネルギーと品質のトレードオフをとる。



図2.6 センサーノード機能の集積 (MIT プレゼン資料より)

2) 設計技術関連

- ・ Power-Aware 設計とは、エネルギー消費を動作条件に適合させる設計を言う。そしてセンサーノードのすべての技術要素をその設計指針に基づき設計する。デバイス, 回路だけではなく、マイクロセンサーのソフトウェアや通信プロトコルを電力セービングに積極的に寄与するように設計する。そのために通信方式にマルチホップを採用し (図2.7), さらなる電力効率化のために特性距離を考慮した経路制御を行っている。
- ・ マルチホップをベースにした省エネルギーのためのネットワーク経路制御アルゴリズム (LEACH-C) を開発している。クラスターによる階層的なデータ転送を行う際に、クラスタヘッドの疲弊を軽減するためにクラスタを適応的に構成するこ

とで可用時間を拡大する。

- MIT の取る消費電力の動的制御には、次の2つがある。①休止モードとアクティブモードに対応させた Dynamic Power Management (DPM), ②アクティブ状態での Dynamic Voltage Scheduling (DVS), である。動的制御を有効にかけるためには、アプリケーションから要求される通信品質とエネルギーの間のトレードオフを実行する必要がある。そのために、ソフトウェアが要求する性能に合うようにハードウェアパラメータを設定するためのミドルウェアの研究開発を実施している。(図 2.8)
- 超低電圧動作実現のために、sub-threshold logic 技術 ($V_t : 0.5 \text{ V}$, $V_{dd} : 0.25 \text{ V}$) を用いる。その場合、従来のメモリ設計では、ビット線の充放電時間がボトルネックとなるので、多段マルチプレクサを用いた設計を考案している。本技術を用いた 180 mV 動作の FFT プロセッサを試作完了し、実験室にてその動作デモを実施。 100 mV まで動作する RAM とライブラリを用いて設計し、使用プロセス技術は通常の $0.18 \mu\text{mCMOS}$ 技術を用いた。消費電力の評価により、 $90 \text{ nW}@180 \text{ mV}$ を実測している。(図 2.9)
- また、 90 nm 以降は $30\text{-}50\%$ がリーク電力なので、 Off-state-centric optimization が重要である。 90 nm の TEG での sub-threshold logic では、電源電圧の低下とともに、ダ

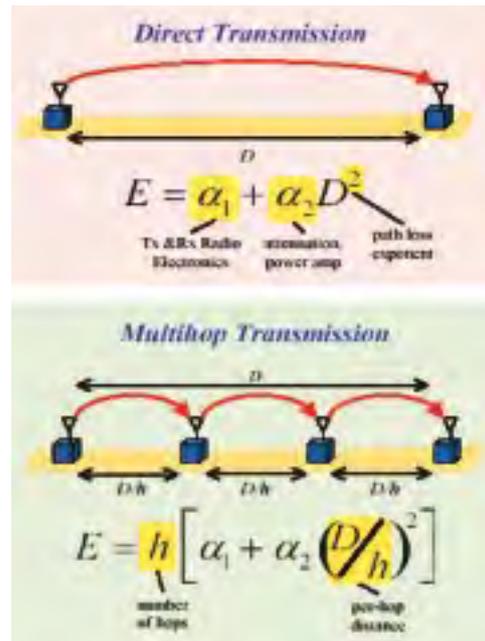


図2.7 マルチホップによる経路制御 (MIT プレゼン資料より)

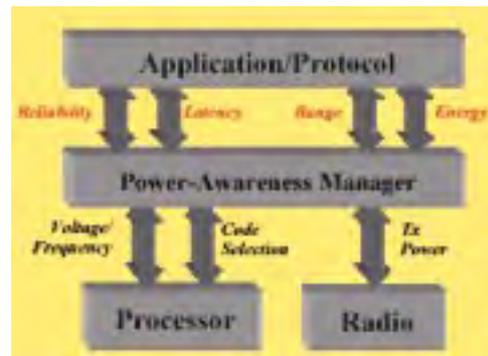


図2.8 Power-Aware Middleware and API (MIT プレゼン資料より)

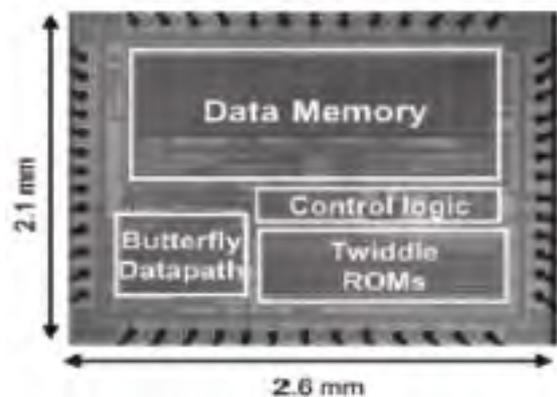


図2.9 $90 \text{ nW}@180 \text{ mV}$ の FFT プロセッサ (MIT プレゼン資料より)

イナミック電力は劇的に低下するが、極端な低電圧 (<0.2 V) でリーク電力が増加する。したがって最適電圧値が存在する。

- DSP 研究ではまずは、アーキテクチャレベルの検証設計と sub-threshold logic のライブラリ開発を併行している。その後組み合わせて超低電圧動作設計をおこなう。現時点の設計(3.8 MTr)では、16 b の 1024 点 FFT を、 $160 \mu\text{W}@100 \text{ KHz}$, by 0.18 μm で実現している。また、低消費電力 A/D 変換器 ($\sim 20 \mu\text{W}@100 \text{ K bps}$) を開発済みである。
- センサーノードの RF 回路で特に重要な特性は、Start-up cost。Start-up にかかる時間が長いと、特に小パッケージサイズで無駄なエネルギーを消費することになる。そこで、Quick aware RF 回路の開発が必須となる。
- MEMS キャパシタを用いれば、Vibration により数 μW でエネルギーを自己生成できる。したがってこれがセンサーノードの消費電力ターゲットとなっている。10 μW はキーンナンバーという。
- MIT では 90 nm センサーノードの設計を計画している。Vdd : 200~300 mV を想定しており、65 nm もありうる。

[2] Vibration-to electric energy conversion

By Dr. J.H. Lang,

- Macroscopic Moving Coil による電力生成ならベストケースで、400 μW 程度と報告されている。それに対し、MEMS Variable Capacitor なら、8.7 μW と見積もられる。
- 特に Vibration は MEMS との相性がよいので、 $\sim 10 \mu\text{W}$ 程度は通常の Vibration で実現できると考えられている。これが MIT の 1 チップセンサーノードの消費電力ターゲットを決めている。

- MEMS は、MIT/Lincoln Lab. で試作しており、応用例の第 1 世代は前述の FFT プロセッサである。

[3] Energy Efficient bioelectronics

By Dr. Rahul Sarpeshkar

- ISSCC2005 で発表された、251 μW の Analog Bionic Ear Processors の説明と Silicon Cochlea のデモがあった。
- 70-80 dB 以上の hearing loss のある聴覚障害者には、埋め込み型の cochlear が

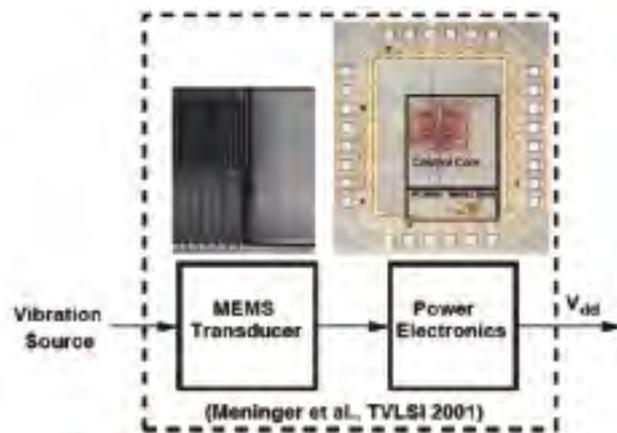


図2.10 MEMSによる自己電力生成機構 (MIT プレゼン資料より)

必要である。8-20 個の電極を用いて聴覚神経を電流で刺激する。刺激は符号化され、フィルタバンクの出力スペクトルを電極アレイにマッピングする。

- これを AD と DSP で組むと数 mW 消費するので、それで全てアナログ設計により究極の低消費電力化をはかる。
- アナログも並列化が低消費電力化のキー。Slow parallel が成功することを主張している。



図2.11 本バイオチップを埋め込む対象となる聴覚組織の構造 (MIT プレゼン資料より)

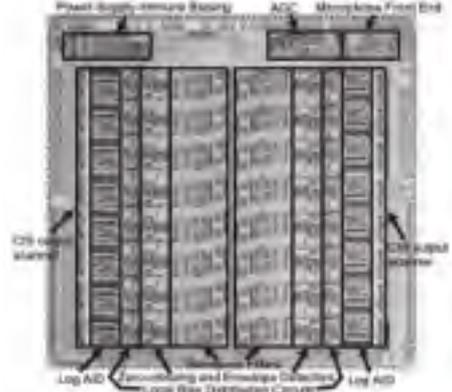


図2.12 251 μ W Analog Bionic Ear Processor (MIT プレゼン資料より)

[4] Low Power Analog/Mixed Signal Circuit Design in nano-scale CMOS

By Dr. Hae-Seung Lee,

- Scaling は低電圧とゲートリークでアナログ設計をだんだん難しくする。
- アナログ回路では、ある一定以上の SNR が要求される。信号振幅は電源電圧のスケールリングより早く低下する。信号振幅が半分になると、SNR を維持するためには容量を x4 にする必要がある。速度を維持しようとする、gm を x4 にする必要があるが、これが x4 以上の電流を必要とする。こうしてスケールリングファクタ以上に電力を増やすことになる。
- また、スケールリングに伴い、gain の低下とデバイスパラメータの不整合により、精度が低下する。
- 解決策として、デジタル同様、アナログも並列化が低消費電力の鍵となる。並列化によりゲートリークを削減できる。

[5] A simple energy model for short-range wireless transceivers

By Dr. Charles Sodini,

- センサーノードに要求される性能は、通信距離 10 m 以下、データレート 10 Kbps 以下。電池寿命は 1~5 年。(ABB Requirement)
- 広域 TX は PA (Power Amp) の消費電力が支配的。一方、短距離 TX では、RF エレクトロニクスの消費電力を考慮する必要がある。

- ・FSK なら, mod, demod の消費電力は無視できるほど小さくできる。
- ・LO (Local Oscillator) は, start-up time (120 μ s) を確保する必要がある。
- ・High Data rate では, long start-up time が電池寿命を制限し, short start-up time が PA の効率を低下させてしまう。

[6] Power-efficient architecture

By Dr. Krste Asanovic (筑波大: 佐藤先生によるメモ)

- ・現在の HPC アーキテクチャは, 実行するエネルギーを考慮していない (oblivious)。コンパイル時にわかる知識で power を reduction できるようなアーキテクチャを考えようとしている。
- ・並列性を活用しようというのは基本原理であるが, Superscalar などは動的にスケジューリングする部分がエネルギー消費をしている。
- ・提案するアーキテクチャは vector を使おうというものである。ポイントは vector の場合は, dynamic に動かすところが少ないし, predictable だから, low power の可能性があるという点である。
- ・ただし, 現在 SSE などで行われている SIMD の short vector とは異なる。これはレジスタ上のベクタ処理であり, 提案アーキテクチャは, メモリに対するベクター処理である。
- ・領域は, memory または cache に収まるところで, embedded アプリ向けである。したがって, n-half (半性能長) は, 10 ぐらいを仮定している。SPECInt95 では, 28% のコードが 8 倍加速できて, 全体として 1.3 倍となる。これは superscalar での最適化と同等である。(すこし驚き!)
- ・単なるベクトル処理だけでなく, 依存性のあるループを処理するために, thread を取り入れたアーキテクチャについて提案している。
- ・問題は dynamic に使われる電気と, メモリに使われる電力の比率である。だが, メモリに行かなければいいかもしれない。
- ・この研究は, embedded アプリ向けである。HPC の場合は内部のメモリ (キャッシュ) におさまらないため, メモリバンド幅, メモリアーキテクチャが問題になる。この場合は, 効果があると単純にはいえないが, 検討の余地はある。

まとめ

- ・MIT では, DARPA, MARCO などのプロジェクトにより, 幅広い応用領域および技術分野で低消費電力化技術研究が進行している。
- ・インプラントブルデバイス, センサーネットワーク, HPC および, それらを支える Energy harvesting, 低消費電力アナログ回路技術と層が厚い。
- ・センサーネットワークの μ AMP プロジェクトは, 5 年以内に平均ノード消費電力 10 μ W のセンサーノード開発を目指す。キーワードは,
—Power minimization across all layers of system hierarchy

- Slower is better
- Communication Centric Design
- Off-state Centric Design

なお、図面は Chandrakasana 教授ら MIT メンバーの提供による。

以上



2.5 Berkeley CITRIS

訪問先 : Berkeley CITRIS visit March 31st, 2005

訪問日時 : 3月31日(木) 8:30—16:00

訪問者 : 南谷, 桜井, 吉本, 松岡, 佐藤, 丹羽, 安浦

カリフォルニア大学側対応責任者 : Dr. Gary Baldwin : CITRIS 執行責任者

カリフォルニア大学側仲介者 : 井上隆秀

参加者 : 上記以外の参加者 (TEKES (フィンランド), インテル, NEC, セイコーエプソン, 富士通マイクロエレクトロニクス, 沖, カリフォルニア大学関係者), 詳細は <http://www.citris.berkeley.edu/events/spotlight/2005-03-31-citris-jst.shtm> で公開している。

*ワークショップ形式で開催 (プログラム)

“Challenges of Ultra-Low Power-Aware System Design in Applications for Societal Interest : From components to Societal-Scale applications.”

8:30-9:00 AM : コーヒー

9:00-9:30 AM : Opening.

自己紹介 : 全員

CITRIS 紹介 : Dr. Gary Baldwin

JST 調査団の紹介 : Prof. Takashi Nanya

9:30-11:30PM : Technical Presentations : UCB-CITRIS

Low-power, low-energy designs in wireless : Prof. Jan Rabaey

Ubiquitous Wireless (sensor) Network : Prof. Kris Pister

Design for high-performance computing : Prof. Kathy Yelick.

11:30-12:30 : Technical Presentations : JST

Device level adaptive power consumption management technologies for VLSI :

Takayuki Sakurai (U. of Tokyo)

On Circuit, Architecture, Algorithmic level co-optimization technology for very low-power Video processor core design : Masahiko Yoshimoto (Kobe Univ.)

12:30-13:50 : Working Lunch

13:50-14:50 : Technical Presentations : JST

New Social Infrastructure and Low power SoCs : Hiroto Yasuura (Kyushu Univ.)

MegaPro : Can a compactly clustered massive and dense set of commodity processors out-perform a very high end processor ? Satoshi Matsuoka (TIT)

15：00-15：30

写真撮影

デモ：Prof. Bajcsy's Tele-immersion Laboratory (475 Hearst Mining)

15：30-16：00

Baldwin 氏との懇談。総括。

* CITRIS の概要

The Center for Information Technology Research in the Interest of Society の略である。市民の生活の質の向上に影響する社会的・商業的問題に対する IT による解を学際的かつ総合的に研究する活動である。公立（州立）大学の社会における新しい存在意義を模索する活動とも言える。大学内における各学問分野間の共同研究，産業界との共同のあり方，知財に対する立場など大学の役割を問直し，新しい形態を模索している。Quality of Life に対する IT solution というのが基本コンセプトである。この中で，センサーネットワークやHPCは一つのキーテクノロジーであり，低消費エネルギー技術と最も関連が深いのでこの分野の研究者とのワークショップを設定してくれた。

第1期は2001-2005の4年間で，カリフォルニア大学の北部の4つのキャンパス（Berkeley, Davis, Merced, Santa Cruz）が参加している。50の学科から200人の教員が参加し，学生も入れると1000人以上の研究者が参加している（図2.13）。当初は，教育，危機対応・国家安全，エネルギー，環境，健康，交通の6つを大きなテーマとしていたが，その後，第3世界への援助，社会科学分野が加わって8つのテーマとなっている。CITRISは，多くの独立した研究活動を覆う傘のような仕掛けであり，各研究グループが対外的に政府や産業界などとコンタクトする場合の仲介をする数名のディレクターとスタッフだけを持っている。



図2.13 CITRIS の構成（資料提供 Gary Baldwin）

具体的なテーマの選択は，

- 1) 誰にも判り易く，納得出来る社会的重要テーマ。
- 2) 多くの機関（企業，政府機関，大学等），研究者の協業が必要なテーマ。
- 3) 政治的，宗教的配慮。

- 4) カリフォルニア大学現有の研究資源とのシナジー, 新たなモチベーションの提供。
- 5) 熱心な ‘伝道者：Evangelist’ の存在。

などを考慮して決めている。実質的には、他のファンドによる研究も包含している。参加している研究者は、電子工学・計算機科学 56%, 機械・土木・建築 17%, バイオ・医学系 17%, 社会科学系 10% と多岐にわたっている。

予算規模は、過去 4 年間で 5 億ドルで、主にカリフォルニア州政府が負担している。産業界を中心に、ファンディングメンバー (IBM, Intel, hp, Microsoft, Sun, Nortel, Infinion, STMicro, marvel, Broad Vision, Ericsson) を組織し、4 年間で各社が 600 万ドルを拠出している。各社の出資金は、完全に寄付金的な資金で、研究テーマに対する縛りは無い。また、研究成果や知財は原則公開であり、ファンディングメンバーの特権は無い。これは、大学の知財管理に対する新しい取り組みでもある。カリフォルニア大学の研究成果で、大学が利益を得たものは、過去、苺の特許 (カリフォルニア州の苺はほとんどこの特許で 2 億ドル以上の収益を挙げている) のほか、バイオ関係が数件で、情報技術ではほとんど利益を挙げていない。このような観点から、研究成果を実社会で利用させるには公開して誰にも権利を主張させないようにすることが最も効果的であるという視点にたっている。DARPA や NSF のような契約ベースの研究とこのような契約に縛られない研究資金との整合をどう考えるかというのも CITIRIS の挑戦の 1 テーマである。ファンディングメンバーの他に、11 社の準協力メンバー (4 年で 10 万ドル) と 44 社のパートナー企業が参加している (図 2.14)。



図2.14 CITIRIS の主な参加企業 (資料提供 Gary Baldwin)

参加企業のメリットとして下記のようなものを挙げている

- 1) 技術の方向や利用に関するオープンな議論の場の提供(知財と技術の非武装地帯)

- 2) 社会的重要な課題への解決策を見つける活動への参加の機会
- 3) 開発された技術への早期アクセスの機会
- 4) 教授や学生へのアクセス
- 5) 公立大学の研究成果の公開と実用化という使命への支援

このような条件に多くの欧米の企業（残念ながら日本企業の名前は無かった。アジアではサムソンの名前があった。）が賛同して資金を出している点は、驚きに値する。

これまでの4年間を立ち上げフェーズとして、今年の夏から第2フェーズに入る。その活動の中心として、UCBのキャンパス内にHeadquarterのビルが建設中である。35,000平方フィートのNano技術のファブを含んだ80,000平方フィートの建物である。共同研究室や参加企業のオフィス、遠隔講義室などが整備される（図2.15）。



図2.15 建設中のCITRISセンタービル（資料提供 Gary Baldwin）

* PICO ラジオ：Jan Rabey 教授

目標は、目に見えないエレクトロニクス。システムが環境に埋め込まれ、普通には認知されないような Ambient Intelligence 環境を構築するための技術開発を進めている。情報の獲得、処理、通信、制御、エネルギー供給などを無線技術と半導体技術さらには MEMS などを用いて、低コストかつ容易に利用できる技術として確立する。また、セキュリティやプライバシーなどの問題も総合的に検討する。10立方ミリメートルで10 μ W程度のノードを開発している。

エネルギー供給と通信の無線化が最も重要な課題と位置づけ、空気の流れ、振動、人の熱、圧力などをエネルギー源とした数十 μ Wで動作できる無線通信システムの実現に取り組んでいる。エネルギー供給に関しては、小型化できるエネルギーの蓄積（バッテリーやキャパシタ）や発電機能（太陽電池、空気の流れ、振動、人の熱、圧力）

などのエネルギー供給能力から逆算して開発システムが利用できるエネルギーの上限を決め、その条件を満たすシステムの開発を進めている（図 2.16）。

Towards a sub-100 μW Integrated Node

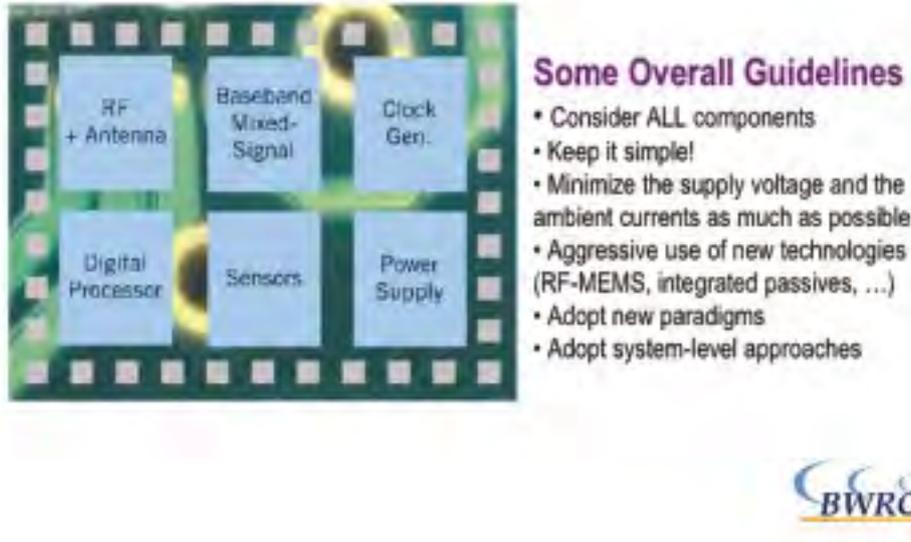


図2.16 PICO ラジオの開発目標（資料提供 Jan Rabaey）

具体的には下記のような回路の試作に成功している。

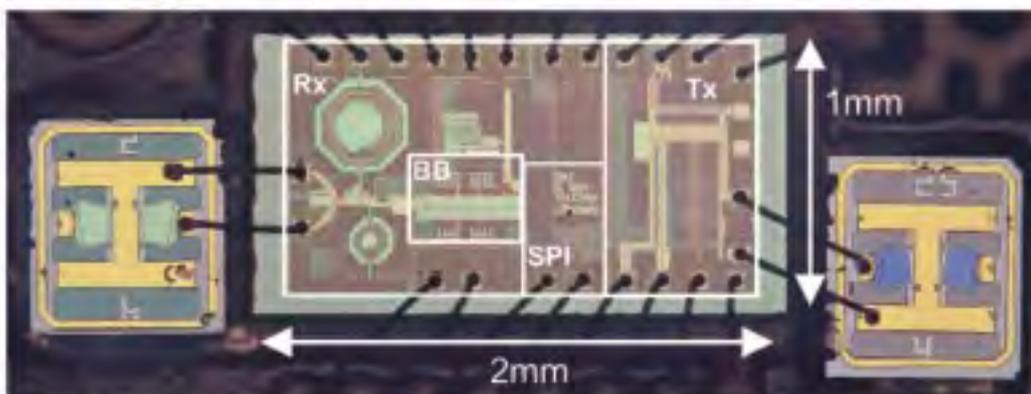
- 1) 外付け部品のない2平方ミリの受信回路（380 μW ，図 2.17）
- 2) 直接変調やアクティブアンテナによる送信部の電力削減（1/17，図 2.18）
- 3) 信号処理ノード用の単純なデジタル処理部
- 4) MEMS を利用した振動による発電部（図 2.19）

などの要素技術を開発している。さらに、SIP 技術を利用してこれらの要素を組み合わせることを考えている。

さらに、このようなセンサー・通信ノードを組み合わせたシステム全体の信頼性を、個別のノードの信頼性を上げるのではなく、信頼性の低い素子を組み合わせて冗長性によりシステム全体の信頼性を上げる技術へと発展させることを狙っている。小さなノードをたくさんばらまいて Dense Network を構成し、Random Frequency Multiple Hopping により、環境から集めたエネルギーだけで動作する高信頼なネットワークを構築しようとする構想である（図 2.20）。スケーリングはチップ内だけではないというのが方針である。関連する要素技術の開発を、RF 回路、発電回路、デジタル信号処理などあらゆる部分回路に対して続けている。

応用としては、家庭でのエネルギー制御（カリフォルニアでは電力問題は深刻）を最初に考えている。まだ、最終的な応用までの距離は遠いが、革新的な要素技術に確実にチャレンジしている。

Fully Integrated Small-scale Rx/Tx



- No External Components (inductors, crystals, capacitors)
- 0.13 μ m CMOS
- Full digital SPI control of analog/RF blocks

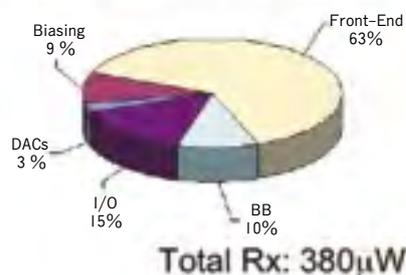
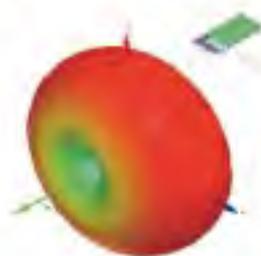


図2.17 低消費電力化した受信部 (資料提供 Jan Rabaey)

Active Antenna Transmitter

Technology	ST 0.13 μ m CMOS
Carrier Frequency	1.9 GHz
Supply voltage	0.6V
Startup time	1 μ s
Data rate	100 kbps
$\eta @ P_{out} = 0.94mW$	52%
Power Consumption	1.8 mW
Die Size (TX)	0.8mm x 1.25mm
Packaging	Chip-on-Board
External Components	2 FBARs (1 per channel)



- Directivity = 1.734
- Radiation η = 98%

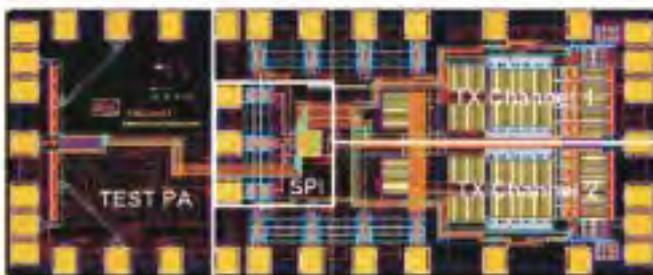


図2.18 アクティブアンテナと直接変調による低消費電力送信部 (資料提供 Jan Rabaey)

Towards a sub-100 μW Integrated Node

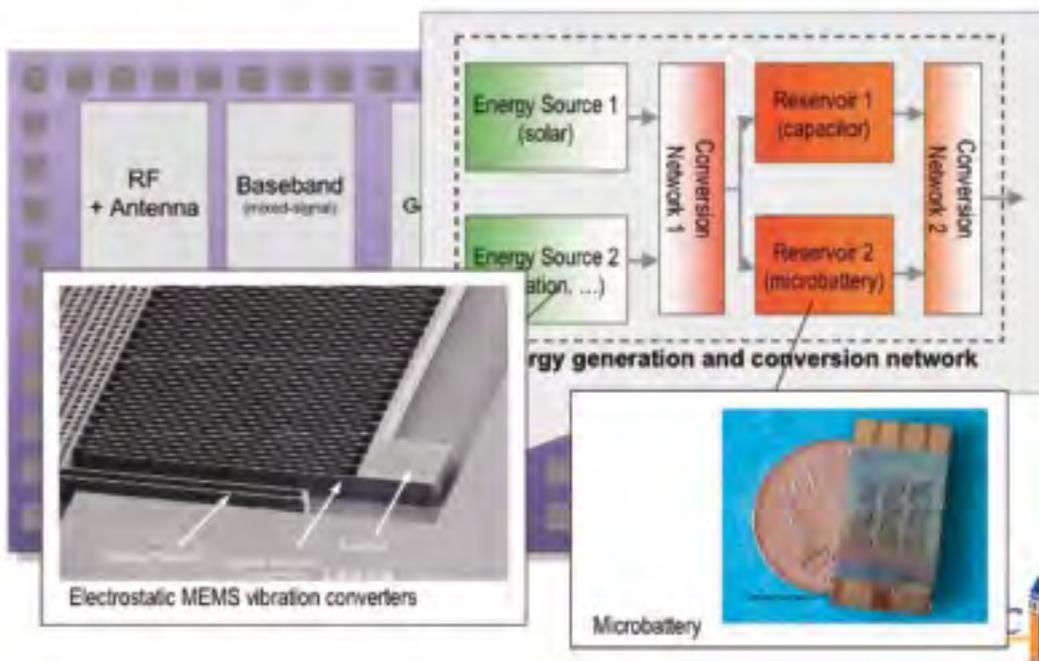
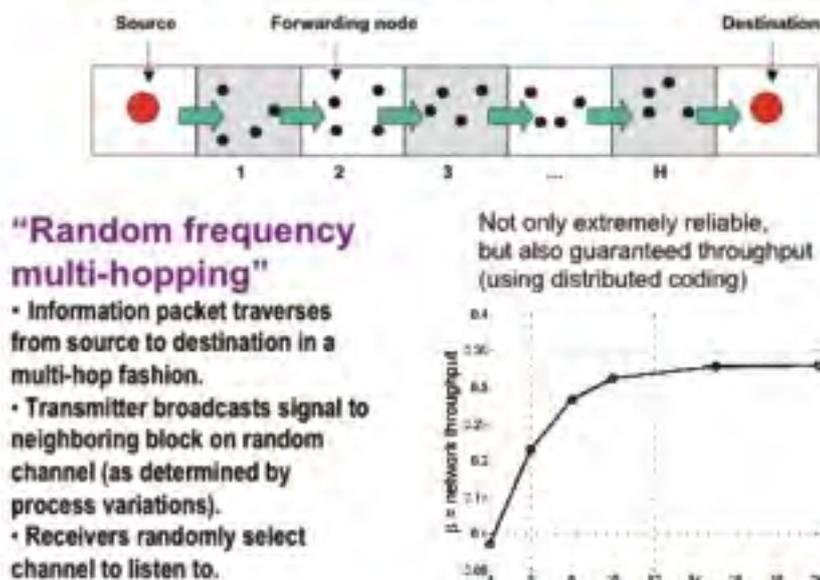


図2.19 MEMS を利用した振動による発電部 (資料提供 Jan Rabaey)

Extending the Paradigm: Dense Networks

Statistical communication: "Strength in Numbers"



Dragan Petkovic and K. Ramchandran



図2.20 Dense Networks (資料提供 Jan Rabaey)

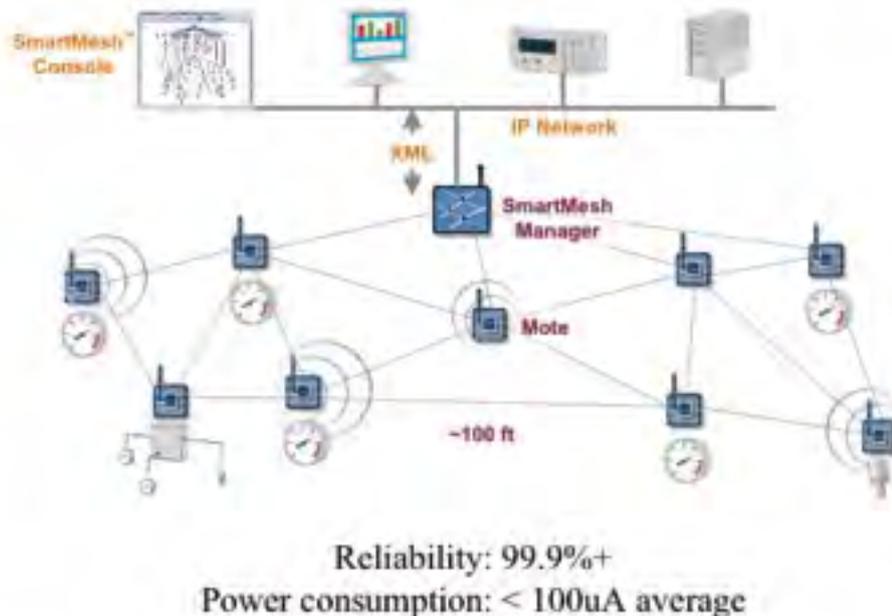


図2.21 ダストネットワークの概念図（資料提供 Kris Pister）

*ダストネットワーク：Kris Pister 教授

建築などに使われる電気・ガス・水道などのライフラインや火災センサーなどの設備は、センサー自身は数十円―数千円であっても、その設備の施工などに数万円がかかる。このような状況を考えると、無線で情報の取得と通信ができるセンサーネットワークシステムの構築は極めて大きな経済的な効果をもたらす(図2.21)。地震などの災害監視システムや環境監視システムなど社会システムや産業界での自動化システムとして幅広い用途が期待できる。今後、このようなセンサーネットワークシステムの市場は、建築、工場などの産業用、自動車を中心に年率50%程度で拡大し、2007年には米国だけで80億ドルとなると予測している。

Pister 教授のグループは、Dust Network システムと名付けた、センサー、ADC、マイクロプロセッサ、OS、無線回路からなるノードを構築している。1.2 mW の電力で900 MHz で100 kbps の通信能力を持ち、8 bit プロセッサ(10 μ W)、8ビット ADC (2 μ W)などと組み合わせたチップを開発した。OSはTiny OSの開発グループと協力して進めている(図2.22, 2.23)。

UCB Smart Dust - Integration

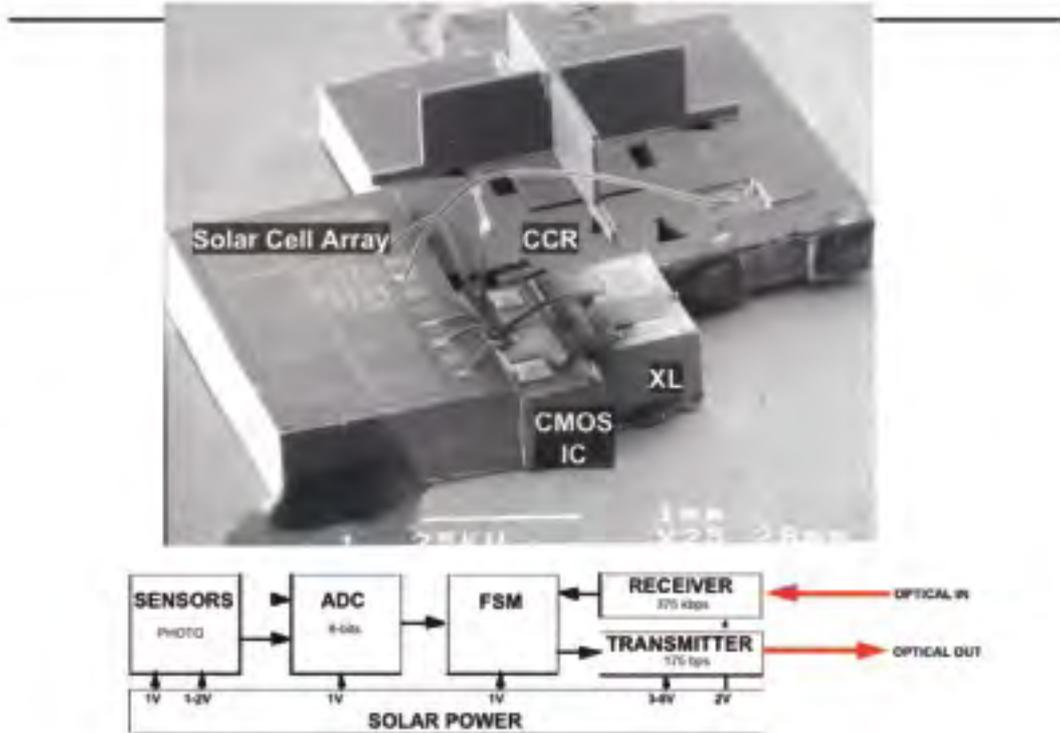


図2.22 スマートダストノード (資料提供 Kris Pister)

IAB Spring 2003

1mW 900MHz 100kbps radio (Molnar, CICC04)

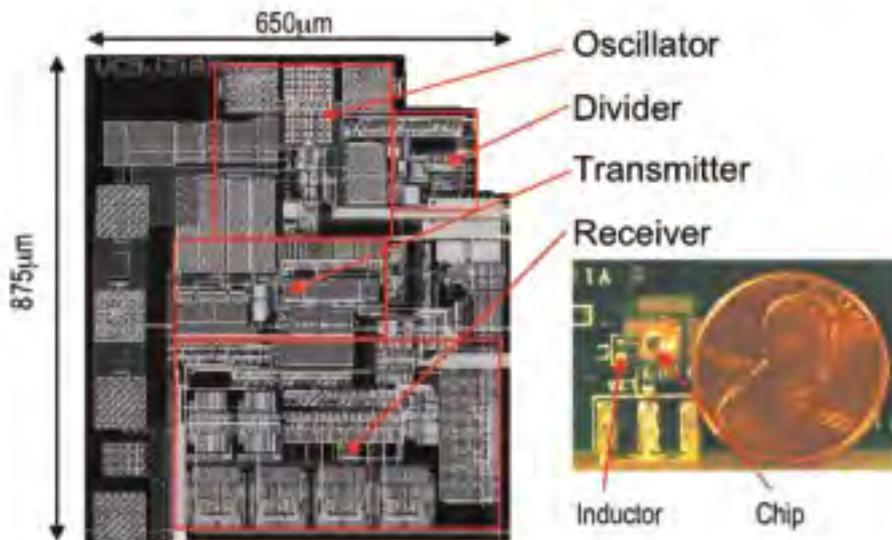


図2.23 スマートダストチップ (資料提供 Kris Pister)

技術の一部は Dust Network 社で商品化を進めている。すでに、地震監視システムや温度管理システムなどは、フィールドにおける試行実験を行っている。信頼性や長期利用に堪える寿命などの課題が浮き彫りになってきている。Honeywell 社がスーパーマーケットの温度管理などに使おうとしている。今後は、健康管理やコンシューマ応用が重要であるとしている。

今後は、ナノ技術などの利用も考える。応用や計算機科学から半導体、ナノテクまで、総合的に技術を統合しようとする試みとして注目できる。

* HPC に関する基礎的な研究 : Kathy Yellik 教授

HPC はアーキテクチャ研究の牽引車であり、また、多くの計算科学を支える基盤技術である。現在の流れとして、

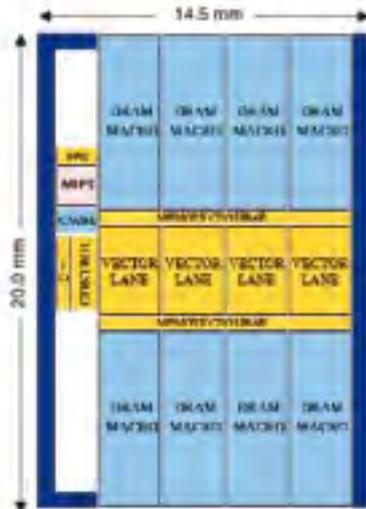
- 1) 高性能共有メモリマシンのクラスタ
- 2) ベクトルマシンのクラスタ (地球シミュレータなど)
- 3) 小さな省電力プロセッサの大量結合のクラスタ (BG/L)

がある。種々のアーキテクチャとその利用環境 (ライブラリ, 言語, コンパイラ) を比較している。

ベクトルマシンは電力効率が悪いとされる説に対し、メディアプロセッサとして開発された IRAM (図 2.24) を使って、必ずしも電力効率が悪くは無いことを示している (図 2.25)。ViVa プロジェクトでは、ベクトルマシンの良さを引き出す条件を明らかにしようと試みている。使いやすいアーキテクチャとソフトウェアのサポートの充実が重要であると結論づけている。

計算基盤として重要な HPC に正面から取り組み、地道な比較研究を進めている。

Vector → High Power?



- Vector machines are not necessarily high power machines
 - Parallelism rather than high clock rate saves power
 - Data parallelism is simple & efficient: compiler does much of the work
- Example: IRAM processor
 - 200 MHz, 2.0 Watts, 0.18um
 - 1.6 GFlops, 12.8 GB/s mem BW

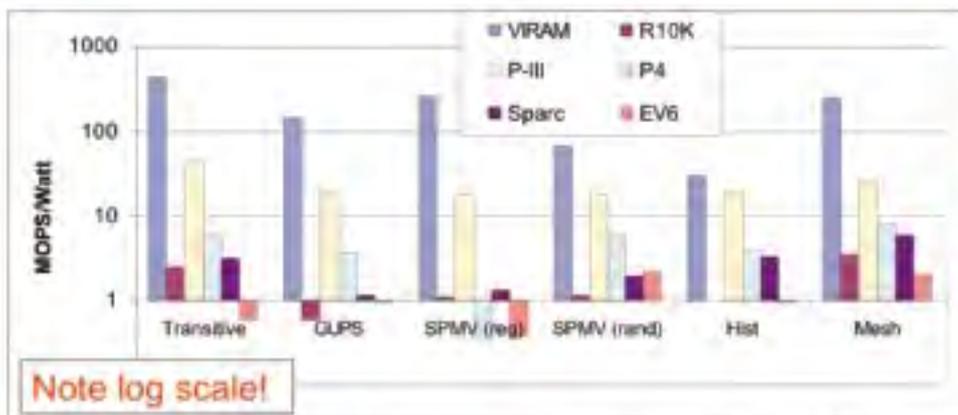
05.5.1

Berkeley Institute for Performance Studies

7

図2.24 IRAM の構成 (資料提供 Kathy Yellik)

Power Efficiency



- Huge power/performance advantage in VIRAM
- Comes from both
 - PIM technology
 - Data parallel execution model (compiler-controlled)

05.5.1

Berkeley Institute for Performance Studies

9

図2.25 アーキテクチャによる電力効率の違い (資料提供 Kathy Yellik)



2.6 INTEL

訪問先 : Intel Corp., Circuit Research Labs

2111 NE 25th Avenue, Jones Farm Building 3, Hillsboro, OR 97124, USA

訪問日時 : 4月1日(金) 14:00—17:15

出席者 :

日本側 : 南谷, 安浦, 吉本, 佐藤, 松岡, 桜井, 丹羽

インテル側 : Matthew Haycock, Shekhar Borkar, Ram Krishnamurthy, Tanay Karnik, Vivek De, Siu-Ling Garver

プログラム :

14:00—Welcome and introductions

14:10—MTL and CRL overview-Matthew Haycock

全体 14:35—Energy-efficient arch & micro-arch-Shekhar Borkar

専用ハード 15:40—Special purpose hardware-Ram Krishnamurthy

電源系 16:10—Efficient power delivery-Tanay Karnik

回路一般 16:40—Low power circuits-Vivek De

Shekhar Borkar (全体像 : インテルの考える将来の問題と方向性)

訪問した CRL では 15 人が low-power の研究をしており, 32 nm が研究の主体となっている。従って, 大学には 22-8 nm の世代を考えて欲しいとのメッセージを最初に述べた (図 2.26 参照)。このように, 産業界以外ではかなり長期的な将来について研究をしてほしいというのは, 10 年前にインテル社長が主体となって政府がよりエレクトロニクスの長期研究を推奨したことにも表れている。それが MARCO focused center とし実を結んだ実績がある。この 10 年の将来を睨んだ MARC プロジェクトは総額が年に 30 億程度。インテルも相当の寄与をしている。現在 MSD, GSRC, C2S2, FINA (molecular), Interconnect の 5 つの focus center が走っている。

低消費電力はプロセッサ設計の最大の課題であるとした。まず, 消費電力の中でもリーク電力が重要であるが, ゲートリークを抑えるための high-k は 2 世代長引かせるに過ぎない。そのため, ゲートリークを抑える為, 長期的には, より high-k か, 何か他の手を考えなくてはならない (図 2.27 参照)。

大学でやって欲しい領域

High Variance Microscaling	2004	2006	2008	2010	2012	2014	2016	2018
Technology Node (nm)	90	65	45	32	22	16	11	8
Integration Capacity (BT)	2	4	8	16	32	64	128	256
Delay = CV/I scaling	0.7	~0.7	>0.7	Delay scaling will slow down				
Energy/Logic Op scaling	>0.35	>0.5	>0.5	Energy scaling will slow down				
Bulk Planar CMOS	High Probability				Low Probability			
Alternate, 3G etc	Low Probability				High Probability			
Variability	Medium			High	Very High			
ILD (K)	-3	<3	Reduce slowly towards 2-2.5					
RC Delay	1	1	1	1	1	1	1	1
Metal Layers	6-7	7-8	8-9	0.5 to 1 layer per generation				

図2.26 大学は10年先を見ながら課題に取り組んで欲しい。

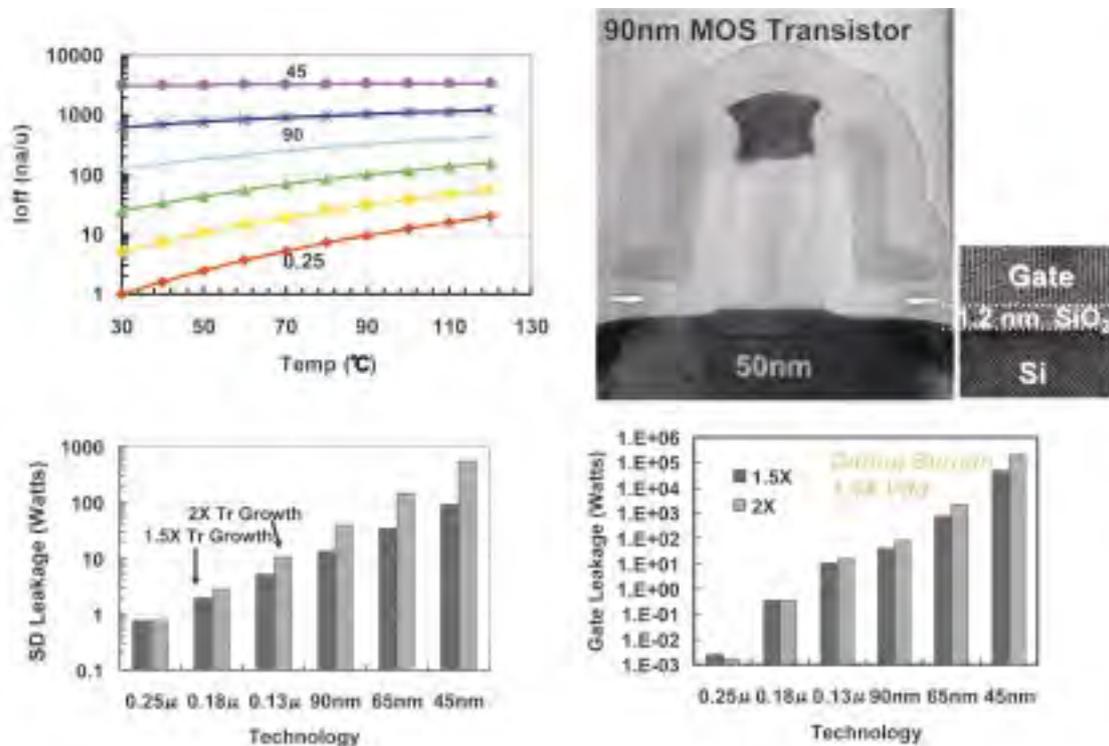


図2.27 リーク電力のトレンド

図 2.28 のように周波数を横軸に、消費電力を縦軸にとってみると、クロック周波数には消費電力効率に関して最適値があることがわかる。クロック周波数を高くしないでどうやって性能を上げるかを考えるのが今後の方向とした。この性能というのは単なる速度ではなく、valued performance, つまり価値性能である。従って、信頼性や機能, dependability も一つの価値性能である。

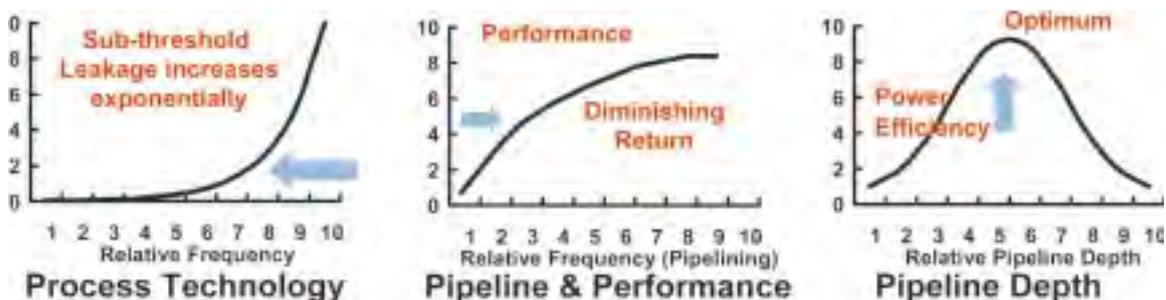


図2.28 クロック周波数と性能当りの消費電力

クロック周波数を高くしないでどうやって性能を上げるかの一つの方向として並列化がある。図 2.28 の Dual core では消費電力は変わらず性能は 1.8 倍。しかし、今後の低電圧化の流れで、電圧を下げるというところには課題があることを認めた。

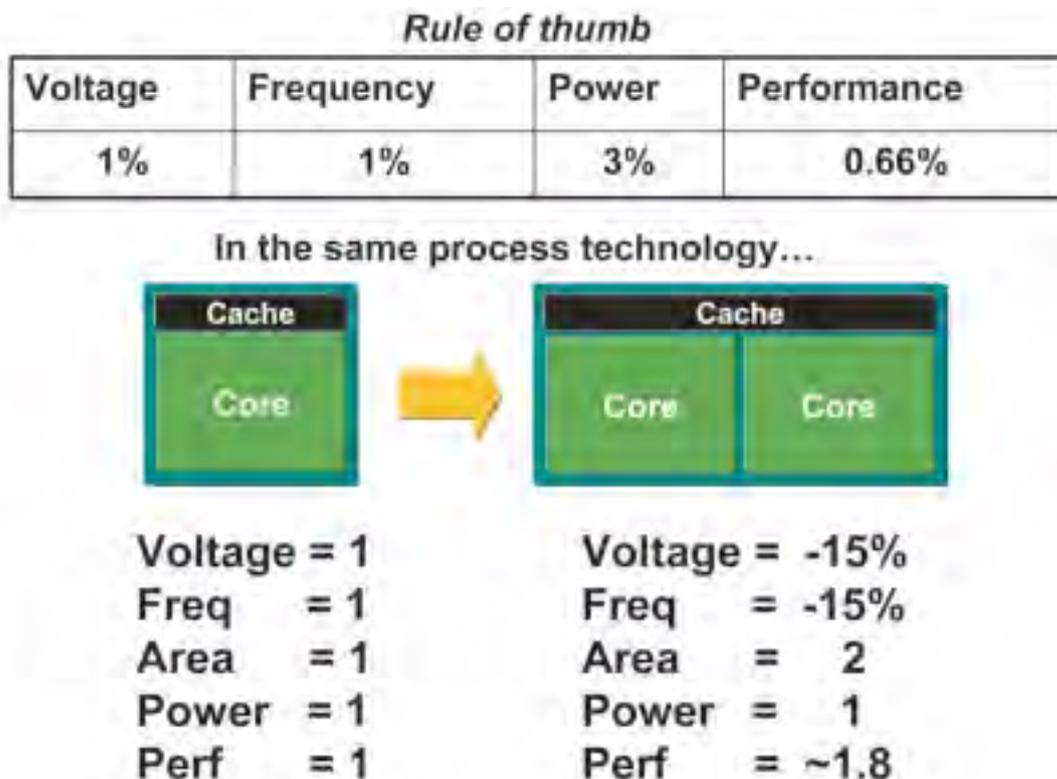


図2.29 Dual Core による低消費電力化

さて、ハードウェア的にはマルチコアが消費電力を抑えて、性能を上げる非常に効果的な方法である。問題は並列でうまくプログラムができるのか、ソフトウェアがついてこないという誇りに関しては、「ニワトリと卵の問題」とした。すなわち、やればできるのに、ソフトウェアサイドは今まで良い並列プロセッサがなかったので、ソフトウェア開発をしなかった。また、ハードウェアサイドは今まで良いソフトウェアがなかったので、ハードウェア開発をしなかった。しかし、やれば解決できる問題とした。例として、最近の PC のでは、多くのスレッド/タスクが走っているとした。しかし、一つ以外のスレッドはほとんど CPU を食っていないではないか、とのコメントに対し、それはソフトウェアの問題で今後アプリケーションが並列アーキテクチャに対しての最適化を着実にやるだろう、これがニワトリと卵の問題であるという回答であった。

このマルチコアに関して各コアがシンメトリックが良いのか、アシンメトリックの方が良いのかに対しては、アシンメトリックの方が良いという理由はない。シンメトリックなら設計しやすいなど多くのメリットがある。アーキテクチャ的にはオンチップメモリを大きくするのが低消費電力化の一つの方向としている。アプリケーションが大きくなっていることとミスの penalty が大きくなっているため、これが効く。また、メモリは、効率的なヒートスプレッドと考えることも出来る。

その他、低消費電力化のためにワンチップだけでなく、SiP などのマルチチップソリューションも視野に入れている。クーリングの進歩は時間的に間に合わないので、今のところ、その他の努力が早急に必要としている。また、シリコン Optics の研究もしているが、これは EO-OE 変換は消費電力が大きいので few feet 以上に使う。その場合は消費電力的にも有利。メモリと CPU 間には使わない。

Ram Krishnamurthy (高速データパスの設計)

低消費電力アーキテクチャとして、並列化以外に、図 2.30 のように専用ハードウェアコアを検討している。専用ハードウェアは低消費電力化に非常に有利なので、TCP/IP コア、Viterbi デコーダ、フィルタなどのマクロを用意する研究も行っている。しかし、これは多品種化につながることは認められた。

Kogge-Stone は energy efficient でない。Quaternary/Sparse-tree Architecture が energy efficient。教科書では Brent-Kung の方が Kogge-Stone よりも高速だということになっているが、実際には配線構造やパラメータによる。

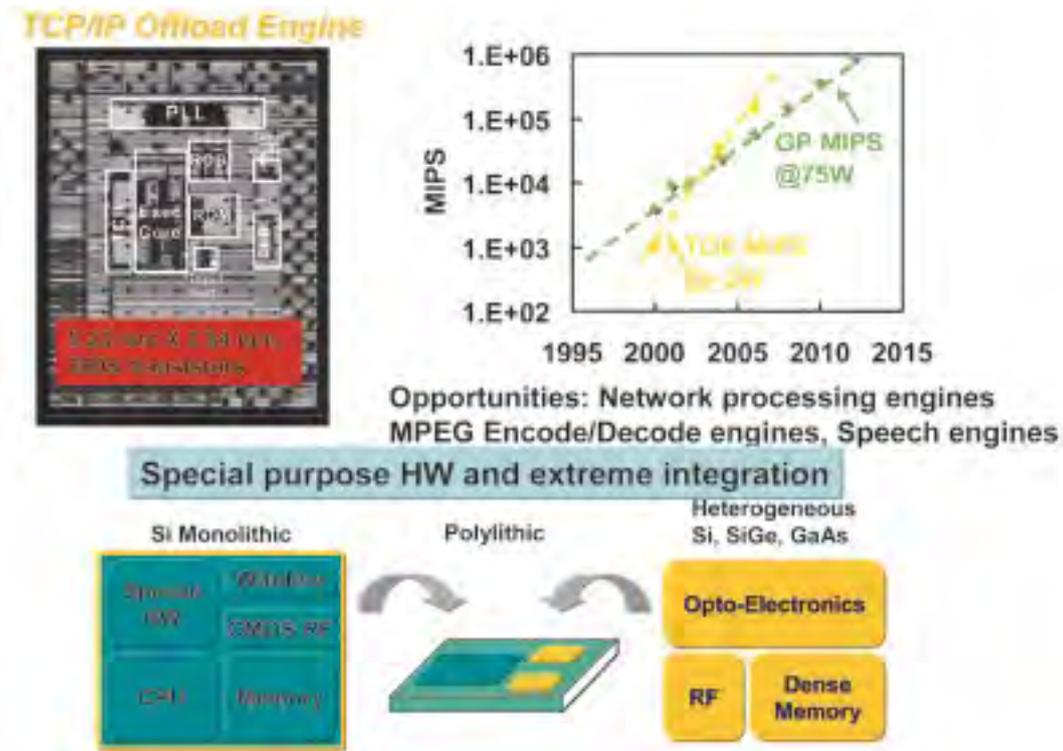


図2.30 専用ハードウェアによる低消費電力化

Tanay Karnik (電源方式)

低消費電力化を考えると、電源が大きな役割を演じる。そのため、電源関係の研究をしているチームがある。成果としては0.54 ns という超高速でオンチップ電圧を変化させることに成功している。また、オンチップ DC-DC コンバータで87% 効率を達成。

オンチップ電源のための一つのブレークスルーは図 2.31 のようにオンチップで L を作ることである。コバルトベースの CZT で μ は 900 で 3 GHz まで大丈夫。80% から 90% の効率を得ている。

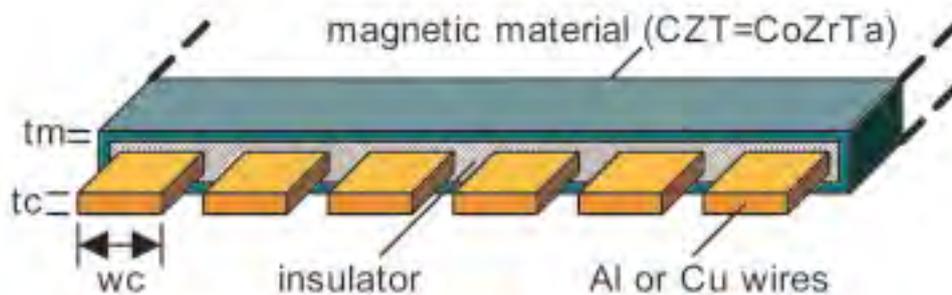


図2.31 DC-DC on-chip converter with On-Die Thin-Film Inductors

Vivek De (低電圧回路技術)

図 2.32 に示すように、PVT variations (プロセス, 電圧, 温度バラツキ) が大きくなってきていて、低消費電力化に関して最大の関心事になってきている。この Vari-

ability 制御が消費電力低減のための最大の課題だが、図 2.33 のようにしきい値電圧のバラツキは基板バイアスによる適応制御が有効。電圧ノイズも問題。これは電圧バラツキの一つと考えられる。クロックごとのノイズは小さい。電源ノイズに関してはマイクロ秒の成分が問題で変化量も大きい。これは、チップ内のブロック単位の活性化/非活性化に関係している。チップ上では温度も異なる。ヒートスポットを如何に制御するかも課題。

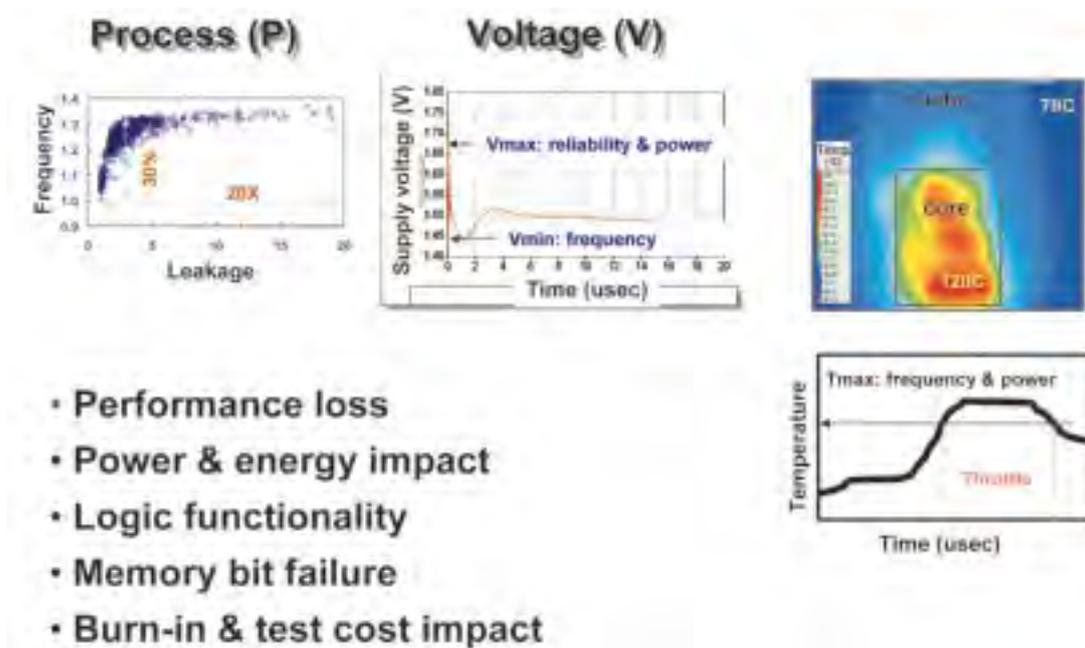


図2.32 低消費電力化を考えるとときにバラツキが大問題

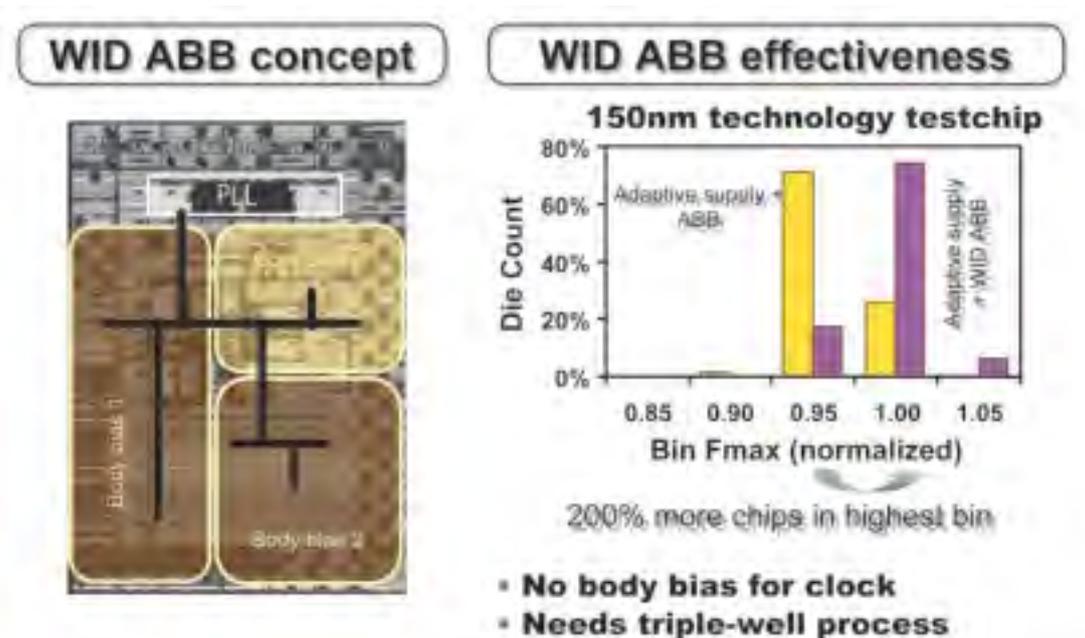


図2.33 Static ABB (adaptive body bias) for WID (within die) variations

回路的なリーク制御には図 2.34 に示すような方式がある。スリープはリーク低減に良いが、いつ、どこをどのようにスリープするかは課題。

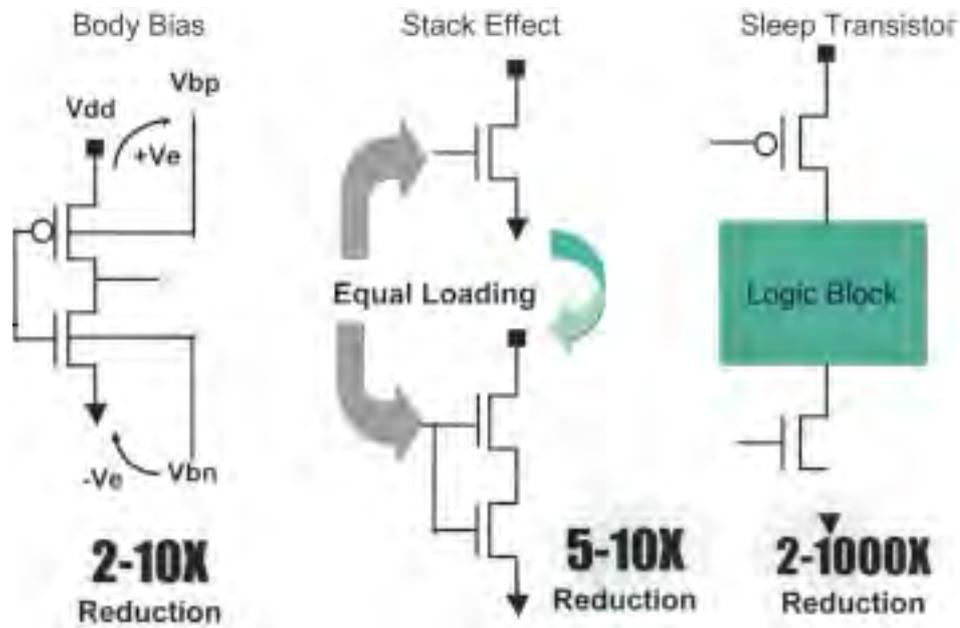


図2.34 回路的なリーク制御

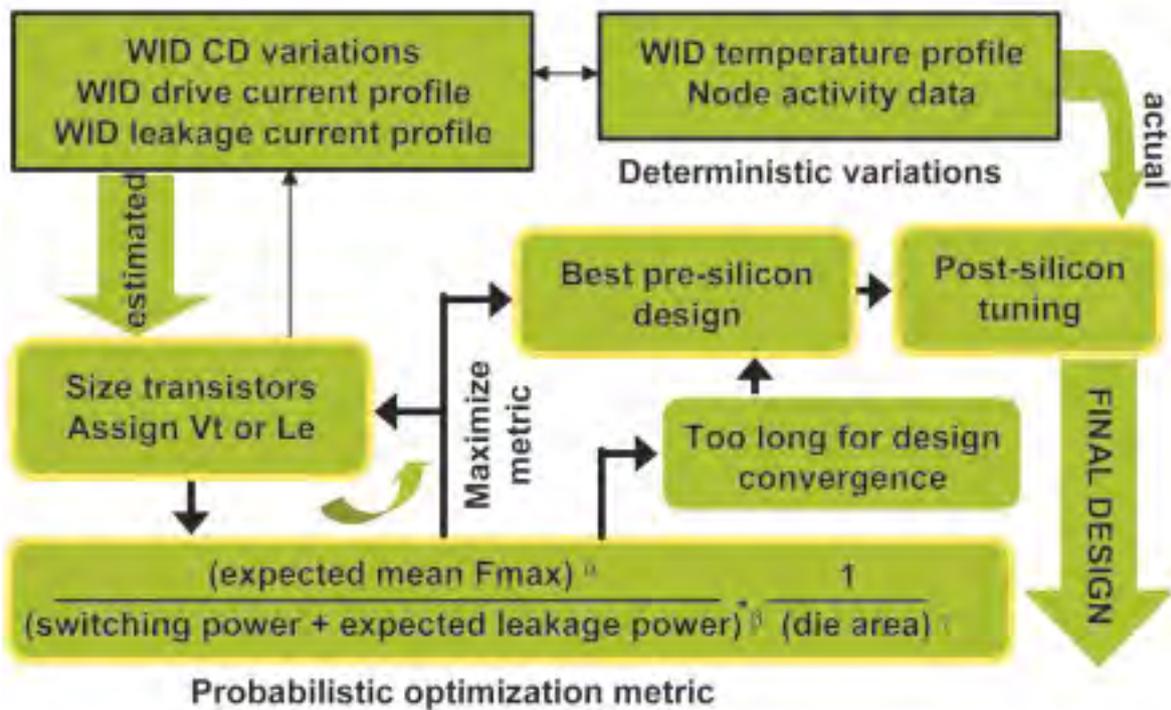


図2.35 Probabilistic design concept

全体として、図 2.36 のようにシリコントランジスタはフリーになってきている。ただ、信頼性はなくなってきた。従って、トランジスタをふんだんに使いながら、価値性能あたりの消費電力を低減することが重要になってきているとした。

また、低消費電力化に関するアプローチについてのまとめを行うと次のようになるだろう。

アーキテクチャ

並列，専用ハードウェア，メモリリッチ
適正ステージ段数，適正周波数

回路

電源電圧，しきい値電圧制御，オンチップ DC-DC
オフオフスタック，パワーゲーティング
PVT バラツキの抑制と制御，Dependability の向上



図2.36 In a Nut-shell...

トランジスタはフリーなので、これをふんだんに使って性能当りの消費電力を最小にするのが、今後の方向。性能には、dependability や信頼性，機能なども含まれる。

2.7 IPDPS

訪問先：2005 IPDPS Conference

April 3-8, 2005 in Denver, Colorado at the Omni Interlocken Resort

訪問日時：4月3日(日)～5日(火)

訪問者：佐藤，松岡

1. はじめに

IEEE IPDPS (International Parallel Distributed Processing Symposium) は、IEEE Computer Society がスポンサーする並列・分散処理に関する分野の国際会議として、1996年より毎年開催されており、並列分散のソフトウェア（一部ハードウェアやネットワーク）系の主流な研究者が多く参加している。その形式は、会議自身の査読論文を発表する Technical Papers Session と、10程度の専門テーマのワークショップ（これらも査読があり、それぞれのプログラム委員会が組織され、それぞれ独立に一日程度で開催される）、基調・招待講演、パネルなどにて構成される、参加者数百人程度の中規模の会議である。

本2005年のIPDPSは、4月3日から一週間にわたり、米国Denver郊外のOmni Interlockenホテルにて開催された。その中で、Workshop 11: High-Performance, Power-Aware Computing-HPPACと、メインのセッションを合わせて、16件ものLow Power HPC系の論文発表があった。HPPACは第1回の開催であり、かつこれだけの件数のLow Power HPC系の発表があるのは初めてのことである。本メモでは、それらの全体のトレンド、並びに個々の研究発表の概要を紹介する。

全体のトレンドとしては、従来の組込系、並びにセンサー系におけるLow Powerと比較すると、性能に対する要件の比重が高く、かつそれによるCPUや全体のPower EnvelopがW級(数Wから数十W)であることが挙げられる。また、マシンの大規模化により、熱密度が高まるのを省電力で押さえ、電力密度や熱密度を減少させ、それによってより大規模なマシンを構築するという、省電力をHPCの手段として用いるという点も特徴的である。(IBM BlueGene/Lもこの範疇に入り、地球シミュレータと比較して1/100の設置面積で、同程度の性能を達成している。)

いずれの場合においても、Low Power HPCにおいては、性能要件が非常に大きなウェイトを占める；逆の観点からすれば、性能をほとんど犠牲にしないで、省電力となる技術が求められる。それゆえ、センサーネットワークのように極端に少ないワークロードを仮定することができず、非常に綿密な電力制御技術が求められる。

より具体的に述べると、現状のHPCにおける省電力テクノロジーとして、Low Power HPC(従来と比較して大幅に低消費電力なコンポーネントを用いるHPC)と、Power Aware HPC(HPCのワークロードに応じて、なるべくそれに丁度必要な電力

が適用されるように調整し、全体の低消費電力化) を分けて考える必要がある。前者では BlueGene/L のように組込み系の CPU を HPC 向けに改造して用いるなどの手法であり、後者は必ずしも超低消費電力コンポーネントを要求せず、通常の CPU を含めて利用可能な技術であり、ワークロードの検出や予測、それに基づく省電力実行のプランニング、更には DVS やクロックゲーティングなどによる電圧やクロック動作の適切な制御によって、性能をあまり犠牲にすることなく、数パーセントから数十パーセントの省電力化を図るものである。無論、それぞれのコンポーネントは、DVS などの電圧・周波数の動的な変更・適用機能が存在しなければならない。その上でのほとんどの技術はソフト上の技術となる。つまり、前者は主にデバイス・やマイクロアーキテクチャ上の技術となり、後者はほとんどがソフトウェアの研究となる (ただし、Intel の演算機など、ハード的に応用する可能性もある)。

後者のソフトウェアの手法としての課題は、(1) HPC において、変動するワークロードがある際に、ワークロード中のどのような部分に省電力の可能性があるか、また、それは十分に効果を見込めるものであるか、という点と、(2) そのような省電力の可能性があったときに、どのようにしてワークロードの動的な変動を適切にモニタリングし、省電力制御につなげるか、である。特に後者においては、組込系と異なり、上記に述べた性能要件があることと、システムが大規模になるゆえのワークロードのシステム部分のヘテロ化による困難さが生じる：例えば、数百 CPU の並列システムの場合、仮にハードウェア的にシステムが均質であっても、プログラミングやアプリケーションの特性により、CPU によってワークロードが大幅に異なる可能性があり、全 CPU に渡って均一な DVS 制御を行えなく、しかしながら個々の CPU に対応したポリシーを設定して最適性を保障するのも難しい、といった事態が生じる。今回の IPDPS の発表の一部は、それらの解決に向けての糸口を提示しているものがあり、ようやく問題がまな板に載ってきた感があった。

IPDPS home page <http://www.ipdps.org>

2. HPPAC (The first workshop on High-Performance, Power-Aware Computing)

HPPAC は、Low Power HPC 分野の専門ワークショップとして初めての試みである。4月4日(月)に丸一日開催され、全体で約30名程度の参加者が常時あり、11件の発表があった。オーガナイザは Vincent W. Freeh, North Carolina State University, USA, および David K. Lowenthal, University of Georgia, USA であった。

HPPAC home page <http://fortknox.csc.ncsu.edu/proj/hppac/>

(1) Keynote: The Evolution of Power-Aware, High-Performance Clusters: From the Datacenter to the Desktop, Wu-chun Feng (Los Alamos NL, USA)

Los Alamos で Low Power Cluster の先駆けの Green Destiny の研究を 2002 年に

はじめた Wu Feng が Low Power HPC に彼らが至った経緯と、Green Destiny プロジェクトの歴史を中心とした紹介を行った。Green Destiny は RLX 社が Transmeta Crusoe を用いて製品化した高密度ブレードサーバを Linux Cluster として転用したものであり、プロジェクトの後半では Crusoe の CMS (Code Morphing Software-Crusoe は本来は VLIW の低消費電力 CPU であるが、x86 のコードを内部で自身の ISA に変換しながら実行する) を、Transmeta の協力を得て HPC 向けに改造し、1GHz の TM5800 が 1.2 GHz の Pentium III と同レベルの性能を発揮し至った。Green Destiny は 1 ラックあたり 240 CPU で 3.2 kW 程度の消費電力であり、当時の ASCI White と比較して 80 倍の密度、25 倍の性能/電力値、PIII や P4 ベースと比較してもそれぞれにおいて数倍の値を誇った。また、低発熱のおかげで、信頼性も高かった。ネットワークは 100 Base-T であるが、粒子系の比較的通信量の少ないアプリケーションでは良好な並列化効率を示した。

しかしながら、Los Alamos 外では非常に注目されるものの、研究所内部ではやはり旧来の “Big Iron” に対する信奉が高く、応用が困難な状況が続いた。そこで、Feng が元 RLX 社の人間達とベンチャーとして起業したのが Orion Multisystems である。詳細は別項に譲るが、Orion では Crusoe の後継である Efficeon を用い、12 CPU/170 W/Linpack 13.8GigaFlops のデスクトップワークステーションクラスタ、および 96 CPU/1500 W/Linpack 109.4 GigaFlops (268 CPU のかつての Cray T3E と同じ) のデスクサイドクラスタを製品化している。

Supercomputing in small spaces <http://sss.lanl.gov/>

Orion Multisystems <http://www.orionmulti.com/>

Session 1 : Metrics and Applications (10 : 00-11 : 30)

(2) Towards Efficient Supercomputing : Choosing the Right Efficiency Metric
Chung-Hsing Hsu and Wu-chun Feng (Los Alamos NL, USA)

通常の HPC では FLOPS や実行時間、並列化効率などの明確な指標があるが、Low Power HPC では明確な指標がない。また、Low Power にすると、電力は下がるが、実行時間の増加により総エネルギー量が増える場合もある。Power * Delay, Energy * Delay など、いくつか提案されている指標を比較すると、組み込み系で提案された指標はバイアスがかかっているものも多い；例えば (FLOPS²/W) では Blue Gene が圧倒的に良くなってしまふ。そこで、例えば TCO (Total Cost of Ownership) を指標とすると良いかもしれないが、複雑な指標なので、より考察する必要がある。

(3) Toward an Evaluation Infrastructure for Power and Energy Optimizations
Chunling Hu, Daniel Jimenez, and Ulrich Kremer (Rutgers Univ., USA)

研究の最終目標としては、ある Low Power HPC の指標を最適化する OS/コンパイラ技術の構築であるが、現状の Wattch などによるハードウェアのシミュレーション

はあまり正確ではなく、特定のコードセグメントにおける最適化を消費電力に結びつけるというレベルでは使い物にならない。そこで、その前段階として、電力の高精度な計測を試みる。一つはハードウェアで、SWであるコードセクションに至ったらオシロをトリガして、高精度に計測を行う。もう一つは SimPoint [Sherwood] のアイデアを用い、プログラムの実行フェーズの変化を動的に検出して、それぞれのフェーズの代表点の抽出を行い、それと精緻なシミュレーションとを結びつける。しかしながら、後者はまだ物理計測と比較するとエラーが改善されているも、まだ多い。

(4) Reducing Power with Performance Constraints for Parallel Sparse Applications Guilin Chen, Konrad Malkowski, Mahmut Kandemir, and Padma Raghavan (The Pennsylvania State University, USA)

並列の粗結合問題では負荷分散が問題となる。一つの主流な方法として、データおよび処理をツリー上に分解し、適切な負荷を割り当てていくものがあるが、それでも 10% から 25% 程度の負荷の不均衡が生じる。そこで、ツリーをたどりながらそれぞれのノードに DVS 制御を施し、子供のノードの処理が負荷の不均衡があっても丁度一緒に終わるように速度電力制御してやることにより、性能を犠牲にすることなく省電力化を行う。シミュレーションでは負荷の不均衡が 3-5% 程度に削減でき、最高では 30% 程度の省電力化が行われた。しかしながら、超並列環境では負荷の不均衡が分散化によって起こりにくいので、BlueGene のような環境ではあまり効果がないであろう。

Session 2: Architectures (1:00-3:00)

(5) MegaProto: A Low-Power and Compact Cluster for High-Performance Computing Hiroshi Nakashima, Hiroshi Nakamura, Mitsuhsa Sato, Taisuke Boku, Satoshi Matsuoka, Daisuke Takahashi, and Yoshihiko Hotta (Toyohashi University of Technology, University of Tokyo, University of Tsukuba, Tokyo Institute of Technology, Japan)

我々の JST-CREST MegaScale プロジェクトのうち、研究開発プラットフォームである MegaProto の話。MegaProto はコモディティクラスタで果たして BlueGene のような高度なスケーラビリティと信頼性、並びに省電力・高密度化を得られるか、という目的で本プロジェクトが IBM と共同で開発した。1 U の通常のサーバ筐体に Transmeta Crusoe TM5800、並びに第二バージョンでは Transmeta Efficeon 1 GHz を 16 CPU 搭載し、2 本の Gigabit Ethernet の内臓スイッチで相互接続され、外部に 16 Gigab 分の Gigabit Ethernet でスケーラブルにユニット間接続される。Crusoe でのベンチマークの結果でも、同じ体積で 50% 程度消費電力が高い Xeon の 1 U サーバと比較して 2 倍以上の性能を示しており、Efficeon によりさらにその倍程度の性能向上が見込まれる。また、DVS 制御が有効に働き、並列ベンチでも通信やメ

モリネックのものは大幅に省電力化が可能であることも示した。一方、ネットワークの消費電力が大きく、今後はその省電力化が急務であるが、技術的にチャレンジングである。このような HW を作成してこのような知見を得ている研究グループは我々だけであった。

(6) Performance Counters for Runtime Temperature Sensing in High-Performance Processors

Kyeong-Jae Lee and Kevin Skadron (University of Virginia, USA)

近年のプロセッサは温度センサーを内蔵しているが、機能ブロックごとの温度はわからず、ベンダーなどは大掛かりな装置で測定している。一方、予期せぬバグや“Thermal Virus”などにより、ダイ全体での平均温度は保たれつつも、特定の狭い機能ブロックが設計意図を超えた温度に上昇する可能性も今後はトランジスタの高密度化によりありうる。そこで、機能ブロックごとのパフォーマンスカウンタと発熱の相関をモデル化し、ダイの温度拡散を物理的にシミュレートすることにより、リアルタイムに外部から機能ブロックごとの温度を推定し、温度分布図をリアルタイムに作成する。結果として、比較的長いサンプリングインターバルと軽い測定・シミュレーション (20 ms) でも、温度変化は比較的緩やかであるため、比較的精度の高いシミュレーションが可能であった。Pentium 4 では FP 系のベンチではダイの温度は平均的に上昇し、一方 INT 系のベンチは平均温度は低いものの、ホットスポットがしやすいことも確認された。

(7) Improving Energy-Efficiency by Bypassing Trivial Computations

Ehsan Atoofian and Amirali Baniasadi (University of Victoria, Canada)

RISC プロセッサでは、コンパイラおよびアーキテクチャ上の構成により 0 , $*0$, $*1$ などの“trivial”な命令実行が意外と多い。そこで、これらを検出して NOP のように無実行にすることにより IPC を上げ、エネルギーを節約する。Trivial な計算は

Semi-trivial; need both operands $R2 = 0 + R1$ (need to know $R1$)

Fully-trivial: only one operand $R2 = 0 \times R1$ (only need to know 0)

の二つに分けられる。Full trivial はレジスタ参照がいらないので、より効果的である。研究対象の MIPS は move 命令が $\text{add } 0$ で実現されているせいもあって、全体的に semi trivial な命令も多い。(85% semi-trivial, 15% fully trivial) (gcc-O3 on MIPS)。結果として、IPC が 6.5%, エネルギーが 4.5%, Energy-Delay 積は平均で 11.8% 改善した。

(8) Simultaneous Wire Permutation, Inversion, and Spacing with Genetic Algorithm for Energy-Efficient Bus Design

Shanq-Jang Ruan (National Taiwan University of Science and Technology, Taiwan, University of Dortmund, Germany)

チップ内バス配線は通常は等間隔であるが、信号の 0-1 スイングは相関がある。例

例えば RISC の ISA では、命令の指定部分が同一のビットフィールドであるので、同じ系統の命令が連続する場合キャッシュデコードユニットのバス間で電圧スイングが同時に起こりやすい。そこで、キャパシタンスとバス速度の関係を綿密に計算し、バス間を不等ピッチで配線することにより、駆動電流を減らし、省電力化を図る。ビットの permutation を行う場合と行わない場合があり、前者が無論効果は高い。研究では、遺伝アルゴリズムを用いて、permutation とピッチの最適値を求めている。シミュレーションでは permutation を行った場合、最大で 33% ほどキャパシタンスを削減できた。(もっともあまり現実的ではない、という批判もあった。)

Session 3: Voltage Scaling (3:15-4:45)

(9) Improvement of Power-Performance Efficiency for High-End Computing

Rong Ge, Kirk Cameron, and Xizhou Feng (University of South Carolina, USA)

多くの並列 HPC アプリでは、メモリのアクセス待ち状態や、ネットワークの通信待ち状態が頻繁に発生し、逆にその際に DVS などが必要最小限に CPU 速度を下げることによって、大幅な電力削減が可能となる。本研究では、PowerPack とよばれる、マシンの各コンポーネントのエネルギーをリアルタイムに測定し、プログラムの実行部分と結び付ける粗粒度ウェアフレームワークを用い、DVS 制御が可能な AMD Opteron のクラスターで SPEC や NAS Parallel Benchmark などの標準ベンチマークで測定を行った。その結果、適切な DVS の値を設定することによって、性能に対するペナルティを数パーセント以内に抑えつつ、25% 程度のエネルギー削減が可能であることがわかった。また、energy-delay 積の一般化として、 $\hat{E}(1-\alpha) * \hat{D}(2(1+\alpha))$ というメトリックを提案し、測定結果と照らし合わせて、 α の変化によって性能重視か ($0 < \alpha < 1$ で、 α が大きい) か、エネルギー重視 (α が小さい) にいろいろ対応が可能であることも論じた。

(10) Exploring the Energy-Time Tradeoff in High-Performance Computing

Feng Pan, Vincent Freeh, and Daniel Smith (North Carolina State University, USA)

NAS serial および SPEC ベンチにおいて、energy-time tradeoff を詳細に論じた。一つのアプリケーション実行のための総エネルギー量を鑑みるときに、一般的にある程度 DVS は有効だが、DVS を効かせすぎると実行時間が延びすぎて、かえってエネルギーを消費する。また、そもそもアプリが遅くなるのが好ましくない場合も多い。そこで、CPU 速度、メモリ速度、実行時間、およびエネルギー消費量に関して詳細な知見が必要である。結果はおおむね予想通りで、例えばエネルギー消費量を Y 軸とし、実行時間を X 軸とすると、DVS 制御によって U 字型のカーブを描くが、それがいくつも提示された。また、CPU バウンドなアプリケーションはメモリバスの周波数を減少させても影響が少ないという (これもまた予想された) 結果が得られた。

- (11) Scheduling Processor Voltage and Frequency in Server and Cluster Systems
Ramakrishna Kotla, Soraya Ghiasi, Tom Keller, and Freeman Rawson (University of Texas at Austin and IBM Austin Research Laboratory, USA)

HPC サーバのジョブスケジューリングにおいて、Power-Aware スケジューリングを行うという IBM Ausitn からの提案である。DVS 制御の有効性が(クロックを落としても実質速度低下せず、電力削減も効果的に行われる) 結局 IPC と強い相関性があることに着目し、performance counter をなどを用いて IPC を予測し、かつそれに加えて、パワーに関係するイベント(温度上昇による電源の故障によるダウン・サーマルリミットによるスロットリング)なども考慮に入れて、それぞれのジョブのスケジューリング時に適切な DVS セッティングを施すというもの。100 ms 程度のサンプリングインターバルで、プログラムの実行フェーズやマシンの状態をよくトラッキングできることを示した。ただし、ジョブのマイグレーションは考慮しておらず、結果も Power4+ で得られたもので、実際の DVS 制御でなく、アイドル状態を強制的に挿入することによってエミュレートしている。別な SMP 上の仕事ではプロセッサ間のジョブマイグレーションも考慮しているそうである。また、サーバ環境において Power Aware scheduling が必要なのは、多くの場合熱が原因で故障が起きる場合、マシンの一部がダウンするとそれを補おうとしてシステムの他の部分にさらに負荷を与え、Cascaded failure が起きやすくなるという理由によると主張した。(報告者の個人的な感想ではベストな発表と感じた。)

最後にディスカッションがあり、多くのソフトウェアプラットフォームは Power Aware でないので、なんとかしなくては、という意見が出された。例えば、Intel のチップは DVS 制御を非同期かつ高速に行えるが、その機能を使うと Linux はクラッシュする。同様に、SMP において DVS で違う CPU を異なる周波数に設定しても、ハード的には対応しているが、Linux がクラッシュする。

3. IPDPS main session

IPDPS のメインのテクニカルセッションでも、一つのセッション全体が Power Management に割り当てられ、それから溢れて別セッションに割り当てられた発表もあった。また、最初のキーノートは、Berkeley の CITRIS にもかかわり、センサーネットワーク用の超コンパクト・低消費電力 OS を開発した David Culler であった。

・ *Exploring the Energy-Time Tradeoff in MPI Programs on a Power-Scalable Cluster*

Vincent W.Freeh, Feng Pan, Nandani Kappiah, (North Carolina State Univ. USA), David K.Lowenthal, Rob Springer, (Univ. of Georgia, USA)

ワークショップの論文と似ているが、今度は MPI 並列の NAS プログラムに関して様々な DVS の効果を測定した。また、プロセッサカウンタを用いてキャッシュミス

計測し、それが電力と強い相関を持つことを示し、並列クラスタに関するエネルギー・時間トレードオフの簡単なモデルを定式化した。

・ *Software-Directed Disk Power Management for Scientific Applications*

Seung Woo Son, Mahmut Kandemir, Pennsylvania State Univ., Alok Choudhary, (Northwestern Univ., USA)

HPC においては大量のデータ処理のために大規模なストレージを用いることが多いが、多くのストレージシステムでは HDD をスピンドウンしたり、将来回転数を変更できるようになったら回転制御を（現状の HDD では様々な理由によりできない）行って電力節約ができるにも関わらず、分単位の非常に大まかな制御しか行っておらず、実質的にそのようなスピンドウンはあまり活用されない。それは HDD はスピンドアアップのレーテンシが数秒以上と大変長いためである。そこで、プログラムを解析し、場合によってはプログラム変換を行って、より細かいスピンドウン制御を行うとともに、スピンドアアップ時も丁度良いタイミングで事前に行って、そのレーテンシを隠すようにする。

・ *Exploiting Barriers to Optimize Power Consumption of CMPs*

Chun Liu, Anand Sivasubramaniam, Mahmut Kandemir, Mary Jane Irwin, (Pennsylvania State Univ., USA)

OpenMP のスレッド並列プログラムでは、バリア時にスピンウェイトするのが普通なので、無駄な電力が使われる。これは OpenMP のシステムがループの負荷分散をしても、ばらつきが出て 30% ものアイドルタイムが観測されることが原因である。そこで、DVS を用いて、全てのプロセッサが同時にバリアに到達するように調節する。実際、実行時間に関する Oracle predictor を用いると大変良い結果が得られる。OpenMP のバリアはループごとなので、同じような処理がされると予想されるので、Oracle predictor に近い予測は比較的容易だと思われがちである。実際はループの 1 イテレーションの実行時間に対する last value predictor を用いると、大幅に実行時間が低下する。これは実は若干のループのイテレーション間の非均質性が原因となる。そこで、Markov predictor を用いることで、ほぼ理想に近い結果が得られた。

・ *Power Saving in Regular Interconnection Networks Built with High-Degree Switches*

Marina Alonso, Juan-Miguel Martinez, Vicente Santonja, Pedro Lopez, Jose Duato, (Univ. Politecnica de Valencia, Spain)

近年の並列計算機用のネットワークスイッチの次数（ポート数）は増加傾向にある。そこで、これを利用し、トラフィックが高く高性能が必要なときはトランキングして使い、トラフィックが少ないときには未使用となるリンクをオフにして、省電力化する。ただし、最低限一つのリンクはルーティングアルゴリズムを単純化するために、生かしておくことにする。また、トラフィックの立ち上がりは急激なため、流量に応じてリンクを一つ一つアクティベートするとオーバーヘッドが大きいので、その際に

はひとまず全てのリンクをオンにするという制御を行う。2-D の 32x32 トーラスでのシミュレーションでは効果があった。しかしながら、ハード的にはなかなか難しく、リンクのステートの変化やリンク数を変化させる際のスレッシュホールドの決定、さらには数クロックサイクルオーダーでの再接続のアルゴリズム（つまり frequency renegotiation をしない）など、いくつもの課題がある。

- ・ *Dynamic Power-Aware Scheduling Algorithms for Real-Time Task Sets with Fault-Tolerance in Parallel and Distributed Computing Environment*

Jian-Jun Han, Qing-Hua Li, (Huazhong Univ. of Science & Technology, China)

No Show であった。

- ・ *Power and Energy Profiling of Scientific Applications on Distributed Systems*
Xizhou Feng, Rong Ge, Kirk W. Cameron (Univ. of South Carolina, USA)

先にあった PowerPack のフレームワークの紹介と、それによる NAS Parallel benchmark の実行時の電力測定の話である。最初の MPI のペーパーとの違いは、PowerPack を用いて実行中の時間軸に沿った電力測定とその結果を示し、かつ CPU だけでなく様々なコンポーネントの消費電力の割合を示していることにある。現状の Opteron ベース・100 base-T のシステムでは、やはり高負荷時には CPU の消費電力が支配的であり、ここを DVS などで減らすのが慣用である。しかしながら、Low Power Processor になるにつれ、ネットワークなど、他のコンポーネントの省電力化が重要となるのは MegaProto の項で述べたとおりである。

4. 終わりに

全体的に Low Power HPC の研究の歴史は浅いが、すでに多くの結果が出ている。わが国の HPC およびサーバ業界は完全に遅れた感がある。一つには、サーバや HPC スペースでは、多くの結果がソフトウェア主導であり、それはわが国の苦手とする分野であることも一因であろう。特に、多くの研究者は、もともと HPC の性能モデリングやスケジューリングなどのエキスパートだった人たちが多く、今回の測定・予測・制御のループに実にぴったり彼らの過去の研究がはまるわけである。

この結果は HPC やサーバでは直接マシンの運用規模などにつながり、重要である。例えば、ORION 社では Low Power HPC 技術を用いて 96CPU で大型の PC 程度のケースで壁のコンセントで駆動 (1500 W 以下) できる 300 Gigaflops のクラスタワークステーションを開発している。今後ペタスケールだけでなく、個々のデスクトップエンジニアリング環境などに HPC が普及し、わが国の技術競争力を増加させる糧として、Low Power HPC は重要な分野である。また、実は HPC に限らず、他の分野へ応用可能な技術も多い。今後、全ての分野において、Low Power Software の研究がはぐくまれることが重要だろう。

3 各階層別レポート

3.1 システムソフトウェア

3.1.1 消費電力による技術領域の分類と重要指標

表 3.1 に消費電力によるシステムソフトウェアの分類と重要指標，技術の特徴を示す。今回の調査では，主にマイクロ W 領域（センサーネットワーク，MIT，UCB）と W 以上の領域（高性能コンピューティング，IBM, Intel）についての調査を行った。

表3.1 消費電力によるシステム技術の分類と指標

平均電力値	μ W～mW	mW～W	W 以上
アプリケーション領域	ユビキタス・センサーネットワーク	組込み系・携帯端末など	PC/WS・サーバ・HPC
重要指標	長時間駆動：単一の電池で年単位、環境 harvesting	リアルタイム系処理での長時間駆動	高性能維持・高実装密度
技術特徴：	極小 CPU/メモリ/ストレージ、処理に対して極端に長い duty cycle、超省電力ワイアレス、多数デバイスによる本質的なリダンダンシ、自律構成	組込み CPU の成熟リアルタイムの periodic 処理における速度調整、クラシック手法は多種ソフトとハードの協調、設計：動的再構成のサポートなど	CPUが消費ドミナント並列処理による省電力化、ソフトウェアの貢献大：計測・予測・プランニング・DVS 制御など 省電力高性能ネットワークの必要性、大規模システムでは高信頼性・スケーラビリティ
代表的ソフトウェア・システムなど	Mote, TinyOS (Berkeley)	各種組込み OS	ノート PC/ブレード BlueGene/L Green Destiny

3.1.2 μ W 領域におけるシステムソフトウェア技術の動向

μ W 領域における省電力デバイスの中心的なアプリケーションは，主にユビキタス・センサーのネットワークであるが，その中でも特に常時接続の電源ができず，単一の電池で年単位の駆動を行ったり，あるいは太陽電池や振動発電などの極小の電力から駆動できる必要がある領域であり，また，センサー情報の有線による通信も期待

できないため、極小電力の無線ネットワークが構築できる必要がある。

このようなアプリケーション領域としては、以下のものが挙げられている。

- ・環境モニタリング Environmental Monitoring
 - 自然環境モニタリング Habitat Monitoring
 - 埋め込み型の生物学 Integrated Biology
 - 橋などの構造物モニタリング Structural Monitoring
- ・対話・制御低アプリケーション Interactive and Control
 - 追跡・回避 Pursuer-Evader
 - 侵入検地 Intrusion Detection
 - オートメーション Automation

いわば、これらは既存の mW 級の組み込みと、RFID タグなどのパッシブな ID デバイスとの間の領域を埋めるものであり、組み込み型のハード・ソフトの技術の適用も可能である。しかしながら、従来型の FA のように単一機器における制御アプリケーションの対象のものや、あるいは携帯電話や情報家電のように比較的高い消費電力・大きなパッケージ・高度なリアルタイムマルチメディアアプリを仮定した組み込みのソフトウェア技術と比較して、特に以下のような技術的な特徴や制約があり、研究対象となっている：

1. 極めて小さい電力と、それによる CPU/メモリ/ストレージにおける制約 (8-16 bit, 数 KB など)。これにより、システムソフトウェアは大きな制約を受ける。よって、OS やランタイムライブラリは小さく作る必要があるが、一方プログラミングの容易さは確保しなくてはならない。従って、必要最小限の機能をコンポーネントとして組み合わせたり、あるいは Java のように動的に様々な機能やチェックを行うのではなく、クロスコンパイル時になるべく静的に決定できるものはしておく必要がある。
2. アプリケーションが比較的長周期 (数秒から分、場合によっては時間単位) の周期的なデータサンプリングおよび通信、および比較的頻度の低いセンサーイベント (侵入者検出など) に特化されており、これに適した高レベルな記述が可能 (OS や言語がサポート) でなくてはならない。
3. 無線も超低消費電力なので、レンジが 5 m-10 m 程度のものなので、マルチホップのアドホックネットワークを構成するしかなく、かつ無線の動作自身も周期的になる。この制約化で、なるべくユーザにネットワークの複雑さを見せないようにし、かつ高信頼に通信が行われなくてはならない。
4. 関連するが、従来の組み込み型と違い、Smart Dust のように大量にばら撒いて、その中で動作するものだけが動的に協調してセンサーネットワークを構成する仕組みがなくてはならない。そのような自律構成したノード群に対し、ネットワーク上のレイヤが一つのシステムとしてバックエンドから高信頼にアクセス可能にするよ

うな抽象化を行い，例えばセンサーデータの収集・イベントの獲得・センサーに対するリアルタイムなクエリー・ソフトウェアモジュールの更新，などが行えなくてはならない。

図 3.1 にセンサーネットワークの要素プロセッサにおける電力消費の様子を示す。

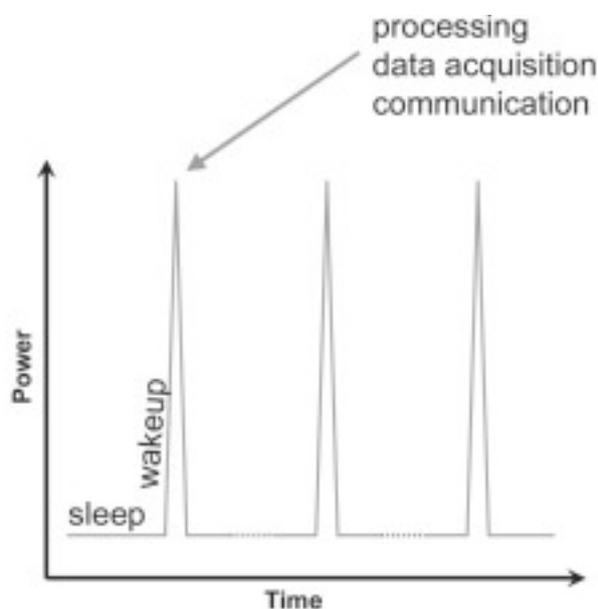


図3.1 センサーネットワークのプロセッサの電力消費特性

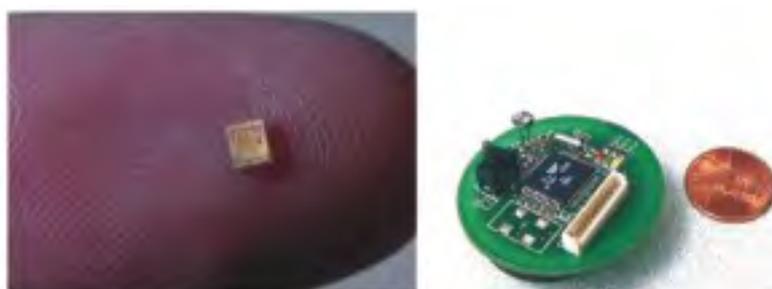


図3.2 Mote Chip (Spec 06/03) とマイクロセンサーノード

これらの要請を満たすために，2000 年ごろより新たな研究開発を行っているのが UC Berkeley の Brewer や Culler らのグループによる Mote および TinyOS の研究である。現在，TinyOS は sensor network 研究用のデファクトの OS として，多くの研究や，近年では実際の商用アプリケーションでも用いられている。(http://www.tinyos.net/)

TinyOS は，おおむね以下の特徴を持っている

—ハード抽象化，nesC による C レベルのプログラミング

- ・通常このような極小デバイスにおけるプログラミングは，ハードウェア機器に特化したり，高級言語はなくアセンブラレベルでの開発が主だが，TinyOS アセンブラののでは Mote のバージョンなどによるハードウェアの違いを通常の OS

のようにきちんと吸収・抽象化し、また、nesC という、C ライクな言語でのプログラミングを可能としている。実は nesC は上記の要請を満たすために、以下に述べるように C より優れた機能も装備している。

—ソフトウェアコンポーネントによるモジュラ化

- ・必要最小限の機能モジュールを組み合わせるために、OS の必要な機能をコンポーネントとして提供、アプリと混合でコンポーネント同士の「配線」、それによる低オーバーヘッドおよび高速動作の達成、を行っている。この機能はすべて nesC の言語機能としてサポートされている。

—マルチスレッド・イベント駆動プログラミング

- ・ nesC ではタイマやセンサーイベント駆動、コンパイラによるデータレースの検出、などがスレッドモデルとしてプログラム言語に組み込まれており、またこれらをサービスするライブラリも nesC でモジュール化してある。また、レース状態などは、コンパイラがあらかじめその可能性を自動検出する機構がある。

—ワイアレス（アドホック）ネットワーク

- ・ネットワーク通信もイベント駆動型のプログラミングに適用するために、昔 Culler 達が 1994 年ごろ提唱した、超並列マシン用の Active Message の技術を応用し、低オーバーヘッドでメッセージ駆動のプログラミングを可能としている。

—センサーネット上の検索

- ・上位層のライブラリとして、ネットワーク状態の周期的なアップデートや、ストレージおよび SQL Query を全体にブロードキャストして行う、などの機能を有している。これによって、例えば「今温度が 30 度以上のセンサーは」とかの query をセンサーネットワーク全体に尋ねることが可能となる。

現在、TinyOS v.2.0 として、オープンソースによるコミュニティ開発が続いており、今年（2005 年）に v.2.0 が出る予定である。新機能としては、例えば並列スレッドのプログラミングモデルの向上、コンポーネント接合と再利用のための generics（型パラメタ）などがあげられている。

3.1.3 数 W レベルのシステムソフトウェア技術の動向

この領域の主なアプリケーション領域は、PC や WS、サーバ、ハイエンドの HPC 領域である。従来の低消費電力技術の研究開発は mW レベルの組み込み機器むけのシステムで行われてきたが、HPC やサーバでの低消費電力化の研究が活発化しつつある。IPDPS (International Parallel and Distributed Processing Symposium) において行われた HP-PAC (The workshop on High Performance Power Aware Computing) は HPC 領域での低消費電力技術に焦点を当てた最初のワークショップであり、シンポジウムのメインセッションにおいても 1 つのセッションが低消費電力

化技術であった。このシンポジウムは並列分散処理に関するシンポジウムであるが、このシンポジウムで低消費電力技術が取り上げられる大きな理由は並列処理技術が低消費電力化と高性能化と密接に関連するからである。

高性能システムにおける低消費電力技術の目指すものは消費電力当たりの性能 (FLOPS) の向上であり、高密度実装により大規模化を達成し、更なる大規模アプリケーションの実行を可能にすることである。このようなスパコンクラスの大規模システムでの低消費電力化に加えて、低消費かつ高密度なシステムを可能にすることにより、これまで PC クラスタやワークステーションで行われてきた、研究室レベルでの科学技術計算向けのプラットフォームの高性能にも対応することができる。高性能科学技術計算を目的とするシステムでは、性能に対する要件は厳しく、計算性能を低下させることは望ましくないため、従来の組み込みシステムにおける実時間処理での periodic な処理やインタラクティブな処理を行う場合の低消費電力化の技術は適用できない。

また、エンタプライズアプリケーション向けサーバにおいては個々のジョブを並列に実行することができるため、並列処理と単一スレッド処理性能対消費電力のトレードオフを考えた省電力やディスクの電力制御による省電力の研究が活発に行われつつある。

このような状況を踏まえ研究の動向を見ると、低消費電力化を目指す方向性として、Low Power HPC と Power Aware HPC の 2 つに大別される。

Low Power HPC とは消費電力の少ない構成要素を用いて、全体として高性能を目指す方向であり、BlueGene/L をはじめとするペタフロップス級の超並列システムがその一つである。このようなシステムでは、比較的消費電力が低く電力当たりの性能を高めたノードを構成要素とし、高密度に実装することにより、数万の計算要素を集積可能にして高性能化する。このために、構成要素の数が大量になるために従来の並列システムとは異なるシステムパラメータのトレードオフを考慮しなくてはならない。例えば、BlueGene/L では、スケーラブルにするためにネットワークを高速化したり、ソフトウェアにおいても従来のクラスタなどとは異なる通信ライブラリを実装設計したりしている。要素数が多くなることは信頼性を確保するのが困難になるため、それをカバーするためのディペンダブル技術は必須となる。

一方、Power Aware HPC は、システム全体の消費電力をワークロードに応じて制御することにより、最適な電力で処理しようという方向性である。多くの CPU において、アプリ毎にパワーと実行時間は異なるトレードオフが存在する。このためには、まず、処理に対する Energy-Delay 積などの最適化を行う性能指標 (metric) を決める必要がある。制御方法としては、DVS, Clock-gating を用いて、システム全体を与えられた指標において最適に制御する。また、並列システムでは通信にかかわる電力、ならびにプロセッサの制御という別の制御要素も存在する。例えば、通信ではバンド

幅を向上させるために複数の通信路による伝送技術が利用されているが、これを必要な通信バンド幅に応じて、通信路を選択的に休止させ省電力化することが考えられる。サーバーシステムで多く利用されている、SMP システムにおいても、プロセッサごとに状況に応じて個別に DVS 等の電力性能の制御することも考えられる。

Power Aware HPC のためには、電力の計測・解析やモデリングおよび予測、性能との相関性・省電力実行のプランニング・実際の実行と制御、といった自律制御のフレームワークが必須となる。このようなフレームワークは、ジョブレベルのスケジューラ、コンパイラ・実行時ルーチン、アルゴリズムといった様々なレベルで適用することが必要である。

以下に、Low Power HPC, Power Aware HPC に共通するシステムソフトウェア技術の課題についてまとめる：

- 並列とシングルスレッドのトレードオフ。並列要素を増やすと、粒度の減少が起き、結果として CPU 等主要コンポーネンツが増加する。そのため、OS、ミドル、アプリ含めて、ソフトウェアスタック全域に渡って大規模なスケーラビリティの確保が必要。
- コンポーネンツ増加に伴うソフトウェア上の高信頼化
- コンポーネンツ増加および電力制御可能なコンポーネンツの増加に伴うソフトウェア上の自律構成の必要性

高性能プロセッサの動向に目を向けると、これからのプロセッサテクノロジーは周波数の向上による性能向上から、マルチコア化による性能向上に大きくシフトすることが確実となっている。このようなマルチコア化を活用するためには、並列処理技術がさらに重要になると思われる。また、多くのプロセッサにおいて DVS が可能になっており、このようなプロセッサが普及することによって、Power aware HPC が適用できる場面が増えてくるとと思われる。

また、微細化するにつれて、リーク電流の制御が課題になり、DVS をはじめ、プロセッサ全体、部分の Clock gating および閾値制御が可能になると思われるが、ソフトウェアにとってはどのようにしてコントロールできるかのインタフェースが重要である。

3.1.4 まとめ

今回の調査で特に印象に残ったのは、高性能化と低消費電力化、高信頼化の技術はそれぞれ密接に関連していることである。Low Power HPC は、消費電力が比較的小さいコンポーネンツ (Slow) を多く集積して (Many) 高性能化を目指すアプローチであるが、コンポーネンツが膨大になるために信頼性を確保する技術は必須となる。センサーネットワーク技術においても、その要素数は膨大であり、冗長性化し高信頼化することは重要な課題となる。これをさらに推し進めれば、信頼性の低下を前提に

低消費電力化し、冗長性を増やして信頼性を確保するといった積極的なアプローチも取り得る。

また、低消費電力化技術による新たな産業創出の可能性を強く感じた。センサーネットワークは元々軍事主導で行われていた研究であったが、その利用は環境問題を解決するためのリモートセンシング、あるいは店舗、オフィス、ホームにおける応用が開拓されつつあり、新しい産業の創出をもたらしつつある。また、Low Power HPCは、研究室でデスクトップにおける高性能 HPC システムも可能にする。科学技術計算向けのシステムの動向を見ると、ペタフロップスに達するハイエンドのシステムと研究室で利用している PC や WS の性能差は年々差が開く傾向にある。この差を、これまで PC クラスタが埋めていたが、設置面積や必要な消費電力といった面から設置条件に制限があった。そこで、Low Power HPC 技術により、低消費電力化しコンパクトすることにより、PC クラスタを WS と同等のスペースで実現できるようになる。実際、このようなシステムは Orion multisystem (図 3.3) などのベンチャー企業により実用化されつつある。

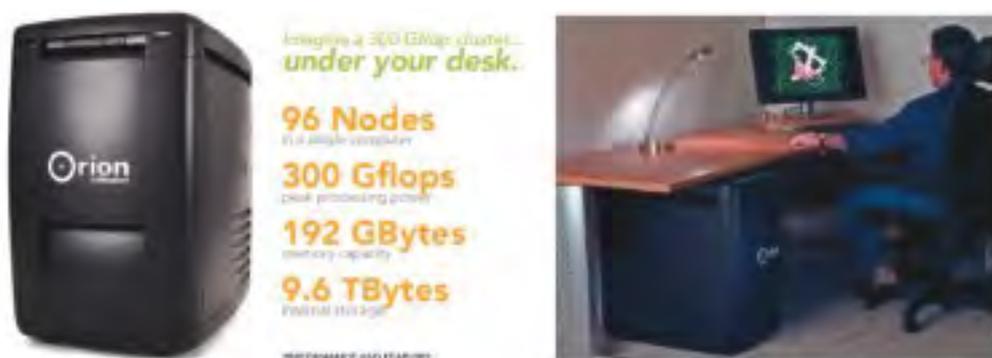


図3.3 Orion Multisystems Efficient Cluster 300GFlops/1.5 kW/\$100,000
(オフィスのコンセントから駆動可能)

今回の調査では、マイクロ W から mW 領域のセンサーネットワークと W 以上のサーバ、HPC 領域の調査が主であったが、依然として mW 領域の組み込みシステムに用いられる低消費電力化技術が重要であることは言うまでもない。この領域での技術は、Power Aware コンピューティングであるが、今回の調査では HPC やエンタプライズサーバにも広がりつつあることが実感された。性能だけであったこの領域に消費電力という要素が加わることにより様々な研究課題が生まれている。高性能プロセッサにおいても、並列処理と低電力化、電力制御は重要な課題となっている。従来、我が国が強いとされていた組み込み領域のプロセッサおよびシステム技術を、このような新たな領域の研究課題に生かし、研究を展開することが望まれる。

3.2 アーキテクチャ

3.2.1 アーキテクチャ A

3.2.1.1 低消費エネルギー化に対するニーズ

今回の調査において、米国における研究開発の議論が、単なる技術的な側面だけでなく、社会的なニーズや技術の影響力を総合的に考えて進められている点には注目する必要があると考える。低消費エネルギー化のニーズに関しても、応用分野側と要素技術の側面の双方から議論が進められている。特に、応用分野として、新しい分野を開拓し、情報技術の応用のすそ野を広げる議論が真剣に行われている。新しい応用分野として、社会システムや環境問題、医療応用、教育、エネルギー供給、開発途上国支援への応用など従来の技術の枠を大きく広げる議論を展開しているのが注目される。特に、カリフォルニア大学の CITRIS では、このような視点が色濃く、社会科学、医学、建築など幅広い領域の研究者を巻き込んで、未来社会における技術の方向性について大きな構想を議論している（図 3.4）。

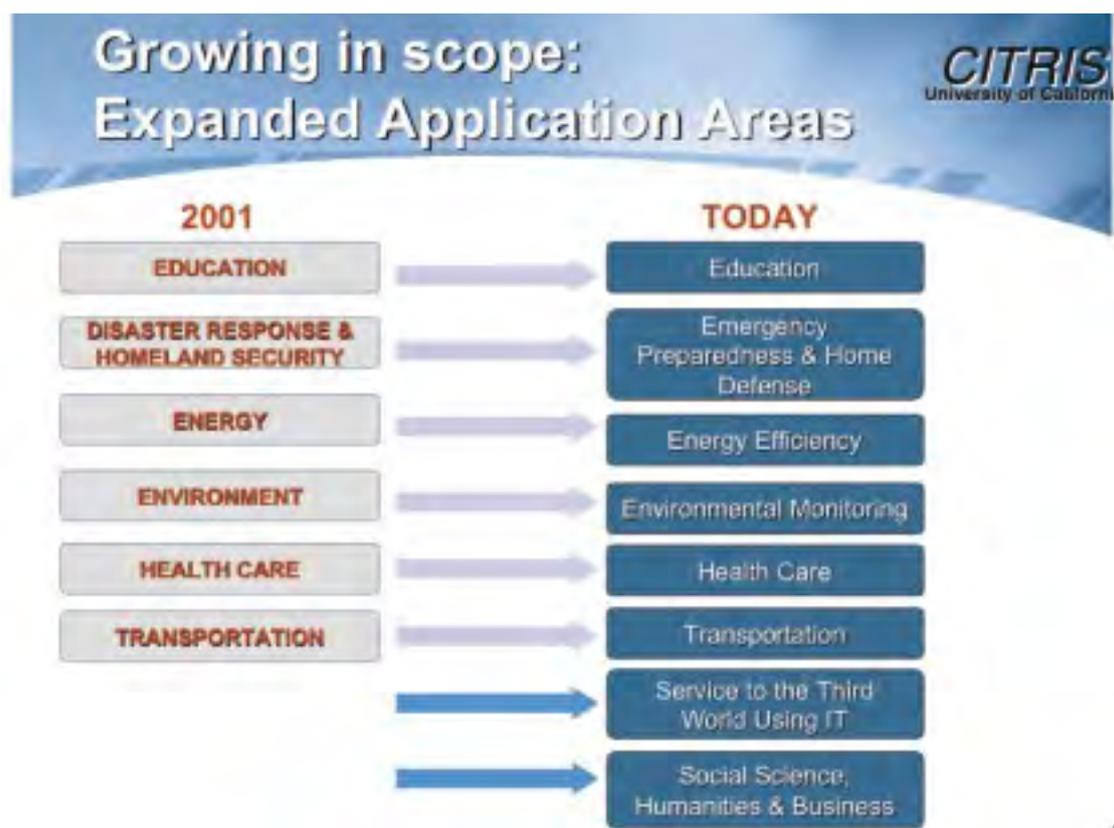


図3.4 CITRIS の応用分野（資料提供 Dr. Gray Boldwin）

今回の調査対象の中で、MIT と UCB では、DARPA を中心に軍事目的で開発されたセンサーネットワークの技術を、いかに民生用に展開するかという問題を、上記の社会的なニーズや応用分野の開拓といった観点から議論している。情報やエネルギー

を伝える配線のコスト（特に工事にかかるコスト）が大きいというシステム的な問題点から説き起こし、エネルギー供給を無線とする（バッテリーの利用や太陽電池などの環境エネルギーからの発電）ことで供給できるエネルギー量から逆算して、情報通信、情報収集(センサー機能)、情報処理に利用できるエネルギー量を算出し、その制約を満たす技術を開発しようとするアプローチを取っている。必ずしもエネルギー総需要を削減する考え方ではなく、社会全体の投資から考えて、配線に要する費用よりも低い費用でシステムが構築できるならば、総エネルギーは増えても多数のセンサーノードをばらまいたほうが有利であるとする考え方が底流にある。大量生産を前提とする半導体産業には有利に働く考え方であり、従来の高性能で高信頼な部品をできるだけ少なく使ってシステムを構築するアプローチとは異なる市場が構成される可能性を持つ。また、低消費電力で信頼性の低いデバイスをたくさん集めて信頼性の高いシステムを構築するというアプローチも、米国らしい考え方である。社会システム、医療応用、環境センサーネットワークなど幅広い応用を想定した研究が進められている。

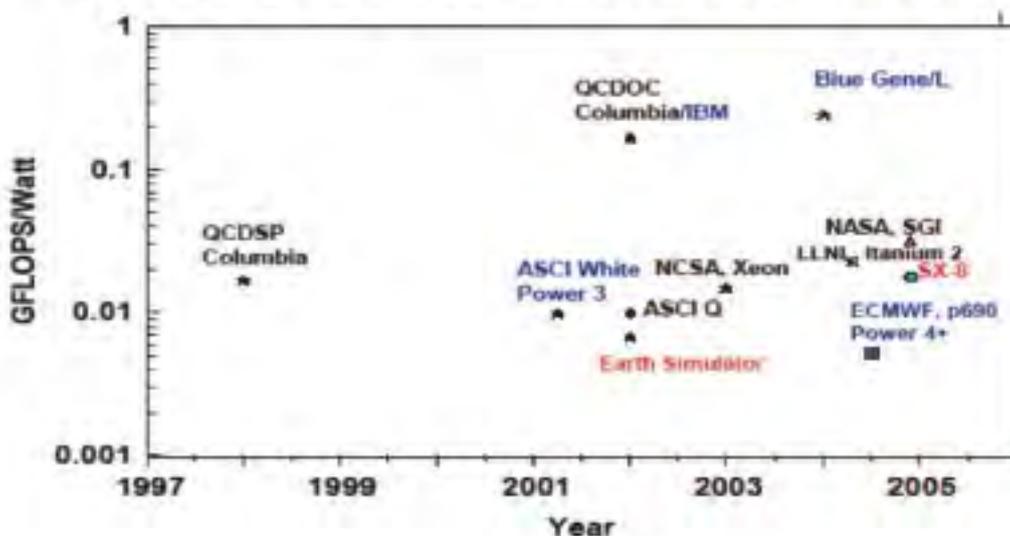


図3.5 消費電力あたりの性能比較（資料提供 IBM）

一方、高性能情報処理において激しい競争をしている産業界は、電力消費による発熱および運用コスト（電気料金）の制約から、その方針を見直さざるを得ない状況になっている。IBMは超高性能計算機の開発に対して、電力消費の大きな高速プロセッサに頼らず、電力消費が小さい比較的低速のプロセッサを多数並列に動作させる slow & many の方針を取っている（図3.5）。これは、科学技術計算の市場に、新しい流れを作っている。地球シミュレータのように、大きな設置面積と電源設備を用意しなくても高い計算性能を実現できることを実証したことは、高く評価できる。

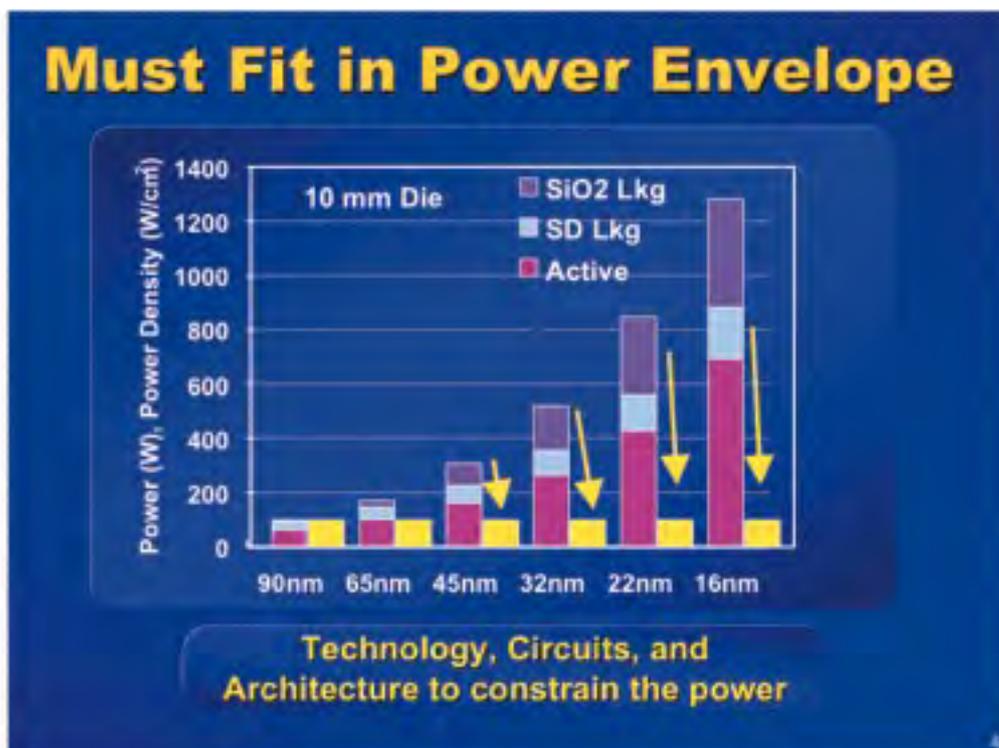


図3.6 マイクロプロセッサの電力密度 (資料提供 インテル)

インテルも従来の微細化と周波数の向上によるマイクロプロセッサの性能向上の路線を断念し、電力消費の少ない新しいアーキテクチャに取り組んでいる。トランジスタ数の増加と周波数の向上による動的消費電力の増加および微細化と低電圧化によるリーク電流の増加は、従来のアプローチでは1平方センチあたり数百ワットを超える電力密度となり(図3.6)、現実的な冷却法では溶融を防ぐことができない。微細化と集積度の向上の成果を並列処理に振り向け、実質的な性能向上を実現するアプローチに転換した。すでに、低消費電力化は、計算機システムにおける主要な付加価値と位置づけられるようになったといえる。

3.2.1.2 アーキテクチャレベルでのアプローチ

低消費電力化に対するアーキテクチャレベルでのアプローチは、MIT やUCBで行われている無線化マイクロワットデバイスの研究開発とIBMとインテルで進められている性能・電力のトレードオフを考慮した性能限界への挑戦の2つに分けることができる。

(1) 無線化マイクロワットデバイスの実現 (MIT, UCB)

センサーネットワークのノードなど、エネルギーの供給と通信を無線化し、環境から取得できる微弱なエネルギーを用いて動作するモジュールの開発とそれを組み合わせた大規模なシステムを構築することを目指す研究である。太陽光、風、人間の体温、振動などをエネルギー源として発電をするしくみ(主としてMEMSを利用)および得

られた微小エネルギー（表3.2を参照）を制約条件としてマイクロワット級で動作するセンサ・プロセッサ・メモリ・ADC/DAC・無線用アナログ回路・アンテナなどを開発している。極限的な制約条件を設定し、現在のミリワット級の技術を2桁以上の低消費電力化することを目標とする技術チャレンジである（図3.7）。

表3.2 環境から得られるエネルギー（資料提供 Jan Rabaey 教授）

	mW/cm ³
Solar (outside)	15,000
Air flow	380
Human power	330
Vibration	200
Temperature	40
Pressure Var.	17
Solar (inside)	10

また、このようなエネルギー的に自立した無線通信機能を持つインテリジェントなノードを組み合わせ、大きな社会システムや産業システムを構築する技術も同時に研究している。低ビットレートの通信を組み合わせ、大きな空間の情報を集約する技術、低信頼のノードを冗長に組み合わせ、高信頼なシステムを構築する技術、医療や社会システム分野の新しい市場の開発などを並行して進めている。また、このようなシステムを電力供給系の制御など社会的な大規模エネルギーシステムの制御に利用することで、社会全体の低電力化も図ろうとしている。

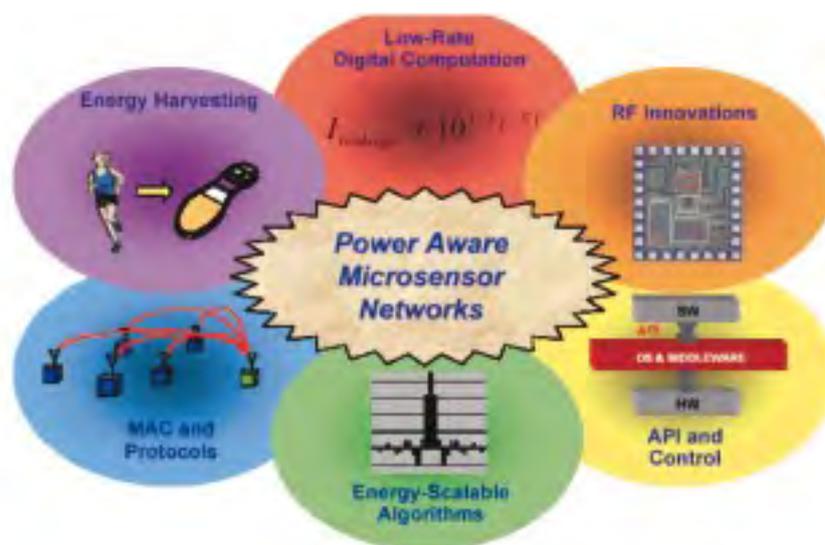


図3.7 センサーネットワークの研究開発項目（資料提供 Anantha Chandrakasan 教授）

システム全体のアルゴリズム、通信プロトコル、システム構成に関する幅広い議論を行いながら、試作システムを数多く試すことで新しい問題点を明確化するとともにその解決策を見いだしている。環境適応性や時間的適応性をシステムに導入して、システムが実運用された後にもエネルギー削減のための改良を自己組織的に行う方法についての研究も進めている。

(2) 性能限界への対応 (IBM, Intel)

汎用プロセッサや HPC などの高性能計算機システムの研究開発においては、半導体集積回路内の電力消費の増大が、発熱とそれに対する冷却コストの増大として問題化している。アーキテクチャ的には、動作周波数の増加による性能向上の方針をあきらめ、比較的低速で周波数の低いプロセッサコアをチップ内に複数搭載し、同一の計算を行うのにかかる消費エネルギーを削減しつつシステムの性能を向上させる技術が基本となる(図 3.8)。IBM の BG/L においては、さらに大量の低消費エネルギーで低速なプロセッサを大量にラック内に高密度実装し、超並列処理を実現することで、世界最高速の性能を実現している。

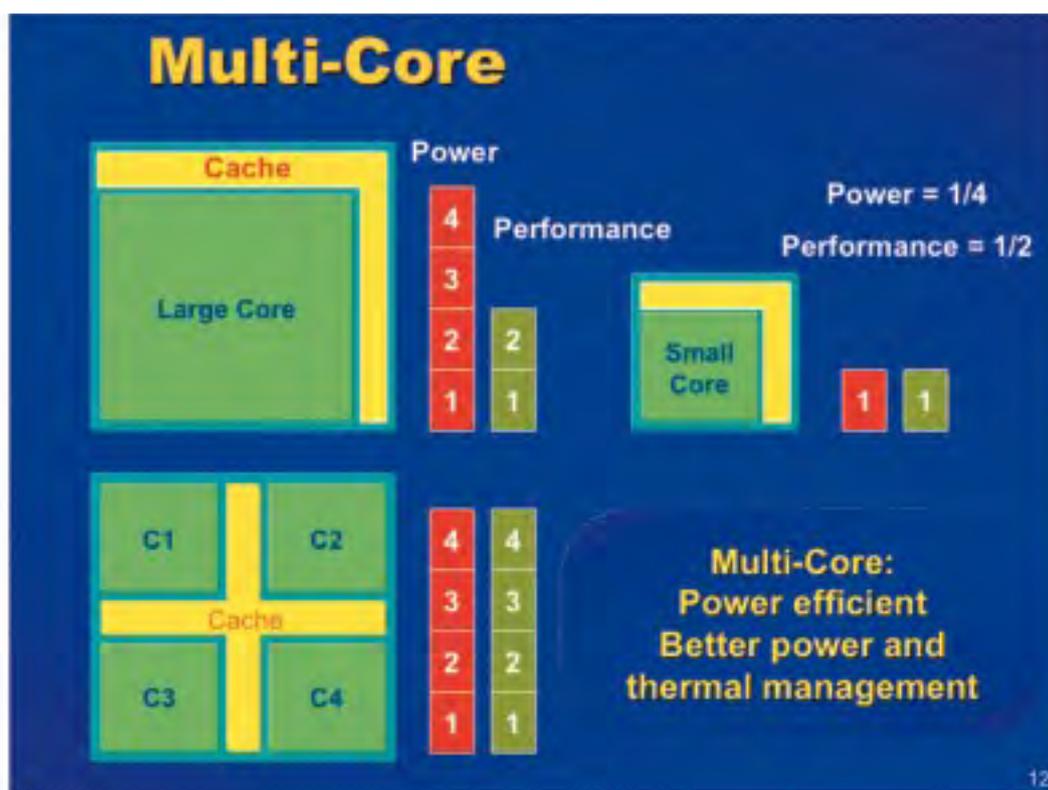


図3.8 マルチコア方式による電力効率化 (資料提供 インテル)

また、時間的・空間的な計算負荷の不均一性に注目して、チップ内の各ブロックへ供給する電力を最適化する技術 (DVS (Dynamic Voltage Scaling)) やブロックごとに供給電圧を変える複数電源電圧方式なども実用化している (図 3.9)。これは、忙しい部分回路または時期には電力を投入して性能を確保し、暇な部分や時期には電源

電圧を下げてエネルギー効率が良い動作をさせるという方針である。さらに、ソフトウェア・ハードウェア協調設計の考え方を導入し、ハードウェア化してエネルギー削減に大きな効果がある部分は、徹底的に低電力化した専用ハードウェアを投入する方針も両社に共通している。

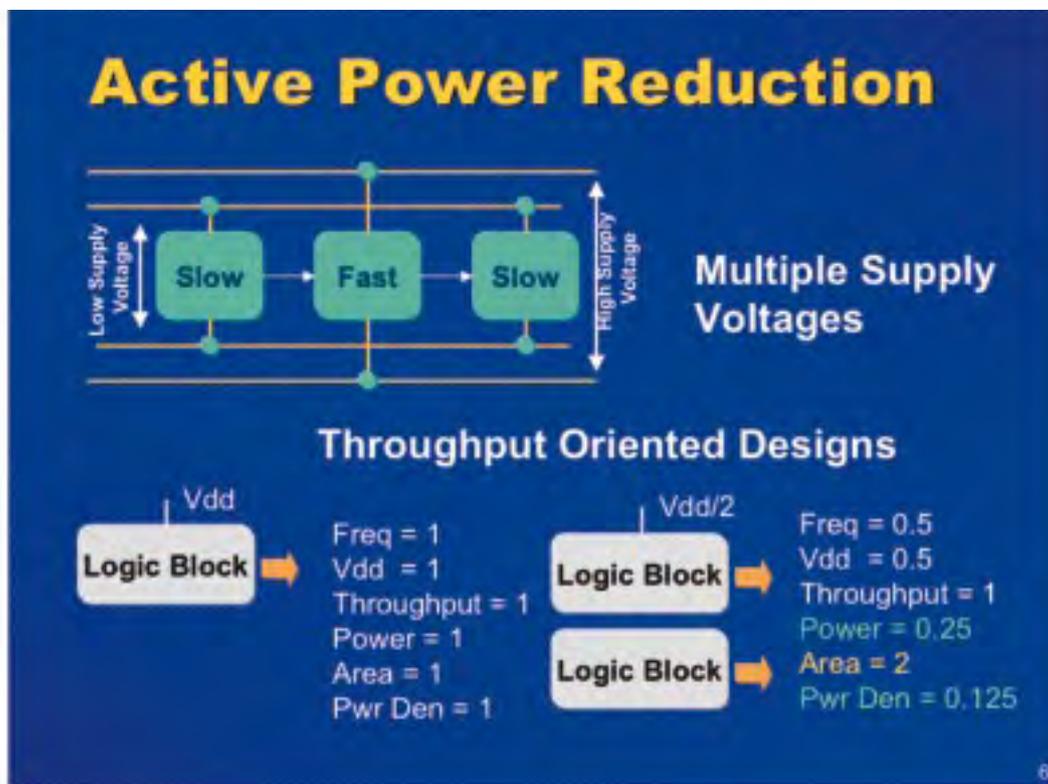


図3.9 複数電源方式による電力の削減（資料提供 インテル）

全体的に、エネルギーや電力の削減に関しては、ソフトウェア・回路・アーキテクチャへの依存度が增大している。MIT や UCB も含め、システム的なアプローチが重要である点を強調している。計算だけでなく通信や記憶における消費電力に対する配慮も重要である。

3.2.1.3 技術的課題

技術的な課題としては、性能・コストと消費電力（エネルギー）のトレードオフに関する明確な理論的根拠が確立していないことが挙げられる。DVS のように、理論的にもきれいなトレードオフ関係が明示されているものもあるが、リーク電流の影響や並列処理における並列化可能性の問題は、一般的な理論化が難しい。具体的な例題に取り組むことから新しいモデルを構築し、実用的な理論的基礎を生み出す為の努力が各研究機関でなされている。インテルのアプローチは、並列化に対してアプリケーションやコンパイラ・OS がどのように対応するかという問題にはまだ十分に踏み込んだ議論をしていない。IBM は特殊な科学技術計算に対して、プロセッサ間の結合網や

OS の影響も含めた豊富な経験の上に立った一つの解を示していると考えられる。どこまで、汎用的な世界にこの考え方が適用できるかは興味深い。

無線回路に関しては、短距離で低ビットレート (Kbps) ではあるがマイクロワット級の送受信回路の実用化の可能性を示したことは、今後の応用分野の拡大や市場の創成において大きな成果であると言える。今後は、通信のエラーレートの削減、通信距離の拡大、ビットレートの向上、実装の問題(異なるデバイス技術を利用するので SiP (System in Package) のような形になってしまう)などを解決することが課題である。エネルギー収集の為に発電の仕組みも重要な技術課題である。

信頼性は、多くの場面で主要な技術課題となる。マイクロワット級のシステムの場合は、低電圧・微小電流で動作するシステムの信頼性が大きな問題である。デジタル処理、メモリ、アナログ回路のすべてにわたって大きな課題となっている。さらに、無線通信における通信の信頼性や社会システムなどへ応用した場合の経年変化の問題なども重要な課題である。ワット級の高性能システムにおいては、多数の素子を含むシステム全体の信頼性や故障したノードの存在を前提としたアーキテクチャの構築が重要であると指摘されていた。また、Rabaey 教授が指摘したように、これまでのデバイスはある意味で信頼性に関して Over Design であり、そこでトランジスタやエネルギーを無駄にしていた可能性もある。このような Over Design を排除する設計技術も低消費電力化の一つの方向性であると言えるかもしれない。

最後に、今後も続く想定される加工技術の微細化への対応も重要である。特に微細化による温度・電圧・プロセスの変動 (Variation) の克服は、アーキテクチャレベルの設計でも正面から考えるべき課題である。

3.2.1.4 おわりに

今回の調査対象の範囲内ではあるが、米国の低消費電力化設計技術に関するアーキテクチャレベルの基本的な方針をまとめる。最初から、技術開発の範囲の制約を設けずに必要な技術は何でも開発するという方針で、走りながら新しい技術分野を構築していると言って良いと思う。その中でも、以下の点が重要であると考えられる。

- (1) 分かりやすいゴール設定
- (2) 目標から要素技術までの単純で明快な論理の構築
- (3) 分野間のバリアの除去と相互協力
- (4) 異なる発想の統合

具体的に、高性能計算 (ワット級) と超低消費電力のセンサーネットワーク (マイクロワット級) という 2 つの極端な目標の設定を行い、LSI チップ、電源、RF 回路、通信プロトコル、システムアーキテクチャ、ソフトウェア、実装、応用のあらゆる分野に関係する研究開発を異分野の研究者が協力して進めている。特に、若い学生や研究者がこのようなプロジェクトの中である種の All Round Player として育成されて

いることが非常に重要である。「専門化と総合化のバランス」と「最後までやる持続性」は我が国も多いに学ぶべきではないであろうか。

3.2.2 アーキテクチャ B — mW~ μ W 分野の調査報告 —

3.2.2.1 報告対象の技術領域

3つに分類した消費電力レベルのうち、mW~ μ W オータム分野、特にセンサーネット分野について、ソフトウェア、アーキテクチャ、回路設計を縦に通して報告する(表3.3)。特に今回訪問した中でその分野に該当する、MITの μ AMPとUCBのBerkeley Wireless Research CenterのPicoRadioについて、訪問によって得られた情報と訪問前に調査した情報を合わせて報告する。

表3.3

	W	W~mW	mW~ μ W
ソフトウェア・アルゴリズム			報告対象分野 (センサーネット)
アーキテクチャ			
回路・デバイス			
応用	Desktop, HPC	Cellular, Wearable	Ambient, Implantable
今回の訪問先との対応	IBM, Intel		MIT, CITRIS

3.2.2.2 ターゲット応用分野

・MIT

DARPAのFundingで蓄積された研究成果を、社会インフラ、民間応用へ展開中である。応用分野は、①電力線モニタリング(ABB)、②医療応用、③自然環境情報ネットワーク(NASA/JPL Sensorweb)などである(図3.10)。

・UCB (Berkeley Wireless Research Center)

CITRISにあって、低消費電力ワイヤレスセンサーネット分野としては、PicoRadioとDust Networkのプロジェクトが在る。PicoRadioは、エレクトロニクスがバックグラウンドの中に埋め込まれ、目に見えない形で人の活動を補助する知的な環境、必要な時のみ適切な情報を用いることで安全やプライバシーを守る環境、すなわちAmbient Intelligenceの実現を目標としている。Dust Networkは、災害、環境、ライフラインのモニタリング、自動制御を目的としている。

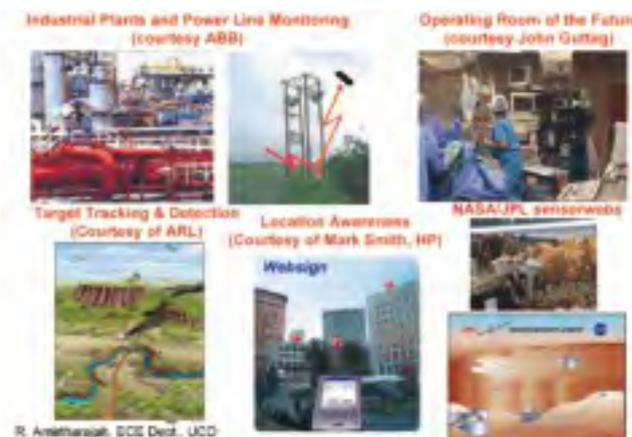


図3.10 MITのターゲット応用分野(MITのプレゼン資料より)

3.2.2.3 ターゲット性能と達成のための研究戦略

・ MIT

今後5年間の間に、センサーノードの全機能（データ取得、処理、制御、通信、電力生成）を、MEMSとCMOSの3D構造にて集積し、平均消費電力 $10\mu\text{W}$ のネットワークセンサーノードを実現する。目標性能は、Distance ($<10\text{m}$)、Latency ($5\text{ms}\sim 15\text{ms}$)、Data-rate ($<10\text{kbps}$)である。

達成のための研究戦略は、以下の3点である。

① システムレベルアプローチをとる。

アルゴリズムとプロトコルと実装の密結合を行い、デバイス、回路アーキテクチャ、MACレイヤプロトコル、APIを、縦に通した協調設計により、消費エネルギーと品質のトレードオフをとる。すなわち、低消費電力な Power-aware システム実現のために

- Energy Harvesting,
- Low rate computation circuit, RF circuit,
- MAC and protocols,
- Energy scalable algorithm,
- API and control

など設計全階層での innovation を行う（図3.11）。

② Slower is Better! 速度が要求されない限り、サブスレッショルド動作を積極利用する。

③ Communication Centric Design：演算コスト (mW/MIPS) は微細化とともにスケールダウンされるが、通信コスト (nJ/bit) は同じ割合でスケールダウンされない。したがって、通信コスト削減技術に力点を置いた研究開発を行う。

・ UCB

目標は今後1~2年以内に、体積 1cm^3 以下、コスト1セント以下、平均消費電力 $100\mu\text{W}$ 未満のネットワークセンサーノードを実現すること。

これを達成するための研究戦略としては、

- ① 全コンポーネントを低消費電力化する。
- ② できる限りシンプルな設計とする。
- ③ 電源電圧と電流をできるだけ小さくする。
- ④ アグレッシブな新技術（RF-MEMS、受動素子の集積）の利用。
- ⑤ システムレベルアプローチをとる。

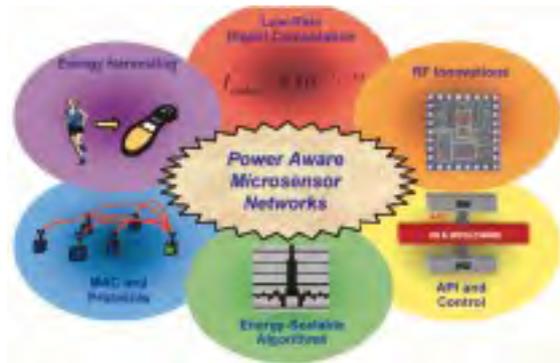


図3.11 MITの研究戦略。設計全階層でのイノベーション（MITのプレゼン資料より）

3.2.2.4 これまでの研究実績

・ MIT

過去5年間に多くの論文がpublishされている。まずは、上流のネットワーク経路制御アルゴリズム、MACプロトコルを確立し、その後、徐々に下流の技術階層の低消費電力化研究にシフトしてきている。動的電力制御（DPM）、動的電圧制御（DVS）など VLSI アーキテクチャ研究の後、最近では、回路、デバイス技術の発表が多い（図 3.12）。本プロジェクトは、センサーノードネットワークにおけるデータ転送手段として、マルチホッピングをベースとした省電力経路制御アルゴリズムを導入している。LEACH-C(サイトレポートにて紹介)は、クラスタヘッドがクラスタに所属するノードからの情報を集め、集約し、ベースステーションへ圧縮

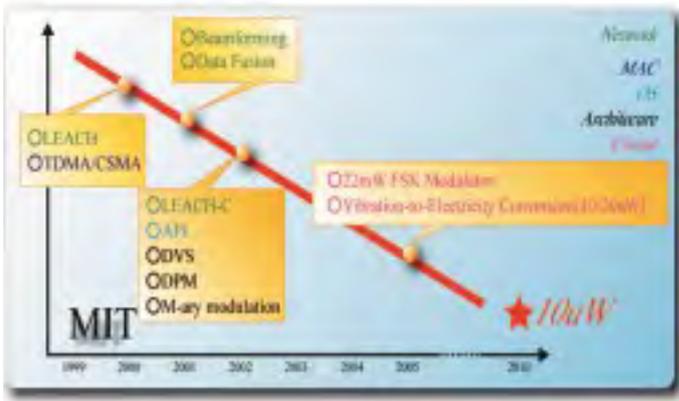


図3.12 MITの研究実績 (MITのプレゼン資料より)

したデータを送る(図 3.13)。ステーションがすべてのノードの位置情報およびエネルギーを把握してクラスタヘッドを決める。データを直接ベースステーションへ送る方法に比べ約7~8倍のエネルギー消費を削減する。つまり、クラスタによる階層的なデータ転送を行う際に、クラスタヘッドの疲弊を軽減するためにクラスタを適応的に構成することで、限られたエネルギー環境においてネットワークシステムとしての可用時間を拡大する手法である。また、Beam Forming, Data Fusionなど、センサーノードの通信品質を維持しながら電力消費を最小にするための経路制御アルゴリズムを提案している。さらにMAC層のプロトコルとして、TDMA/CSMAを発表している。

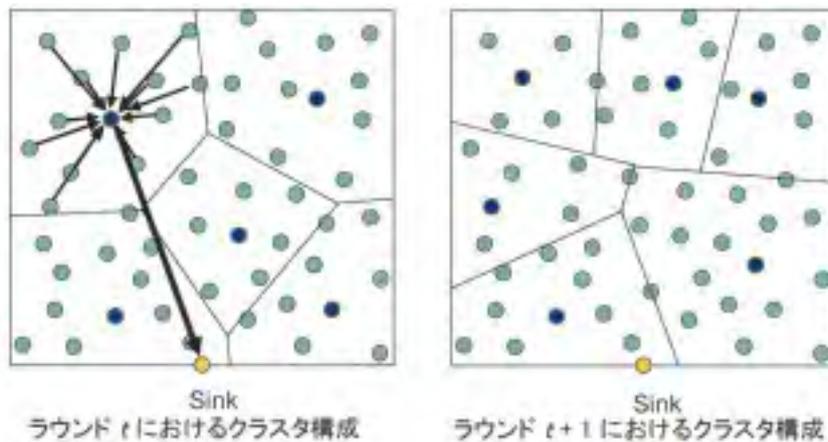


図3.13 省電力経路制御アルゴリズム (LEACH-C)
(IEEE TRANSACTIONS ON WIRELESS COMMUNICATIONS 2002)

本プロジェクトのもう一つの特徴は、センサーノードに DPM (Dynamic Power Management) と DVS (Dynamic Voltage Scaling) という 2 つの低消費電力技術を実装することである。前者はイベントの状況に応じて、動作する必要のないコンポーネントをシャットダウンする (図 3.14)。

Sleep state	StrongARM	Memory	Sensor, analog-digital converter	Radio
s ₀	Active	Active	On	Tx, Rx
s ₁	Idle	Sleep	On	Rx
s ₂	Sleep	Sleep	On	Rx
s ₃	Sleep	Sleep	On	Off
s ₄	Sleep	Sleep	Off	Off

Tx=transmit, Rx=receive

図3.14 Dynamic Power Managementにおける複数の sleep state (ESSCIRC 2002)

後者は負荷にマッチするように供給電力と動作周波数を適応的に変化させることで CPU の電力を削減する。この DVS では負荷予測が重要な問題となるが LMS という適応型フィルタリングを導入し過去の負荷の特徴に基づいた負荷予測を行う。予測負荷に従い周波数が設定され、その周波数で電力最小を実現する ($V_{dd}-V_{th}$) の組み合わせに電圧を動的に設定する。これらの技術を導入することによりセンサーノードのバッテリーレス動作を可能とする平均消費エネルギー $10 \mu W$ の実現を目指している (図 3.15)。

さらに、今年に入って、22 mW FSK Modulator と Vibration-to-Electricity Conversion (10-20 μW) 技術を発表している。

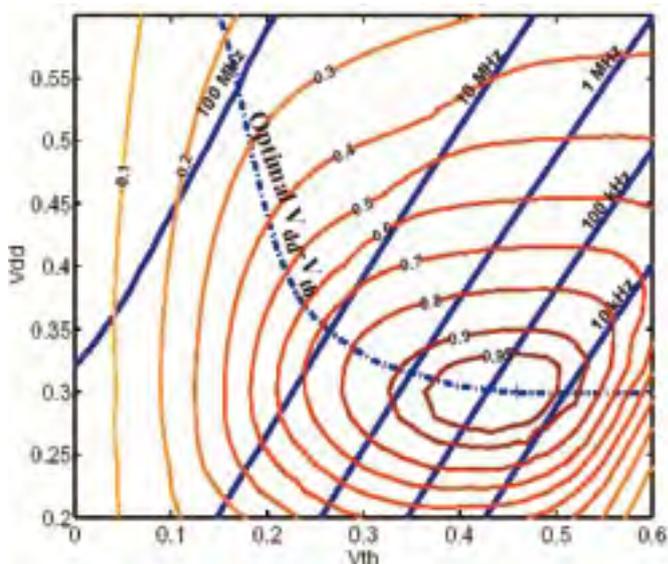


図3.15 DVS を用いた電力最小化 $V_{dd}-V_{th}$ 制御 (MIT のプレゼン資料より)

6.5 GHz の FSK 変調器は、閉ループ直接 VCO 変調と多段可変帯域技術を採用している。前者は高データレートを後者はスタートアップ時間を短くするためである。また、シンセサイザに $\Sigma-\Delta$ 変換器を用いて低電力化を図っている。本変調器は $0.25 \mu m$ プロセスで設計され $20 \mu s$ のスタートアップタイム、データレート 2.5 Mb/s、消費電力 22 mW を達成している。

・UCB

中規模、低コスト、低エネルギーなセンサーとモニターノードによって構成されるアドホックワイヤレスネットワーク“PicoRadio Network”の実現を目指す。消費エネルギーを最小化するためには「ネットワークの最適化」と「高度に再構築可能な実装プラットフォーム」が必要であると考えており、この2つに関して研究を進めている。



図3.16 UCBの研究実績 (UCBのプレゼン資料より)

UCBのPicoRadioもMITと全く同様に、2000年以降、上流技術階層の研究を先行させた後、最近では回路技術の発表が多い (図 3.16)。低消費電力ネットワーク経路制御アルゴリズムとして、Energy aware routing, Data Funneling を提案している。Energy aware routing で

は、準最適なパスを複数用意することにより、確率に基づいて energy aware なパスを選択する。結果として、Directed Diffusion に類似したものと比較して、40% までネットワークのライフタイムの向上を達成している (図 3.17)。また、消費エネルギーを低減するために、パケット集約は有効な手段の一つである。Data Funneling では、パケット衝突の回数とパケットサイズを減少させることを目的とし、対象エリアのボーダノードでのデータ集約により通信コストを削減し、低電力消費を実現している (図 3.18)。本来の集約 (data aggregation) よりさらにパケットを集約するために coding by ordering という概念を提案している。

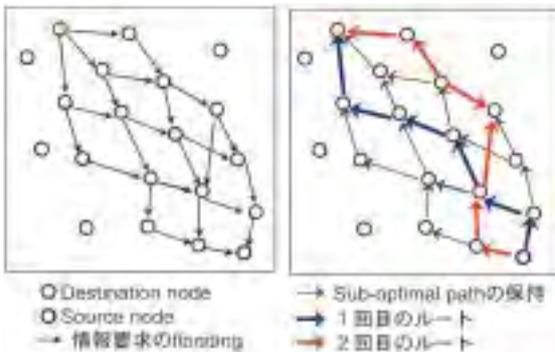


図3.17 Energy Aware Routing for Low Energy Ad Hoc Sensor Networks (IEEE Wireless Communications and Networking Conference 2002)

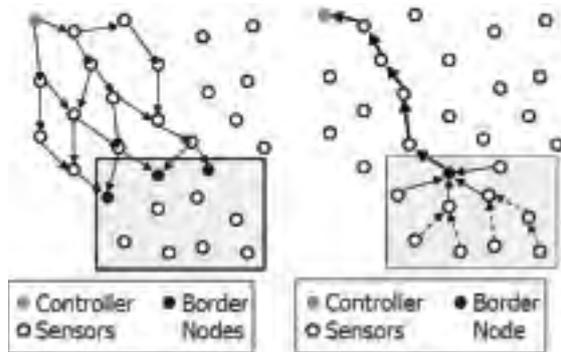


図3.18 Data Funneling: Routing with Aggregation and Compression for Wireless Sensor Networks (IEEE Int. Workshop2003)

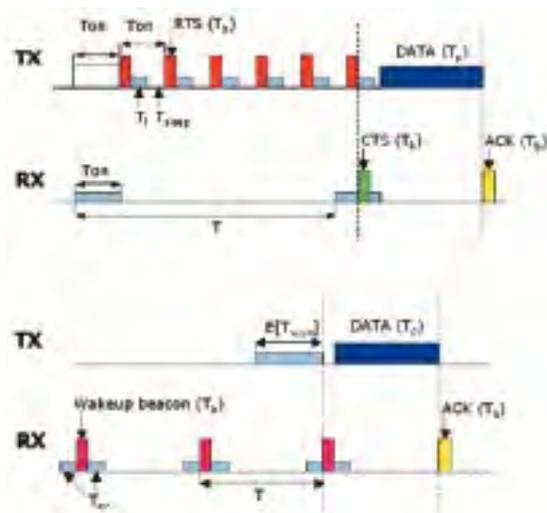


図3.19 TICSER/RICSER MAC プロトコル

MACプロトコルとしては、Wake-up Radio, TICSER/RICSER (図 3.19) を発表している。Wake-up Radio では、Sender がデータを送信するときに任意の Receiver を beacon で Wake-up させてからデータを送信する方式である。必要なときだけ受信機を起動させることができる。TICSER は Sender が送信する前に RTS (Request To Send) を周期的に送信し、Receiver が周期的に Wake-up して RTS を監視する方式である。RICSER は Receiver が周期的に Wake-up してそれを知らせるために

beacon を送信する。そして Sender は送信する前に beacon を監視して、beacon を受信できればデータを送信する。TICSER/RICSER 方式はアイドル時の消費エネルギーを抑えることができる。

回路技術としては、ここ数年、Vibration-to-Electricity Conversion (180 μ W) や、低消費電力 RF 回路技術を次々と発表している。2004 年に Active Antenna 内蔵の 1.8 mW の TX 回路 (図 3.20) として、RF-MEMS 共振器を用いたプロトタイプ 1.9 GHz トランシーバを発表。RF-MEMS と CMOS の協調設計技術により 10 μ s のオンタイムを持つ低電力受信器を実現している。諸元は、CMOS プロセス 0.13 μ m, 電源電圧 1.2 V, 送信出力 1.4 mW, 送信器効率 16.5%, 受信感度 (@SN 比=12 dB) -78 dBm, 受信器消費電流 3 mA である。また ISSCC 2005 では、センサーノードの RF 部の TEG として消費電力 1 mW, 効率 25% の TX と消費電力 450 μ W, 受信感度 -100.5 dBm @ BER 1e-3, 5 kbps の RX 回路を発表している (図 3.21)。

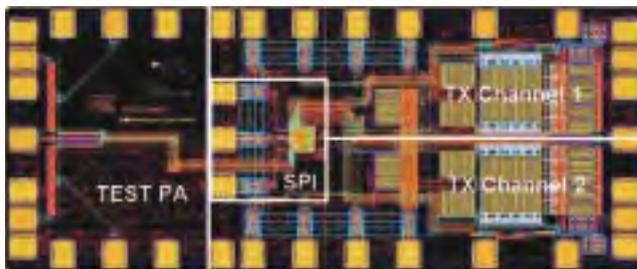


図3.20 An Ultra-Low Power MEMS-Based Two-Channel Transceiver (B. Otis, VLSI 2004)

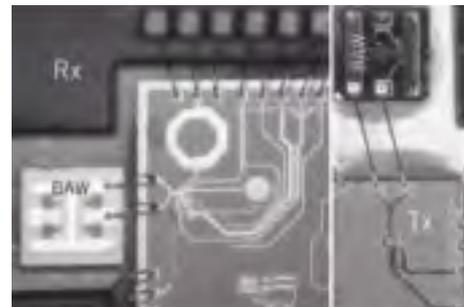


図3.21 A 400 μ W Rx, 1.6 mW Tx Super-regenerative transceiver (B. Otis, ISSCC 2005)

3.2.2.5 今後の課題

・ MIT

異なる技術による集積解の結線技術により、コンパクトな 3D 構造を実現し、かつ $10 \mu\text{W}$ の低消費電力特性を達成することである。現在、低電源電圧 (200 mV-300 mV) で、90 nm, 65 nm プロセスを用いた設計を計画中。

・ UCB

MIT と同様に、センサーノードに必要な全ての機能(アンテナ, RF, センサー, DSP, 電力生成, 通信, クロック生成)をコンパクトなセンサーノードモジュールに集積し(特に 1 cm^3 以下, 1 セント以下を表明), かつ $100 \mu\text{W}$ 以下の低消費電力特性を達成することである(図 3.22, 図 3.23)。一方システム上の最大の課題は、ネットワークシステム全体としての Reliability の確保である。低電圧設計では本質的に信頼性を下げる。かといって、Over-Design は解にはなりえない。システムレベルでフォールトトレラントな設計技術の確立が今後の重要課題としている。

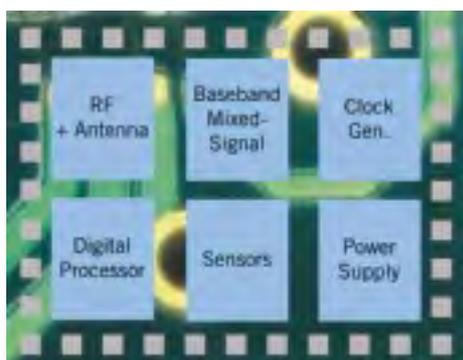


図3.22 センサーノード全機能の集積
(UCBのプレゼン資料より)

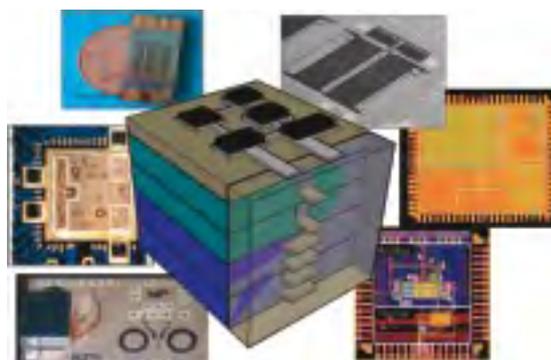


図3.23 PicoNode のイメージ図
(UCBのプレゼン資料より)

3.2.2.6 まとめ

MIT, UCB・BWRC のいずれの場合も、共通して言えることは、

- 1) まず、単に低消費電力デバイスということではなく、システムアプローチにより電力最小解を追求していることである。特に研究の初期の頃に、上位レイヤ技術(経路制御アルゴリズム, MAC プロトコルなど)を確立し、序々に回路, デバイスの発表が目立ってきている。
- 2) DARPA の Funding による軍事応用研究から蓄積された技術をベースに産学一体研究で社会・産業への応用へ展開している。
- 3) センサーノードのターゲット電力は、 $100 \mu\text{W} \sim 10 \mu\text{W}$ オーダである。これは、Energy Scavenging による生成電力から決められている。
- 4) 極限の低消費電力化から必然的に生ずる Unreliable なデバイスを用いて Reliable なシステムを構築する技術の構築が重要課題となっている。

3.2.2.7 今後の日本におけるセンサーネット研究への提言

- ・エネルギー管理，医療，環境モニタリングなど明確な社会ニーズの応用を define することが重要である。アプリケーションによってネットワーク仕様，センサーノード仕様が異なるため，投資対効果を訴えるためには，明確な応用目標の設定が必要である。
- ・究極の低消費電力特性を実現するためには，アプリケーション，経路制御アルゴリズム，低消費電力 MAC プロトコル，OS，動的電力制御，RX・TX 回路，低消費電力デジタル，アナログ回路，アンテナまで，上流の通信プロトコルから下流の LSI 設計まで縦に通した消費電力の最小化研究をチームで実施すべきである。
- ・さらに，今後の Deep Sub-Deci micron 時代において，センサーネットに限らず，求められることであるが，フォールトトレラントなネットワークシステム設計が必須である。無数のセンサーノードの中で低電圧化により瞬時的に部分的に信頼性の落ちたセンサーノードを擁しながら，ネットワークシステムとしての信頼性を確保することである。すなわち，極限の低消費電力化により低下するセンサーノードの信頼性をシステムレベル設計でカバーする設計技術研究が必ず必要となろう。
- ・MIT，UCB に見られるような全設計階層を縦に通した協調設計研究は教育上も極めて重要である。アルゴリズムができる人材，回路ができる人材は少なからず存在しているが，日本の産業界にあってトータルで技術を見られるプロジェクトリーダーの絶対数が不足していることは言うまでもない。シリコン上の無尽蔵のトランジスタリソースを駆使して，究極の低消費電力，高性能化をはかる国際競争はこれからが本番である。この時代に勝ち残る国際競争力を培うためには，アルゴリズムから回路までの全技術階層を把握した協調設計によって世界最高性能を得られることを心得，その方法論を学んだ人材の養成が必要である。

3.3 デバイス・回路

3.3.1 デバイス・回路

消費電力で分類し、10 W 超のワットクラス、1 mW から 10 W のミリワットクラス、1 mW 以下のマイクロワットクラスの3つに分けて詳しい技術マップを図3.24にまとめた。今回のG-Tecで、10 W 超のワットクラスあるいは1 mW 以下のマイクロワットクラスに関しては米国が先行していることが明らかになった。従って、この分野で我が国が勝負することは、単に弱いところを補うというような意味しかなく、日本の科学技術および産業基盤技術を差別化して強くするという意味合いは希薄になる。

結論としては、デジタルコンシューマやポータブル機器、車載エレクトロニクス、ロボットなど今後も日本の電子産業を支えると同時に、我が国の得意分野であり、かつまた学問的、科学技術的にも重要分野である1 mW から 10 W のミリワットクラスの消費電力化技術に注力することが重要であると考えられる。特に、アプリケーションとしてのロボットや車は日本が強く、これに対する電力的なソリューションを与えることは、技術的にも産業的にも意義深い。また、このようなソリューションを研究する上で、情報処理のみならず、通信や給電にも気を配る必要があり、組織的には異分野連携を推し進める必要がある。

	ワットクラス	ミリワットクラス	マイクロワットクラス
アプリケーション	HPC、MPU	携帯、デジタル機器	センサネット/医用
データ処理	細粒度適応電源制御システム ・高速可変電圧電源、基板バイアス ・オンチップセンシング ・パワーゲーティング ・専用/並列アーキテクチャ対応		超低電力回路 ・サブスレッショルド回路 ・断熱充電論理 ・(新不揮発性メモリ) ・(大面積エレクトロニクス)
	PVT制御、バラツキ考慮設計		
	低電力のためのテクノロジー、DFM、インダクタ、SOI		
通信	(新実装/SiP設計) ・3次元IC ・(チップ間無線通信)	エネルギー供給システム ・MEMS発電 ・(無線給電)	
	IBM / Intelの カバー範囲	超低電力短距離無線データ通信 ・UWB、準ミリ波CMOS	MIT / UCBの カバー範囲
()内は米国でのカバーが弱い、あるいはなかった部分		超低電力アナログ回路 ・並列/パワーゲーティング ・kT/Cノイズ対策	

図3.24 ワットクラス別の重要研究項目と米国でのカバレッジ

1 mW から 10 W のミリワットクラスの技術分野は、当然その他のワットクラスにも影響を与えることができる。従って、その他のワット領域を捨てるということではなく、まずはこの範囲に注力、その後、この知見と技術をピボットに使うことで他の分野に進出という絵を描くことができる。日本が得意とするであろう主要アプリケーションにロボットがあるが、ロボットをアプリケーションとしたとき要求される性能当りの消費電力を図 3.25 に示す。将来は 6 桁程度の性能当りの消費電力の低減をする必要があると考えられ、消費電力化には継続的な投資が必要と考えられる。

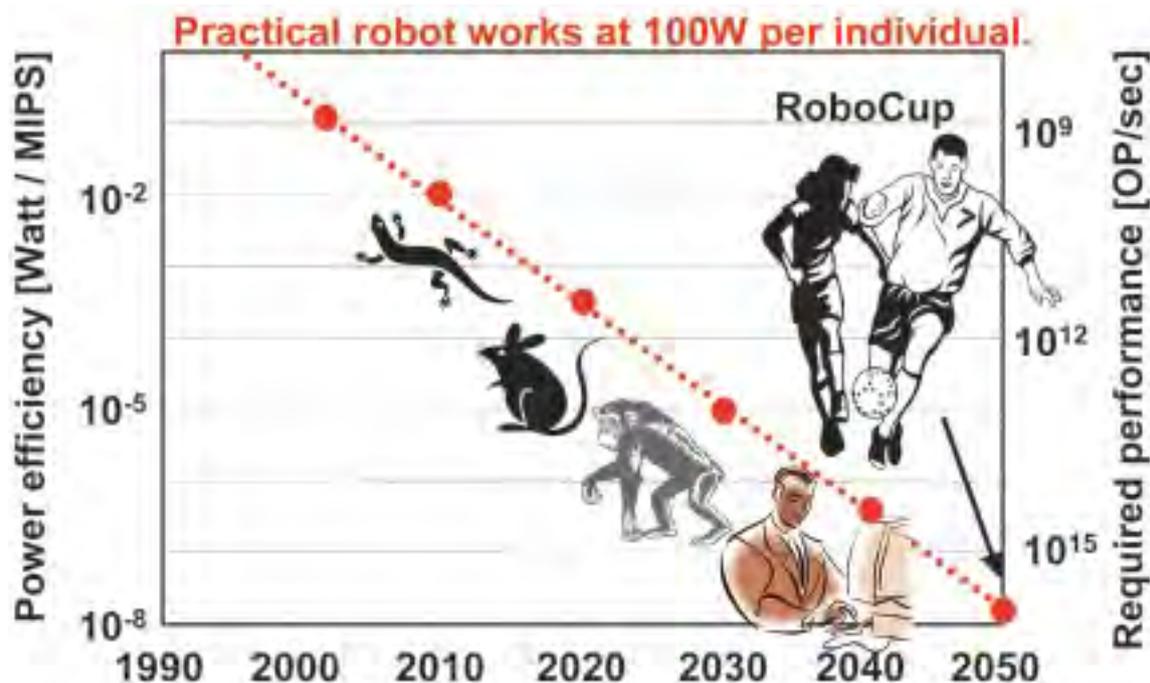


図3.25 ロボットをアプリケーションとしたとき要求される性能当りの消費電力
 参照：T. Sakurai, “Perspectives of Power-Aware Electronics (Plenary Talk, Invited),” IEEE International Solid-State Circuits Conference, San Francisco, CA, USA, 1, 2, pp. 26-29, Feb. 2003.
 Moravec <http://www.frc.ri.cmu.edu/~hpm/talks/revo.slides/2030.html>

3.3.1.1 ワットクラス

今回の視察では、IBM のスーパーコンピュータやインテルのマイクロプロセッサがこのクラスに属する。データセンターや交換機など情報通信インフラで広く使われており、地球規模でのエネルギー消費抑制あるいは電力コスト激増の観点から、低電力化が急務である。科学技術的にはカバーすべき領域もあるが、スーパーコンピュータに関しては、このままでは米国の商業的優位性はゆるぎなく、またマーケットも巨大とは言えない。従って、この技術がいずれ、1 mW から 10 W のミリワットクラスに応用できるという技術に限っては力を入れるべきであろう。

最近の傾向として、大型コンピュータも 10 ワット以下の技術を合わせて作るなどの方向性もでてきているため、コスト制限の弱いこの分野で技術を立ち上げ、1 mW から

10 W のミリワットクラスに応用するという戦略がありうる。特に、実装を含めた消費電力の最適化は日本の得意分野が消費電力化の鍵になるので、重要である。

マイクロプロセッサのデバイス・回路技術では、インテルが圧倒的に先行している。この分野の重要研究課題は以下のようなになるだろう。

アーキテクチャ

並列，専用ハードウェア，メモリリッチ
適正ステージ段数，適正周波数

回路

電源電圧，しきい値電圧制御，オンチップ DC-DC
オフオフスタック，パワーゲーティング
PVT バラツキの抑制と制御，Dependability の向上

デバイス

High-k, Low-k, SOI, バラツキ低減技術，
バラツキ制御を可能にするデバイスなど
非常に長期的にはナノテクノロジー，光テクノロジー一般

インテル社では次世代プロセッサの Montecito (90 nm 技術) では、電源電圧とクロック周波数をマイクロコントローラできめ細かく動的制御している。今後の課題は、制御の時空間的細粒化とインテリジェント化とマルチコア化あるいは専用化して価値性能（機能や信頼性を含めた総合価値）を高めることである。実は、これらの技術の基本は日本で創出されたものを多く、日本はこれらの技術をミリワットクラスをターゲットに開花させるべきと考えられる。

PC 用の高性能マイクロプロセッサの分野は日本の参入の余地は少ない。従って、この分野のよく技術を見極めて、ミリワットクラスに転用が可能なものに注力するのが望ましい。

3.3.1.2 ミリワットクラス

携帯電話やデジタル情報家電の電力がこのクラスである。組み込みプロセッサと専用ハードウェアを搭載したシステム LSI を用いることで、汎用プロセッサよりも 1 桁以上低電力にできる。情報アクセス網や情報端末に今後一層広く使われていくであろう。バッテリー寿命などが製品やサービスの質に直結する。したがって、これからの高度情報化社会における国民生活の質を高めるという視点から、LSI の低電力化が急務である。また、このクラスが日本にとって現在最も産業競争力があり、産業技術の国際競争力強化の視点から見ても戦略的に最も重要な領域である。今回の米国視察では、この領域はさほど強くないと見受けられた。

ミリワットクラスでは、安価なプラスチックパッケージを使えるので、実装コストよりもチップコストの割合が高い。民生市場の性格からコスト削減の要求は非常に強

く、チップコストの増大を伴う技術は適用できないことが多い。マイクロプロセッサのように、マルチコア化は多くの場合には使いづらい。やはり低電圧にしても回路の動作速度を損なわないように、しきい値電圧も下げる必要がある。その結果生じる、動作時のリーク電流増大の問題を解決するのが、最重要研究課題である。電源電圧と共にしきい値電圧の動的制御が必要になる。

電源電圧の時空間的細粒度制御のためには、電力変換効率の高い DC-DC コンバータを低コストにしてチップに沢山配置し、高速に電圧値を切替える技術が求められる。DC-DC コンバータを小型化するために必要な強磁性体材料をチップの上に実装形成するなどの、実装技術と回路技術の融合的研究が重要である。しきい値電圧を制御する唯一の方法は、基板バイアス効果を利用することである。たとえば、ダブルゲートデバイスのように、基板バイアス効果を高速に利用できるデバイス構造を回路技術と併せて総合的に研究することも重要である。

日本は、単純な製造や組み立てでは、アジア諸国に対して競争力を保てないが、デバイス、回路、実装、アプリケーション、サービスの総合技術を使って、品質や信頼性の高い、高機能で小型軽量の製品を低コストに提供できる点では、他国の追随を許さない強みがある。この強みを生かす技術政策が必要である。

コスト増大の要因の一つは、マスク代の急騰である。90 nm 世代で数億円するマスク代を賄える場合は少ない。設計や製造の期間の増大、あるいは、プロセスの複雑化による製造コストの増大などもシステム LSI の課題である。一方で、汎用プロセッサでは電力が大きくてこのクラスの応用には使えない。電力とコストと開発期間の要件を満足するアプローチとして、システムインパッケージ (SiP) が最近注目されている。SiP で積層実装されたチップ間の通信は、現在のところ従来のワイヤボンディングで行われているが、チップ間を上下に直接通信することができれば、通信距離が著しく短くなり、チップ間通信は桁違いに高速で低電力にできる。したがって、3次元 IC 技術や、チップ間無線通信技術の研究も極めて重要である。SiP は、総合技術力が求められ、日本が強みを生かせる分野である。

別のアプローチとして、リコンフィギュラブルデバイスを用いる方法が考えられる。最近ではマスク代の上昇のあおりを受けて、フィールドプログラマブルゲートアレイ (FPGA) 等を中小規模の生産に用いる機会が多くなっている。リコンフィギュラブルデバイスは、システム LSI に比べると大電力であり、携帯機器への応用には低電力技術が必須である。一方、こうしたデバイスでは、その規則的な構造を利用して、電圧動的制御を細粒度で複雑に実行できる可能性がある。さらに微細デバイスの課題であるばらつきやリーク電流の問題も、規則構造を利用して解決できるかもしれない。これまでは、特許戦略などで米国がリードしてきたが、有力な特許が失効したことから、低電力技術を武器に日本がこの分野を挽回する絶好の機会が来ている。

コンピューティングがデジタルであるのに対して、通信はアナログである。アナロ

グ回路の低電力化は、デジタルの方策とは異なる。たとえば、デジタルでは電源電圧を下げるのが低電力化の有効な方策であるが、アナログでは、性能の質（S/N や線形性など）を確保するために電流を増やさなければならず電力はかえって増えることが多い。デジタルのようにできるだけゆっくりと動かすよりも、アナログでは高速に処理して、空いた時間にバイアス電流を切ることが、特に低速の通信では有効な低電力化の手法になり得る。

別の視点は、アナログはできるだけ簡単にして、デジタルで精度補償したり信号処理する方法である。精度補償はデジタルに任せて、アナログ回路の電流や容量を削減するのが低電力化に有効である。通信では、パルススペースの通信が、アナログを簡単にできるので低電力化に寄与する。従来のような発信器やミキサーや低雑音アンプなどが不要になる。ウルトラワイドバンド (UWB) も当初はその考え方であったが、規制緩和が進まず、従来サービスとの共存のために複雑なシステムになっている。しかしパルススペースの通信は今後も有望である、また、政府が有効利用を推進している準ミリ波帯を使ったパルスデータ通信が新たな可能性を秘める。CMOS デバイスの f_T が 100 GHz を超え、CMOS LSI で準ミリ波の送受信器が実現できる可能性が出てきている。安価で低電力な短距離無線データ通信はミリワットクラスでも重要な分野である。他に、不揮発性メモリや有機トランジスタによる大面積エレクトロニクス、給電技術など、ミリワットクラスの低消費電力化には研究課題は多い。

まとめると、ミリワットクラスは我が国が最も必要としている分野であり、かつ多く野の強みも持っている。しかし、単にこのままで優位性を維持できるものでもなく、未来を志向した積極的な研究リソースの投下が望まれる。そのとき、アプリケーションとして車やロボットといった日本の強い分野を出口として意識しながら進めることが肝要であろう。

3.3.1.3 マイクロワットクラス

今回の視察では、MIT や UCB が注力して研究しているセンサーネットワークやユビキタスエレクトロニクスがこのクラスに属する。安全で安心な社会を実現するための統合センシング技術の創出が重要であることは論を待たない。それに加えて、将来、一人の人間が無意識に利用するセンサーやプロセッサの数が爆発的に増大することを考えると、地球規模でのエネルギー消費抑制の視点からも低電力技術が重要になる。また、インテルは、センサーネットワークがマイクロプロセッサより将来大きな市場を生み出すとコメントしており、産業界の期待も高い。長期的には新応用分野創出、新産業分野開拓を通じた産業技術の国際競争力強化にも結びつく可能性が高い。また、センサーから LSI、情報処理、無線通信、ネットワーク、応用まで、従来の学問を融合した新学問領域創生や人材育成の視点からも長期的な研究の対象となりうる。

しかし、残念ながら、マイクロワットクラスのワイヤレス・センサー・ネットワー

クのキーアプリケーションや電子機器市場を今回の G-TeC でも調査したが、ここ 5 年を考えると、巨大市場が立ち上がる可能性は少ないように思われる。長期的には重要なので、ミリワット級の研究を遂行し、その結果としてこの分野の差別化を押し進めるといふ戦略が重要と考えられる。現在ではデバイス・回路レベルより、その上のレベルのプロトコルや通信と手段としての研究が先行されるべきであろう。

また、この分野の日本での研究開発は、米国の後塵を拝している。今回の NSF, DARPA, MIT, UCB の視察でも、多額の政府予算(軍事予算)がこうした研究に投入されていることが確認できた。米国でのワイヤレス・センサー・ネットワークの研究は軍で戦車を戦場で感知するために開発が行われたようである。日本では軍事研究は考えられないが、10 年後のユビキタス社会のインフラ形成と産業育成とそれらを支えるという意味で長期的には重要な研究分野である。高周波領域の研究は、高度な学問基盤や、高価な測定装置、ノウハウを蓄えた人材育成が必要であり、急を要するが、これは圧倒的に UCB の Berkeley Wireless Research Center の研究が先行している。また、今回の視察では、MIT が KT/C 雑音による容量制約を軽減する回路技術を研究していた点が注目に値する。アナログ信号をサンプリングするために容量に電荷を保持する技術は ADC などでも広く応用されているが、容量のスイッチング時に、熱雑音がノイズシェーピングされた KT/C 雑音が重畳される。このノイズを十分に小さく設計するためには、容量を十分に大きくしなければならず、これがアナログ回路の電力やレイアウトを増大して速度を劣化させる制約となっている。この制約をオペアンプのフィードバックを使ってそのゲイン倍に低減した回路技術が研究されている。こうした研究が低電力化、低コスト化に重要になる。

以上、今回の G-TeC の結果も踏まえてマイクロワットクラスについてまとめると、次のようになるだろう。この分野は米国の大学が圧倒的に先行している。しかし、学問的、科学技術的あるいは産業的にも、長期的にはワイヤレス・センサー・ネットワークのみならず、医療や環境用途などのアプリケーションも有りうるので、非常に重要分野と考えられる。ただ、ここ 5 年は日本においてアプリケーションが乏しいことを鑑みて、集中と選択をすべきはミリワットクラスと考えられる。もちろん、ミリワット技術研究を志向しても、その多くはマイクロワットクラスの低電力化の基本にもなるので、単に priority の問題であり、マイクロワットクラス分野を失うということにはならない。また、長期的には、回路・デバイスレベルでもマイクロワットクラスの低消費電力化に関する研究はしっかりカバーする必要があると考えられる。

4 まとめ

2004年10月29-30日に開催された超低消費電力化システムに関するワークショップにおいて、「情報システム/ネットワークの超低消費電力化」を実現するための重要研究分野、挑戦課題、研究推進方法が議論され、高度ネットワーク社会の情報インフラが、その機能、環境、ユーザーに応じて、要求されるサービス品質の提供に必要なかつ十分なだけのエネルギーあるいは電力消費量を自律的、適応的に維持するような情報システム管理技術の確立を目指すべきであり、そのために、情報システムのあらゆる階層で総合的なエネルギー/電力消費管理を行い、10年後に最終的なサービスレベルで現行レベルの1000倍のエネルギー/電力削減（同じ情報処理を行うのに必要なエネルギーが1/1000）の達成を目標とした研究開発を行うべき、との提言がなされた。これらの議論を補完し、今後の研究戦略立案の参考に資する情報の収集を目的として、米国において「超低消費電力化」の研究プロジェクトを推進している代表的な研究機関とファンディング機関を訪問した。

訪問調査の目的は、訪問する研究機関の性格と活動内容に応じて多少異なるが、概ね共通的な項目として

- a) 低消費電力化を将来の重要技術とする視点は何か？
 - b) 低消費電力化実現のための重要な要素技術、研究項目は何か？
 - c) 目標達成のためのアプローチ、戦略は何か？
 - d) 現状はどこまで達成されているか？
 - e) 異なるシステム階層、異なる組織が連携し、どんな研究体制をとっているか？
- などについて調査することであった。

4.1 訪問機関の概要

1) NSF (National Science Foundation)

米国の科学技術研究の主要な Funding Agency の一つであり、基礎科学研究振興のため 1950 年に議会によって設立された。現在の年間予算は約 55 億ドルで全米の大学に対する連邦政府出資の研究予算の約 20% を占めている。自然科学、情報科学、社会/人文科学の分野の、主として個人や比較的小さなグループからの基礎研究の提案に対して平均 3 年間の研究助成を行っており、厳格な評価システムによる審査で、毎年 1 万件採択している。今回の訪問は、NSF における情報科学/情報工学部門 CISE (Computer & Information Science & Engineering) のプログラムディレクタとの面談によって、米国における「低消費電力化」関連プロジェクトの実施状況、研究者の状況の調査を行うことであった。

2) DARPA (Defense Advanced Research Projects Agency)

DARPA は、DoD (Department of Defense) の中央研究開発機関であり、軍事利用を目的とした国防省の基礎研究、応用研究を実施することを使命としている。今回訪問した IPTO (Information Processing Technology Office) は、国防省の軍事的優位を確保するために必要なネットワーク、コンピューティング、ソフトウェア技術の開発に焦点を当てた技術局であり、最近実施したいくつかの注目すべき研究テーマの一つが Power-Aware Computing & Communications である。

PAC/C (Power-Aware Computing and Communications) プログラムは、“Just In time Power” を基本概念として、すべてのシステムレベルにおけるエネルギー管理を通じて、必要最小限の電力で可能な最大の要求性能を達成するシステム技術の開発を目指して、2000 年から 5 カ年計画で実施された。このプログラムは、低消費電力化を情報システム設計の 2 次的な要求仕様ではなく、高性能化、高信頼性化と並ぶ最優先の要求仕様として位置づけ、上位システムレベルからのアプローチを促したという意味で画期的である。実際、このプログラムがスタートした 2000 年頃から、システム、アーキテクチャ関連の国際学会において低消費電力化をテーマとした米国からの研究発表が急速に増えてきていることは注目に値する。

今回の DARPA 訪問は、この PAC/C プログラムを先進的に実施した DARPA/IPTO のプログラムマネージャー Robert Graybill 氏との面談によって、PAC/C プログラムの推移と成果に関する最新の情報を得ることを目的とした。

3) IBM T.J. Watson Research Center

IBM Watson Research Center (Yorktown Heights) は、スーパーコンピュータのランキングである TOP500 で現在 1 位の最高性能を達成している超並列システムである BlueGene/L を開発した研究所である。BlueGene/L プロジェクトは、99 年からの 5 年間で 100M\$ を投じたプロジェクトで、主にたんぱく質の畳み込みなど計算科

学による大規模なシミュレーションによって自然科学の諸問題を解決することを目的にスタートしたものである。2004年5月には、4racks 4095 ノード(プロセッサは 500 MHz で動作)が稼動し、11.68 TFlops を達成した。これは当時の top500 のランキングで4位であった。2004年の11月には16racks 16,392 ノード(プロセッサは 700 MHz で動作)のシステムを完成させて70.72 TFlops を達成し、ついに地球シミュレータを抜いて top500 ランキングで1位の記録を達成した。2005年3月には、32racks 32,784 ノードで135.3TFlops までの性能をしている。

BlueGene/L は PowerPC マイクロプロセッサを用いて低消費電力化し、高密度に実装されたシステムで、サブペタフロップスをすでに達成し、高性能計算システムにおける低消費電力化技術の重要性を示している。今回の IBM 訪問は、このプロジェクトのアーキテクチャ責任者である Dr. George Chiu 及び関連グループの研究者/技術者と面談し、BlueGene/L の低消費電力化技術に関する調査を行うことを目的とした。

4) MIT

DARPA の PAC/C プロジェクトに最も貢献した研究グループの一つが、MIT の Prof. Anantha Chandrakasan を中心とする研究グループとされている。実際、このグループでは、DARPA, NSF, MARCO などの資金を獲得して、アルゴリズム、プロトコルレベルからデバイス/回路レベルまで多様なアプローチで、センサーネットワーク、超広帯域通信、3次元集積化システムなどの実現を目標とした低消費電力化の研究プロジェクトを推進している。特に、センサーネットワークの μ AMP プロジェクトでは、5年以内に平均ノード消費電力 $10 \mu\text{W}$ のセンサーノード開発を目指すとする野心的な目標に取り組んでいる。

そこで、Prof. Anantha Chandrakasan の研究グループを訪問し、現在の進捗状況を聞き取り調査し、今後の展望に関して意見交換することを目的とした。

5) UC Berkeley, CITRIS

CITRIS (The Center for Information Technology Research in the Interest of Society) は、市民の生活の質の向上に影響する社会的・商業的問題に対する IT による解を学際的かつ総合的に研究することを目的としたバーチャルな研究組織である。公立(州立)大学の社会における新しい存在意義を模索する活動とも言える。大学内における各学問分野間の共同研究、産業界との共同のあり方、知財に対する立場など大学の役割を問直し、新しい形態を模索している。Quality of Life に対する IT solution という考え方をその研究目標を貫く基本コンセプトとしている。

第1期は2001-2005の4年間で、カリフォルニア大学の北部の4つのキャンパス(Berkeley, Davis, Merced, Santa Cruz)が参加している。50の学科から200人の教員が参加し、学生も入れると1000人以上の研究者が参加している。当初は、教育、危機対応・国家安全、エネルギー、環境、健康、交通の6つを大きなテーマとしていたが、その後、第3世界への援助、社会科学分野が加わって8つのテーマとなってい

る。CITRIS は、多くの独立した研究活動を覆う傘のような仕掛けであり、各研究グループが対外的に政府や産業界などとコンタクトする場合の仲介をする数名のディレクターとスタッフだけを持っている。

情報技術の社会応用を目指した多様な研究活動の中で、センサーネットワークや High-Performance Computing は一つのキーテクノロジーであり、これらの分野は低消費エネルギー技術と最も関連が深い。今回の訪問では、この分野の研究者と研究の現状と将来方向について意見交換をすることを目的としたが、CITRIS 執行責任者の Dr. Gary Baldwin 氏の提案で、1 日ワークショップを開催することとなり、双方からプレゼンテーションと意見交換を行った。

6) Intel Corporation, Circuit Research Labs.

世界のマイクロプロセッサ市場を事実上支配し、半導体技術ロードマップ作成でも指導的立場にあるインテルにおいて、低消費電力化を最大の技術課題とするマイクロプロセッサ設計の中心グループである CRL (Circuit Research Labs) を訪問し、低消費電力化の技術課題と今後技術動向について調査することを目的とした。CRL では 15 人が低消費電力化の研究をしているが、対象となるテクノロジーノードは 32 nm が研究の主体であり、大学には 22-8 nm の世代を考えて欲しいというのがインテルからの強烈なメッセージだった。

7) IEEE-IPDPS

IPDPS (International Parallel Distributed Processing Symposium) は、IEEE Computer Society が主催する並列・分散処理に関する国際会議であり、1996 年より毎年開催され、並列分散のソフトウェア (一部ハードウェアやネットワーク) 系の主要な研究者が多く参加している。本 2005 年の IPDPS は、4 月 3 日から一週間にわたり、米国 Denver 郊外の Omni Interlocken ホテルにて開催された。会議の本体は査読論文を発表する Technical Papers Session であるが、それ以外に、10 程度の専門テーマのワークショップ、基調・招待講演、パネルなどで構成される、参加者数百人程度の中規模の会議である。これらのワークショップの一つとして、“Workshop 11: High-Performance, Power-Aware Computing-HPPAC” が開催され、本体と併せて 16 件の低消費電力化 HPC に関する論文発表があった。そこで、この会議に出席し、HPS 分野における低消費電力化技術の研究動向調査を行った。

4.2 調査結果の概要

上記の研究機関訪問, 学会参加によって調査した結果は以下のようにまとめられる。

a) 低消費電力化を将来の重要技術とする視点

低消費電力化技術を将来の重要技術と位置づける視点は大きく二つある。

一つはこれまで驚異的な発展を遂げてきた情報技術, 半導体技術が消費電力の壁, 発熱の壁に突き当たり, これまでの技術の延長線上では今後これ以上の技術的発展は望めない事が明らかになってきたことである。スーパーコンピュータ, サーバー, 高性能マイクロプロセッサなどの高性能計算分野では, 不連続的, 飛躍的技術革新による超低消費電力化がこれから先の高性能化, 高機能化のキーとなる。また, 今後多様なサービス, 応用分野が開拓されるであろうモバイル/携帯端末, センサーノードをはじめとする組み込みシステム分野では, 電池寿命, 電源供給などにおける飛躍的な技術革新によって, 品質, 性能の向上のみならず, あらたな機能の付加, サービス分野の開拓, さらには新産業分野の創出が期待できる。従って, 低消費電力化技術は, 情報システム/機器の高品質化に加えて, 新機能, 新サービス, 新産業の創出のために重要技術と位置づけられる。

もう一つの視点は, 将来の豊かで安心できる社会の実現のために科学技術, とりわけ情報技術がどのような分野でどのような貢献できるか, という視点である。これまでの技術シーズあるいは学問分野からの発想とは全く異なり, 情報技術が社会のニーズを満たし, 価値の高い貢献のできる応用分野として, 例えば, 教育, 防犯, 防災, 環境保全, 健康管理, エネルギー供給, 流通/交通, ビジネス, 発展途上国支援など, 多様な応用分野が開拓されている。これらの応用で重要な設計指標は, 計算性能, 通信性能だけではなく, 電源供給, 電池寿命, 信頼性などが重要な指標であり, 電力消費, エネルギー消費を絶えず意識したシステム設計, あるいは限られたエネルギー供給の条件で最大の性能を達成する設計が重要になる。この第2の視点には, 米国特有の事情として, 情報技術が国防, 軍事利用のためにどのような貢献ができるか, という視点が加えられる。このような視点で当初軍事用に開発された情報技術が後に民生用に移転されて世界に普及した例は多い。

b) 低消費電力化実現のための重要な要素技術, 研究項目

低消費電力化は, 従来からデバイス, 回路分野における重要な課題であったが, 今後さらに飛躍的な低消費電力を実現するためには, 応用分野固有のシステム仕様, アルゴリズム, 通信プロトコルの段階から電力消費と性能, 信頼性のトレードオフを考慮した設計と, 与えられた環境に対するシステムソフトウェア, アーキテクチャレベルにおける動的エネルギー管理が必要である。従って, アルゴリズム, プロトコル, ソフトウェア, アーキテクチャ, 回路, デバイスのすべてのレベルにおける省電力技術とそれらを総合する適応的エネルギー管理技術は重要な研究項目である。

高性能コンピューティング分野では、少数の高性能プロセッサによる高速化には電力消費/発熱問題のために限界があり、今後は多数の小規模（低速）プロセッサによる高速化が技術的な流れである。IBMのBlue Gene Lの成功、インテルのマルチコア戦略はこの方向を明確に示している。

半導体分野では、微細化のさらなる進展に伴うリーク電流増大、PVT（プロセス、電源電圧、温度）変動、部品信頼性の低下などへの対処が課題である。

高性能コンピューティング分野におけるslow and manyの流れ、センサーネットワークなどにおける膨大な部品数、半導体微細化に伴う部品信頼性の低下などの技術動向は、フォールトトレランス、あるいはデペンダビリティ技術の重要性を明確に示しており、今後のシステム指標として、互いに密接に関連し合う性能、消費電力、信頼性のトレードオフを意識したシステム設計が必要な技術課題になることを示している。

c) 目標達成のためのアプローチ、戦略

カリフォルニア大学の4つのキャンパス（Berkeley, Davis, Merced, Santa Cruz）の50の学科から200人の教員が参加し、学生も入れると1000人以上の研究者が参加しているCITRISは、これからの大学の企業、社会の関わり合いのモデルになり得る実験組織である。これまでの学問分野別あるいは技術シーズを基にした産学連携、社会連携ではなく、社会的ニーズから応用分野を開拓し、そのニーズを満たすことのできる情報技術の開発と社会への技術移転をその組織目標として掲げている。その目標達成に情報技術以外の分野、例えば、生命分野、材料分野、経済学、認知科学などとの連携が必要であれば、その参加を促し、学際領域の研究プロジェクトを立ち上げるなどの柔軟性も持つ。

DARPAのPAC/Cプログラムも異なるシステム階層、組織の連携を成功させた良い例である。5年計画を二つのフェーズに分け、最初のフェーズ1では、15の大学におけるアルゴリズム、ソフトウェア、アーキテクチャ、回路、デバイスなど、多様なシステム階層から低消費電力化のアイデアを提案してもらい、フェーズ2において5つの企業にこれらのアイデアの中から欲しいと思うものを採用した試作システムを実現させた。またこのフェーズ1とフェーズ2の接続に重要な役割を果たしたのが、大学で生まれる技術、アイデアを企業に紹介するテクノロジーブローカー（例えば、USC/ISI社）の存在であり、注目に値する。

4.3 提言

今回の訪問調査の結果を踏まえ、「超低消費電力システム」に関する研究戦略に関して、以下を提言する。

1) 研究分野

情報システム/機器をその消費電力の範囲によって1W超のワット級(PC, サーバー, HPCなど), 1mWから1Wまでのミリワット級(組込みシステム, 携帯端末など), 1mW以下のマイクロワット級(ユビキタス, センサーネットワークなど)に分類すると, 今回主として調査したワット級分野(IBM, インテル)とマイクロワット級分野(MIT, UC Berkeley)は, 米国が先行している。一方, ミリワット級は, 組込みシステム, モバイル/携帯端末, 情報家電など, 我が国が比較的強い競争力を保っており, 米国に対しても優位にある。今後, この分野の産業競争力を一層強化するために, ミリワット級分野を中心とした超低消費電力化技術の研究を戦略的に推進すべきである。ここで培われる技術は, ワット級やマイクロワット級分野へも応用可能であり, 波及効果の大きいものであると考えられる。

2) 研究戦略

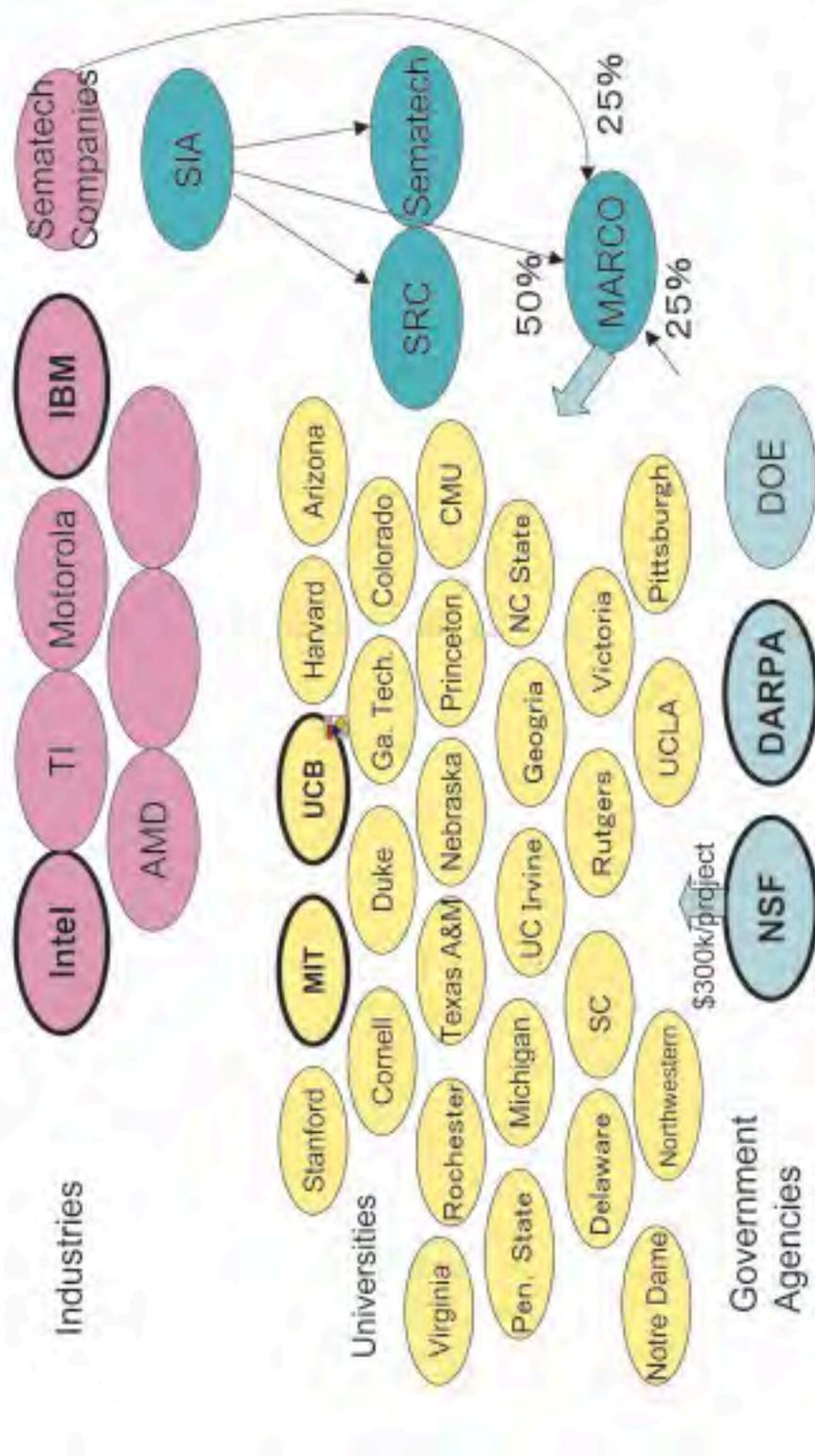
情報技術が「長寿で健康な社会」「環境とエネルギーの調和を目指す社会」「安心安全な社会」「活力ある産業・経済社会」の実現にどのように貢献できるか, すなわち, 「情報技術の社会応用」という視点からの目標設定と, 基礎から実用化/事業化へ至る明快な道筋の提示が必要である。「情報技術の社会応用」のキーとなる技術が「超低消費電力化」であり, その目標達成のために, サービス仕様, プロトコル, アルゴリズム, システムソフトウェア, アーキテクチャ, 回路, デバイスまでのすべてのシステム階層における個別要素技術の飛躍的な革新と, それらを統合し適応的にエネルギー管理を行う総合的な超低消費電力化システム技術の開発が必要である。

3) 研究体制

低消費電力化は総合化技術であり, これまで別の世界に住んで別の言語を使用していた異なるシステム階層の研究者, 異なる研究組織の研究者が実質的に連携し, 技術環境の変化にも機動的に対応できる, 実効的な共同研究体制を実現すべきである。このため, 既存の研究組織の壁を超えたバーチャルラボを形成し, リーダーの責任と権限のもとで, 産学官を問わず研究者間の柔軟な連携を可能にする体制の構築が必要である。また, このような異分野融合の研究体制を, アプリケーション, システム, ソフトウェア, アーキテクチャ, 回路, デバイスといったあらゆるシステム階層の基礎技術に習熟し, 社会ニーズと市場を理解できる総合的人材の養成の場とすることもその狙いの一つとするべきである。

Appendix

米国ULPコミュニティ俯瞰図



(太字は今回の訪問先を示す)

ULP 米国研究機関／研究者リスト

所 属	個人研究者	職 位	分 野 範 囲
Cal Tech.	Alain Martin		
CECOM	Maj Grebe		
CISE	Freeman	Dr. Assistant- Director	
CMU	Copen Goldstein Rob Rutenbar		nano-scale subassembly CAD
Cornell Univ.	David H. Albonese		Adaptive Techniques
DARPA			
Duke Univ.	C.S. Ellis, C. Gardner		Mili-Watt Project
Georgia Tech.	Abhijit Chatterjee David Anderson Krishna Palem Vincent Mooney		Reconfigurable Analog
Harvard Univ.	David Brooks		Micro-architecture-level Power Simulation
HP Lab.			
IBM	Manish Gupta Ram Rajamony G. Chiu Dr. Jose Moreira	Dr.	ULP Software ULP Architecture Hardware
	R. Lauwereins		
Integrated Sensors	Brian Bush Cosmo Castellano Dr. Karen Lauro		
INTEL	Matthew Haycook Ram Krishnamurthy Shekhar Borkar		Special purpose hardware Energy-efficient arch & micro-arch

	Siu-Ling Garver Tanay Karnik Vivek De		Efficient power delivery Low power circuits
JPL	Leon Alkalai Nikzad "Benny" Toomarian		
MIT	Anantha Chandrakasan Andrewl Wang Charles sodini Hae-Seung J.H. lang Krstec Asanovic Martin Rinard Rahul Sarpeshkar Saman Amarasinghe Neil Gershenfeld	Prof. Prof. Dr. Dr. Associate Prof.	sensor network/Micro power sensor network/Ultra Wideband Communication/3-D Integration Micro Power sensor network/Ultra Wideband Communication/3-D Intergration Micro Power sensor network/Ultra Wideband Communication/3-D Intergration/A simple energy model for short-range wireless trancivers Micro Power sensor network/Ultra Wideband Communication/3-D Intergration/Low Power Analog/Mixed Signal Circuit Design in nano-scale CMOS Micro Power sensor network/Ultra Wideband Communication/3-D Intergration/Vibration-to electric energy conversion Micro Power sensor network/Ultra Wideband Communication/3-D Intergration/Power-efficient architecture
	Center for Bits and Atoms Nebraska Univ.		Power modeling
	Nonvolatile Electronics		
	North Carolina State Univ.		Power modeling
	Daniel Smith Feng Pan Nandani Kappiah Vincent W. Freeh		Exploring the Energy-Time Tradeoff in High-Performance Computing Exploring the Energy-Time Tradeoff in High-Performance Computing/Exploring the Energy-Time Tradeoff in MPI Programs on a Power-Scalable Cluster Exploring the Energy-Time Tradeoff in MPI Programs on a Power-Scalable Cluster Exploring the Energy-Time Tradeoff in High-Performance Computing/Exploring the Energy-Time Tradeoff in MPI Programs on a Power-Scalable Cluster

所 屬	個人研究者	職 位	分 野 範 疇
Northrop Grumman Northwestern Univ.	Jeff Barnett Alok Choudhary Mahmut Kandemir Pennsylvania State Univ. Seung Woo Son		Software-Directed Disk Power Management for Scientific Applications Software-Directed Disk Power Management for Scientific Applications Software-Directed Disk Power Management for Scientific Applications Software-Directed Disk Power Management for Scientific Applications
Pennsylvania State Univ.	Anand Sivasubramaniam Chun Liu Guilin Chen Konrad Malkowski Mahmut Kandemir		Exploiting Barriers to Optimize Power Consumption of CMPs Exploiting Barriers to Optimize Power Consumption of CMPs Reducing Power for Parallel Sparse Applications Reducing Power for Parallel Sparse Applications Reducing Power for Parallel Sparse Applications/ Exploiting Barriers to Optimize Power Consumption of CMPs
Princeton Univ.	Mary Jane Irwin Narayanan Padma Raghavan Li-Shiuan Peh Wayne Wolf	Prof. Prof.	Exploiting Barriers to Optimize Power Consumption of CMPs Reducing Power for Parallel Sparse Applications Interconnection networks
Rockwell Science Center Rutgers Univ.	Charles Chien Chunling Hu Daniel Jimenez Ricardo Bianchini Ulrich Kremer		Power and Energy Optimizations Power and Energy Optimizations Power and Energy Optimizations
SPAWAR	Maj Grebe Maureen Molz		
SRC (Semiconductor Research Corporation)	Ralph Cavin		
Stanford Univ., CA	Horowitz T. Lee Mark Horowitz	Prof.	
SUNY-Binghamton Texas A&B	Kanad Ghose 不明		不明

Univ. of Colorado	Dirk Grunwald Maksimikov Rick Han		Mobility-Aware, Secure, and Low Power Wireless Sensor Networks
Univ. of Michigan	Fanam Jahanian Todd Austin Trevor Mudge		dependability
Transmeta	不明		不明
UC Berkeley	Bob Brodersen Kannan Ramchandran Kathy Yelick Kris Pister Paul Wright Robert Robertson David Culler Jan Rabaey	Prof. Prof.	Design for high-performance computing Ubiquitous Wireless (sensor) Network
“Mote” team (Berkeley CA) and Stanford University, CA	David Culler Jan Rabaey	Prof. Prof.	sensor network / Low-power, low-energy designs in wireless
UC Irvine	Alexander Veidenbaum Alex Nicolau Maj Grebe Nader Bagherzabeh Nik Dutt Rajesh Gupta Trevor Mudge		
UCLA	Mani Srivastava Massoud Pedram W.J. Kaiser		
Univ. of Victoria	Amirali Baniasadi Ehsan Attoofian		Improving Energy-Efficiency by Bypassing Trivial Computations Improving Energy-Efficiency by Bypassing Trivial Computations
Univ. of Georgia	David K. Lowenthal		Exploring the Energy-Time Tradeoff in MPI Programs on a Power-Scalable Cluster
	Rob Springer		Exploring the Energy-Time Tradeoff in MPI Programs on a Power-Scalable Cluster

所 屬	個人研究者	職 位	分 野 範 圍
Univ. of South Carolina	Kirk W. Cameron Rong Ge Xizhou Feng		Power and Energy Profiling of scientific Applications on Distributed Systems Power and Energy Profiling of scientific Applications on Distributed Systems Power and Energy Profiling of scientific Applications on Distributed Systems
Univ. of Arizona	Rajiv Gupta		communication
Univ. of Delaware	Guang R. Gao		
Univ. of Notre Dame	Peter M. Kogge		
Univ. of Rochester	Dave Albonese David Albonese Eby Friedman Michael Scott Sandhya Dwarakadas		
Univ. of South Carolina	Kirk Cameron Rong GE Xizhou Feng		Improvement of Power-Performance Efficiency for High-End Computing Improvement of Power-Performance Efficiency for High-End Computing Improvement of Power-Performance Efficiency for High-End Computing
Univ. of Southern California	Pedram	Prof.	
Univ. of Texas at Austin and IBM Austin Reseach Lab.	Freeman Rawson		Scheduling Processor Voltage and Frequency in Server and Cluster Systems
	Ramakrishna Kotla Soraya Ghiassi Tom Keller		Scheduling Processor Voltage and Frequency in Server and Cluster Systems Scheduling Processor Voltage and Frequency in Server and Cluster Systems Scheduling Processor Voltage and Frequency in Server and Cluster Systems
Univ. of Virginia	Kevin Skadron Kyeong-Jae Lee	Prof.	Runtime Temperature Sensing in High-Performance Processors Runtime Temperature Sensing in High-Performance Processors
USC/ISI	Bob Parker (USC) Brian Schott Jinwoo Suh Steve Crago Viktor Prasanna (USC)		
Los Alamos National Lab.	Chung-Hsing Hsu Green Destiny		Choosing the Right Efficiency Metric

	Maya Gokhale Wu-Chun Feng		The Evolution of Power-Aware, High-Performance Clusters/Choosing the Right Efficiency Metric
--	------------------------------	--	--

超低消費電力システム
国際技術力比較調査（米国）
CRDS-FY2005-GR-01

平成17年6月

発行者 独立行政法人科学技術振興機構 研究開発戦略センター
生駒グループ

印刷所 株式会社 プライムステーション

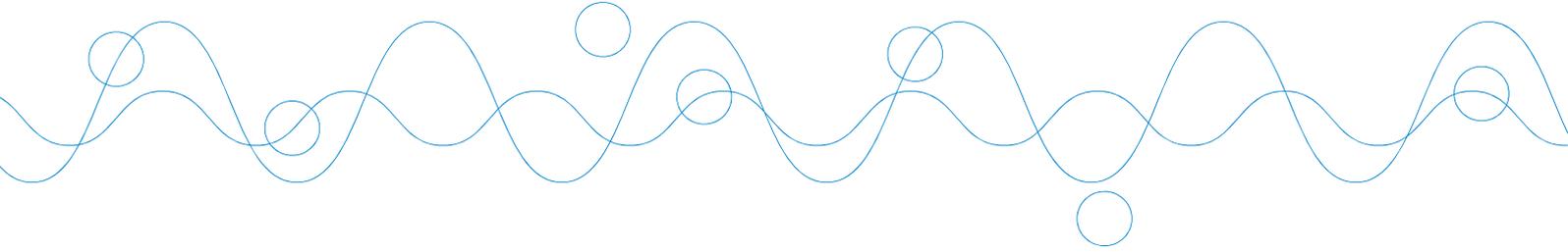
©独立行政法人科学技術振興機構 研究開発戦略センター 2005
無断での転載・複写を禁じます。

ATTAATC A AAGA C CTAAC TCTAGACC
CT CTC G CC AATTAATA
T AA TAATC
TTGCAATTGGA CCCC
AATTCC AAAA GGCCTTAA CCTAC
ATAAGA CTCTAACT CTC G CC
AA TAATC

AAT A TCTATAAGA CTCTAACT CTAAT A TCTAT
CTC G CC AATTAATA
ATTAATC A AAGA C CTAAC TCTAGACC
AAT A TCTATAAGA CTCTAACT
CTC G CC AATTAATA

TTAATC A AAGA C CTAAC TCTAGACC
AAT A TCTATAAGA CTCTAACT
ATTAATC A AAGA C CT
GA C CTAAC TCTAGACC

0011 1110 000
00 11 001010 1
0011 1110 000
0100 11100 11100 101010000111
001100 110010
0001 0011 11110 000101



00 11 001010 1
0011 1110 000001 001 00001 0111101
0101 000111 0101 00001
001101 0001 0000110
0101 11