

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月23日(23.01.2025)



(10) 国際公開番号

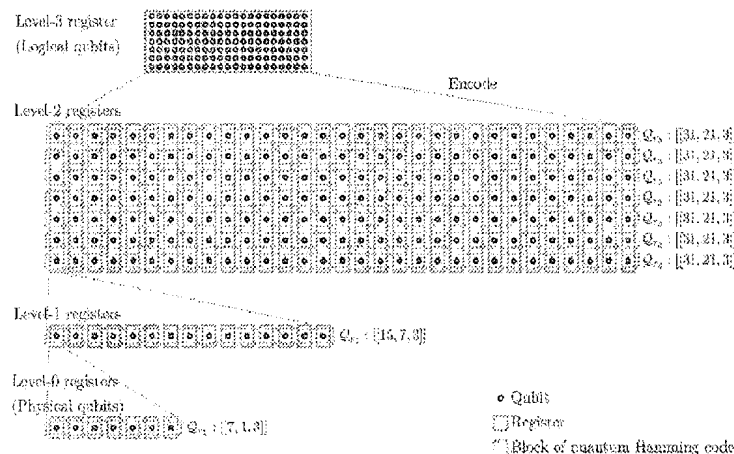
WO 2025/018084 A1

- (51) 国際特許分類:
H03M 13/29 (2006.01) *G06N 10/70* (2022.01)
- (21) 国際出願番号: PCT/JP2024/022179
- (22) 国際出願日: 2024年6月19日(19.06.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-116663 2023年7月18日(18.07.2023) JP
- (71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者: 山崎 隼汰 (YAMASAKI Hayata); 〒1130033 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP).
小芦 雅斗(KOASHI Masato); 〒1130033 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP).
- (74) 代理人: 森下 賢樹 (MORISHITA Sakaki); 〒1530061 東京都目黒区中目黒1-8-1 VORT中目黒13階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: FAULT-TOLERANT QUANTUM ERROR CORRECTION DEVICE, FAULT-TOLERANT QUANTUM ERROR CORRECTION METHOD, FAULT-TOLERANT QUANTUM ERROR CORRECTION PROGRAM, AND QUANTUM COMPUTER

(54) 発明の名称: フォールトレラント量子誤り訂正装置、フォールトレラント量子誤り訂正方法、フォールトレラント量子誤り訂正プログラムおよび量子コンピュータ

【図1】



(57) Abstract: This fault-tolerant quantum error correction device comprises: a quantum circuit that includes a plurality of physical quantum bits; an encoding unit that encodes the physical quantum bits to generate logical quantum bits; and an error correction unit that performs error correction using the logical quantum bits of a quantum error correction code. The quantum error correction code is a concatenated code obtained by concatenating a plurality of quantum codes. As the size of the concatenated code increases, the ratio between the size of the logical quantum bits forming the concatenated

WO 2025/018084 A1

[続葉有]

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4. 17に規定する申立て:

- 一 不利にならない開示又は新規性喪失の例外に関する申立て (規則4. 17(v))

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

code and the size of the physical quantum bits approaches a finite value.

(57) 要約: フォールトトレラント量子誤り訂正装置は、複数の物理量子ビットを含む量子回路と、物理量子ビットを符号化して論理量子ビットを生成する符号化部と、量子誤り訂正符号の論理量子ビットを用いて誤り訂正を行う誤り訂正部と、を含む。量子誤り訂正符号は、複数の量子符号を接続した接続符号である。接続符号は、符号のサイズが大きくなるにつれて、接続符号を形成する論理量子ビットのサイズと物理量子ビットのサイズとの比が、有限の値に近づく。

明 細 書

発明の名称：

フォールトトレラント量子誤り訂正装置、フォールトトレラント量子誤り訂正方法、フォールトトレラント量子誤り訂正プログラムおよび量子コンピュータ

技術分野

[0001] 本発明は、フォールトトレラント量子誤り訂正装置、フォールトトレラント量子誤り訂正方法、フォールトトレラント量子誤り訂正プログラムおよび量子コンピュータに関する。

背景技術

[0002] 量子誤り訂正あるいはフォールトトレラント量子計算（F T Q C）の技術として、表面符号（surface code）のような量子低密度パリティ検査符号（LDPC）を用いるプロトコル（例えば、非特許分1～3参照）、7量子ビット符号のような連接符号を用いるプロトコル（例えば、非特許文献4および5参照）、量子エクスパンダ符号を用いるプロトコル（例えば、非特許文献6～8参照）などが知られている。

先行技術文献

特許文献

[0003] 非特許文献1：Kitaev, A. Y. Quantum computations: algorithms and error correction. Russian Mathematical Surveys 52, 1191 (1997).<https://doi.org/10.1070/rm1997v052n06abeh002155>

非特許文献2：Kitaev, A. Fault-tolerant quantum computation by anyons. Ann. Phys. 303, 2 (2003).<http://www.sciencedirect.com/science/article/pii/S0003491602000180>

非特許文献3：Bravyi, S. B. & Kitaev, A. Y. Quantum codes on a lattice with boundary (1998).<https://arxiv.org/abs/quant-ph/9811052>

非特許文献4：Steane, A. M. Error correcting codes in quantum theory.

Phys. Rev. Lett. 77, 793 (1996).<https://link.aps.org/doi/10.1103/PhysRevLett.77.793>

非特許文献5: Steane, A. Multiple-particle interference and quantum error correction. Proceedings of the Royal Society of London. Series A: Mathematical, Physical and Engineering Sciences 452, 2551 (1996).<https://royalsocietypublishing.org/doi/abs/10.1098/rspa.1996.0136>

非特許文献6: Kovalev, A. A. & Pryadko, L. P. Fault tolerance of quantum low-density parity check codes with sublinear distance scaling. Phys. Rev. A 87, 020304 (2013).<https://link.aps.org/doi/10.1103/PhysRevA.87.020304>

非特許文献7: Fawzi, O., Grospellier, A. & Leverrier, A. Constant overhead quantum fault tolerance with quantum expander codes. Commun. ACM 64, 106-114 (2020).<https://doi.org/10.1145/3434163>

非特許文献8: Gottesman, D. Fault-tolerant quantum computation with constant overhead. Quantum Info. Comput. 14, 1338-1372 (2014).<https://www.rintonpress.com/journals/doi/QIC14.15-16-5.html>

非特許文献9: Aharonov, D. & Ben-Or, M. Fault-tolerant quantum computation with constant error rate. SIAM J. Comput. 38, 1207-1282 (2008).
<https://doi.org/10.1137/S0097539799359385>

発明の概要

発明が解決しようとする課題

- [0004] 量子計算をスケーラブルに実現し、古典計算を高速化するには、誤り耐性（フォールトトレランス）が不可欠である。フォールトトレラントプロトコルは、適切な数の物理量子ビットを用いて、量子誤り訂正符号の論理量子ビット上で元の回路をシミュレートすることにより、エラーの影響を軽減するものである。ここでシミュレートとは、理想化したモデルを計算機上で仮想的に再現することをいう。具体的には、理想化したモデルは例えばオリジナル回路であり、それを再現する計算機は例えばノイズのある量子計算機であ

る。従来のフォールトトレラントプロトコルには、表面符号のような量子低密度パリティ検査（LDPC）符号を用いるもの（例えば、非特許分1～3参照）、7量子ビット符号のような接続符号を用いるもの（例えば、非特許文献4および5参照）がある。これらの手法によれば、論理量子ビット上の誤り率を抑制することができる。

[0005] しかし、従来のプロトコルでエラーを抑制するには、論理量子ビットあたりの物理量子ビット数の比率を大きくする必要がある。しかし実際には量子デバイスで利用可能な物理量子ビット数は非常に限られているため、空間オーバーヘッドは量子計算を実現する上で大きな障害となる。この点で、量子低密度パリティ検査（LDPC）符号を用いた手法では、エラーレートを下げるためには十分大きな符号距離を設ける必要があるため、大きな空間オーバーヘッドが発生する。また7量子ビット符号のような接続符号を用いる手法では、エラーレートを下げるためには接続のレベルを増大させる必要があるため、やはり大きな空間オーバーヘッドが発生する。

[0006] 一方、最近注目されている手法に量子エクスパンド符号（物理量子ビットあたりの論理量子ビットの割合（レート）が漸近的に0にならない量子LDPC符号の一群）を用いるものがある（例えば、非特許文献6～8参照）。この手法には、空間オーバーヘッドを一定の定数で抑えられるという利点がある。しかしこの手法のプロトコルは、従来のプロトコルと異なり、逐次的なゲート実装が必要であるため、時間オーバーヘッドが多項式的に増大するという欠点がある。

[0007] このように、従来の量子誤り訂正手法では、空間オーバーヘッドと時間オーバーヘッドとの間にトレードオフがある。本発明は、こうした課題に鑑みてなされたものであり、その目的は、空間オーバーヘッドと時間オーバーヘッドの両方を抑制できる量子誤り訂正技術を実現することにある。

課題を解決するための手段

[0008] 上記課題を解決するために、本発明のある態様のフォールトトレラント量子誤り訂正装

複数の物理量子ビットを含む量子回路と、物理量子ビットを符号化して論理量子ビットを生成する符号化部と、量子誤り訂正符号の論理量子ビットを用いて誤り訂正を行う誤り訂正部と、を含む。量子誤り訂正符号は、複数の量子符号を接続した接続符号であり、接続符号は、符号のサイズが大きくなるにつれて、接続符号を形成する論理量子ビットのサイズと物理量子ビットのサイズとの比が、有限の値に近づく。

[0009] ある実施の形態では、接続符号は、論理量子ビットのサイズが大きくなるのに従って、物理量子ビットのサイズが大きくなる。

[0010] ある実施の形態のフォールトトレラント量子誤り訂正装置では、接続符号は、接続される量子符号の物理量子ビットのサイズが $2^r - 1$ 、論理量子ビットのサイズが $2^r - 2^{r-1}$ 、符号距離が3（ r は自然数）である量子ハミング符号である。

[0011] ある実施の形態のフォールトトレラント量子誤り訂正装置では、接続符号は、接続される量子符号の物理量子ビットのサイズが $2^r - 1$ 、論理量子ビットのサイズが $2^r - 2^{t+r-1}$ 、符号距離が $2^t + 1$ （ r 、 t は自然数）である量子BCH符号である。

[0012] ある実施の形態のフォールトトレラント量子誤り訂正装置では、量子誤り訂正符号のサイズの増加とともに、空間オーバーヘッドが定数で抑えられ、時間オーバーヘッドが準対数多項式的に変化する。

[0013] ある実施の形態のフォールトトレラント量子誤り訂正装置では、接続に用いた量子符号の各デコーダを数学的帰納法的（帰納的）に使って構成した効率的デコーダを含む。

[0014] ある実施の形態のフォールトトレラント量子誤り訂正装置では、効率的デコーダは、古典ハミング符号を用いて、ビット反転誤りおよび位相反転誤りをそれぞれZスタビライザ生成元およびXスタビライザ生成元のシンδροームから訂正する。

[0015] ある実施の形態のフォールトトレラント量子誤り訂正装置では、量子誤り訂正符号は、符号を接続したフォールトトレラントプロトコルを2次元ジョ

メトリまたは1次元ジオメトリまたは一般にD次元ジオメトリに関するプロトコルに書き換えたものである。

[0016] 本発明の別の態様は、複数の物理量子ビットを含む量子回路において量子誤り訂正を実行するフォールトトレラント量子誤り訂正方法である。この方法は、物理量子ビットを符号化して論理量子ビットを生成する符号化ステップと、量子誤り訂正符号の論理量子ビットを用いて誤り訂正を行う誤り訂正ステップと、を含む。量子誤り訂正符号は、複数の量子符号を接続した接続符号である。接続符号は、符号のサイズが大きくなるにつれて、接続符号を形成する論理量子ビットのサイズと物理量子ビットのサイズとの比が、有限の値に近づく。

[0017] 本発明のさらに別の態様は、フォールトトレラント量子誤り訂正プログラムである。このプログラムは、物理量子ビットを符号化して論理量子ビットを生成する符号化ステップと、量子誤り訂正符号の論理量子ビットを用いて誤り訂正を行う誤り訂正ステップと、をコンピュータに実行させる。誤り訂正符号は、複数の量子符号を接続した接続符号である。接続符号は、符号のサイズが大きくなるにつれて、接続符号を形成する論理量子ビットのサイズと物理量子ビットのサイズとの比が、有限の値に近づく。

[0018] 本発明のさらに別の態様は、量子コンピュータである。この量子コンピュータは、前述のフォールトトレラント量子誤り訂正装置を含む。

[0019] なお、以上の構成要素の任意の組合せ、本発明の表現を装置、方法、システム、記録媒体、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0020] 本発明によれば、空間オーバーヘッドと時間オーバーヘッドの両方を抑制できる量子誤り訂正技術を実現することができる。

図面の簡単な説明

[0021] [図1]実施の形態に係る $Q^{(L)}$ と $Q^{(L-1)}$ との関係を示す図である。

[図2]実施の形態に係る接続符号と、7量子ビット符号と、のオーバーヘッド

因子を示す図である。

[図3]実施の形態のフォールトトレラントプロトコルのコンパイルの様子を示す図である。

[図4]14量子ビットのオリジナル回路 ($W(M) = 14$) を示す図である。

[図5]図4のオリジナル回路から得られる対応するレベル2の回路 ($L = 2$ 、 $K(L) = 7$) の例を示す図である。

[図6]1量子ビットクリフォードゲートを実現するためのゲートテレポーテーションを示す図である。

[図7]ゲートテレポーテーションに基づき、2つのレベル1レジスタにクリフォードゲート U_C を適用するための、レベル1の2レジスタクリフォードゲート abbreviation を示す図である。

[図8] $R_y(\pm\pi/4)$ を実行するためのマジック状態 $R_y(\pm\pi/4) | 0 \rangle$ によってアシストされるゲートテレポーテーションを示す図である。

[図9]自明な恒等操作1である $| 0 \rangle$ によってアシストされるゲートテレポーテーションと同一の回路を示す図である。

[図10]レベル1レジスタに $UR_y(\pm\pi/4)$ ゲートを適用するためのゲートテレポーテーションに基づくレベル1の $R_y(\pm\pi/4)$ ゲート abbreviation を示す図である。

[図11]レベル1レジスタ内のすべての量子ビットZベースで測定するためのレベル1測定ガジェットを示す図である。符号化されたレベル1レジスタ内に、論理状態を準備するためのレベル1初期状態準備ガジェットを示す図である。

[図12]符号化されたレベル1レジスタ内に、論理状態を準備するためのレベル1初期状態準備ガジェットを示す図である。

発明を実施するための形態

[0022] 以下、本発明を好適な実施の形態をもとに各図面を参照しながら説明する。実施の形態および変形例では、同一または同等の構成要素、ステップ、部材には同一の符号を付するものとし、適宜重複した説明は省略する。また、

各図面における部材の寸法は、理解を容易にするために適宜拡大、縮小して示す。また、各図面において実施の形態を説明する上で重要でない部材の一部は省略して表示する。また、第1、第2などの序数を含む用語が多様な構成要素を説明するために用いられるが、こうした用語は一つの構成要素を他の構成要素から区別する目的でのみ用いられ、この用語によって構成要素が限定されるものではない。

[0023] 本実施の形態は、量子LDPC符号を用いることなく、複数の小さいサイズの量子符号を接続することで、空間オーバーヘッドが定数で抑えられている（以下、「定空間オーバーヘッド」ともいう）量子誤り訂正を実現する手法である。一例として、本実施の形態は、接続符号の接続レベルを上げるにつれて、異なる量子ハミング符号を接続する技術である。その結果、定空間オーバーヘッドと、準対数多項式型（quasi-polyl logarithmic）の時間オーバーヘッドと、を同時に達成する低オーバーヘッドのプロトコルが実現される。このプロトコルは、既存の定空間オーバーヘッドプロトコルとは異なり、デコードの実行時間が一定でない場合でもフォールトトレラント量子計算を実現する。これにより、空間オーバーヘッドと時間オーバーヘッドの両方を抑制しつつ、大規模な量子計算における誤り訂正を実現することができる。

[0024] 量子誤り訂正は、量子コンピュータの基礎となる技術の1つであり、従来の古典計算と比較して、本質的なノイズの存在下でも計算を高速化することができる。

[0025] Mビットの入力に対する計算問題を解くために、量子計算は、幅と深さが $O(\text{Poly}(M))$ の多項式サイズの量子回路を利用することができる。しかしこの量子回路を物理量子ビット上で直接実行すると、ノイズに起因するエラーにより、量子計算の結果が損なわれる可能性がある。フォールトトレラントプロトコルは、適切な数の物理量子ビットを用いて、量子誤り訂正符号の論理量子ビット上で元の回路をシミュレートすることにより、エラーの影響を軽減する。前述のように、従来のフォールトトレラントプロトコル

は、表面符号などの量子低密度パリティ検査符号 (LDPC) や、7量子ビット符号などの接続符号を用いて、論理量子ビット上の誤り率を抑制していた。しかしいずれの既存技術でも、空間オーバーヘッドと時間オーバーヘッドとのトレードオフを解決できていない。

[0026] この課題を解決する実施例として、先ず、 $O(\text{Poly}(M))$ のサイズの回路を、定空間オーバーヘッド $O(1)$ と準対数多項式型の時間オーバーヘッドでシミュレートするフォールトトレラントプロトコルを説明する。この時間オーバーヘッドは、従来の量子エクスパンダ符号を用いた定空間オーバーヘッドプロトコル (非特許文献6~8) の多項式に比べて、小さい。これは、多項式的な大きな減速を伴うことなく、高速量子計算を実現できるという点で重要である。時間オーバーヘッドの解析では、フォールトトレラントプロトコルを実行中に、古典計算のための待ち時間 (ゼロでない) を考慮する。本実施の形態のプロトコルの新規性は、量子LDPC符号を用いるのではなく、異なる量子符号のシーケンスから構成される0にならないレート (0にならないレート) の接続符号を用いる点にある。

[0027] [0にならないレートの接続符号]

本実施の形態で定空間オーバーヘッドを実現するための重要な技術は、 L 個の異なる量子符号から、0にならないレートの接続符号 $Q^{(L)}$ を構成することである。ここで L は接続の総数を表す。

[0028] 接続符号 $Q^{(L)}$ を、以下のように導入する。 N_r を、 $N_r = 2^r - 1$ と定義する。すると、 C_r ($r = 2, 3, \dots$) は、ブロック長が N_r ビット、次元が $(N_r - r)$ ビット、距離が3のハミング符号 $[N_r, N_r - r, 3]$ の族である。量子ハミング符号 Q_r ($r = 3, 4, \dots$) は、 C_r と C_r の双対符号上の Calderbank-Shor-Steane 符号 (CSS) $[[N_r, K_r, 3]]$ である。これは、物理量子ビット $N_r = 2^r - 1$ (すなわち符号サイズが N_r)、論理量子ビット $K_r = N_r - 2r$ 、距離3を持つ $[[N_r, K_r, 3]]$ の族にある。各レベル $l \in \{1, \dots, L\}$ における接続には、パラメータ $r_l = l + 2$ を使用する。これは、レベル1の7量子ビット符号から開始して

、量子ハミング符号のシーケンス $Q_3, Q_4, \dots$ と続く。レートは、 $l \rightarrow \infty$ の極限で、 $K_{r,l}/N_{r,l} \rightarrow 1$ になる。

[0029] 次に、 $l = L, L-1, \dots, 1$ に関して $Q^{(l)}$ を帰納的に定義することにより $Q^{(L)}$ を構成する。 $K^{(l)}$ および $N^{(l)}$ をそれぞれ $Q^{(l)}$ の論理量子ビットおよび物理量子ビットの数とする。 $K^{(l)} = \exp(O(L^2))$ 、 $N^{(l)} = \exp(O(L^2))$ となる。 $Q^{(l)}$ の $K^{(l)}$ 個の論理量子ビットの集まりを、レベル l レジスタと呼ぶ。物理量子ビットを、レベル 0 レジスタ(またはレベル 0 量子ビット)と呼ぶ。

[0030] 図 1 に、 $Q^{(L)}$ と $Q^{(L-1)}$ との帰納的な関係を示す。図 1 では、 L 個の異なる量子ハミング符号 $Q_{r,1}, Q_{r,2}, \dots, Q_{r,L}$ (図 1 では $L=3$) が連結される様子が示される。各連結レベル $l \in \{L, L-1, \dots, 1\}$ に関し、帰納的に、レベル l のレジスタの量子ビットを、 $K^{(l-1)}$ 個の $Q_{r,l}$ 符号ブロックを用いて、 $N_{r,l}$ 個のレベル $(l-1)$ のレジスタの量子ビットに符号化する。距離 3 の符号 $Q_{r,l}$ は、1つの符号ブロックにつき 1つのエラーを訂正することができ、このパターンは、レベル $(l-1)$ レジスタのうちの 1つのすべての量子ビットが相関エラーを含む場合も、符号化されたレベル l のレジスタを回復することができる。

[0031] 特に、レベル l レジスタ内の $Q^{(l)}$ の $K^{(l)} = K^{(l-1)} \times K_{r,l}$ 個の量子ビットを、 $K_{r,l}$ 個の量子ビットの $K^{(l-1)}$ 個のブロックに分割する。その後、各 $K^{(l-1)} \in \{1, \dots, K^{(l-1)}\}$ について、 $K_{r,l}$ 個のレベル $(l-1)$ レジスタのそれぞれから $k^{(l-1)}$ 番目の量子ビットを選び、 $k^{(l-1)}$ 番目のブロックの $K_{r,l}$ 個の量子ビットを量子ハミング符号 $Q_{r,l}$ の論理量子ビットとして、選んだ $N_{r,l}$ 個の量子ビットに符号化する。この接続符号は、レベル $(l-1)$ レジスタ内のすべての量子ビットが相関エラーを持つ場合であっても、符号化されたレベル l のレジスタを復元できるように設計されている。このようにして、 $[N^{(L)}, K^{(L)}, 3^L]$ 接続符号 $Q^{(L)}$ が得られる。本符号のエラー抑制能力は、量子 LDPC 符号と異なり、接続構造に起因するため符号距離だけで特徴付けられるものではないことに注意すべきである。

- [0032] 次に、 $Q^{(L)}$ が、 $L \rightarrow \infty$ の極限で、漸近的に $1/\eta_{\infty}$ (> 0) に収束する 0 にならないレート $R(L)$ を持つことを説明する。ただし η_{∞} は、有限の漸近的なオーバーヘッド因子（すなわち、レート $R(L)$ の逆数）である。
- [0033] 図 2 に、本実施の形態に係る接続符号と、7 量子ビット符号と、のオーバーヘッド因子を示す。丸印のプロットが本実施の形態に係る接続符号、バツ印が 7 量子ビット符号である。図 2 に示されるように、オーバーヘッド因子は、従来の接続符号や量子 LDPC 符号では、無限大に発散する。これに対し、本実施の形態に係る接続符号では、オーバーヘッド因子は定数 3.6 に漸近する ($\eta_{\infty} < 3.6$)。ただしこの例では、 η_{∞} は必ずしも最適化されていないことに注意する。例えば、 Q_3 ではなく、 Q_{10} から接続を開始することで、オーバーヘッド因子をほぼ 1 に漸近させることができる。特に $L \leq 4$ のようなより低い接続レベルであっても、 $[7^L, 1, 3^L]$ の 7 量子ビット符号に比べて、本実施の形態に係る $Q^{(L)}$ のオーバーヘッド因子の優位性は、数倍のオーダーで大きい。
- [0034] 上で述べた、0 にならないレートを持つ接続符号の構成は、原理的には、十分速く 1 に近づく他の符号列にも適用可能である。例えば、上記の結果は、パラメータ $r_1 \doteq \log(l)$ を持つ量子ハミング符号の接続にも適用可能である。この場合、 $r_1 = 1 + 2$ の場合に比べて、時間オーバーヘッドを削減することができる一方、空間オーバーヘッドの定数因子が大きくなる可能性がある。
- [0035] より一般的な増加符号列の接続も、上記と同じ符号パラメータ r_1 を用いて、0 にならないレートを持つ接続符号のファミリーを提供することができる。一例として、 $[[2^{r-1}, 2^{r-1}-2t, 2t+1]]$ の量子 Bose-Chaudhuri-Hocquenghem 符号（量子 BCH 符号）（ r, t は自然数）がある。これは、古典 BCH 符号とその双対符号に対する CSS 符号である。これは量子ハミング符号より大きな符号距離を持つため、 L が大きくなるにつれて、より高性能な誤り訂正が実現される可能性がある。
- [0036] [効率的なデコーダ]

$Q^{(L)}$ は、量子LDPC符号ではないが、効率的なデコーダを持つことができる。効率的なデコーダはフォールトトレラント量子計算を実現する上で不可欠であるが、一般に、構築することが難しい。定空間オーバーヘッドのフォールトトレラント量子計算では、量子エクスパンダ符号に関する効率的なデコーダが開発されるまで、量子LDPC符号でもこのような効率的なデコーダを持つものはなかった。

[0037] 本実施の形態のプロトコルでは、各レベル l に関し、 $Q_{r,l}$ は効率的なデコーダを持つ。特に、ビット反転誤りおよび位相反転誤りを、それぞれZスタビライザ生成元およびXスタビライザ生成元のシンδροームから訂正するには、古典ハミング符号 $C_{r,l}$ に関する効率的なデコーダを使うことができる。従来の硬判定デコーダと同様に、接続符号に対して $Q_{r,l}$ のデコーダを帰納的に使用することにより、 $Q^{(L)}$ のデコードを効率的に実行することができる。並列古典計算を用いれば、各レベル l に関し、 $O(\log(N_{r,l}))$ のオーダーの時間でこのデコーダを実行できる。これは、問題サイズ M に対して対数多項式型である。従ってこれは、オリジナル回路の深さ（すなわち $O(\text{poly}(M))$ ）に比べて小さい。特に本発明者らは、デコーダがこのようにゼロでない実行時間を持つ場合であっても、本実施の形態のフォールトトレラントプロトコルが閾値を持つことを見出した。

[0038] [フォールトトレラントプロトコル]

上記の接続された符号 $Q^{(L)}$ を用いて、フォールトトレラントプロトコルを構築する。

[0039] M ビット列 $(i_1, \dots, i_M) \in \{0, 1\}^M$ で表される入力を持つ一連の計算問題を解くために、幅 $W(M)$ 、深さ $D(M)$ の量子ビットのオリジナル回路を用いる。ただし、幅および深さは、 M に対して多項式的に振る舞う。すなわち、 $W(M) = O(\text{poly}(M))$ 、 $D(M) = O(\text{poly}(M))$ 。

[0040] オリジナル回路に $(i_1, \dots, i_M)$ を入力するには、 M 量子ビットの初期状態

[数1]

$$\bigotimes_{m=1}^M |i_m\rangle = (\bigotimes_{m=1}^M X^{i_m}) |0\rangle^{\otimes M}$$

を使用する。オリジナル回路の残りの部分は、入力とは無関係にMによって決定される。

[0041] オリジナル回路は、クリフォードゲートX、Y、Z、H、S、CNOT、CZ、および非クリフォードゲート $R_y(\pm\pi/4)$ のゲートセットで記述され、

[数2]

$$(\bigotimes_{m=1}^M |i_m\rangle) \otimes |0\rangle^{\otimes (W(M)-M)}$$

で始まり、Z基底のすべての量子ビットの測定で終わる。

[0042] 次に、所定の誤差 ϵ 内で出力確率分布からサンプリングすることにより、オリジナル回路をシミュレートする。オリジナル回路に基づき、本実施の形態のプロトコルは、レベル l のレジスタに対するレベル l の基本操作で構成されるレベル l ($l \in \{L, L-1, \dots, 0\}$)の回路を帰納的に定義する。ただし、レベル0の回路は物理量子ビット上の回路である。レベル L の基本操作の組は、測定操作、Hゲート操作、CNOTゲート操作、CZゲート操作、パウリゲート操作、初期状態準備操作、クリフォード状態準備操作、マジック状態準備操作、待機操作から構成される。

[0043] これらの基本操作を組み合わせることにより、本実施の形態のプロトコルは、2つのレジスタ上でクリフォード・ユニタリを実行し、各レジスタ上でゲート・テレポーテーションにより非クリフォードゲート $R_y(\pm\pi/4)$ 操作を実行する。

[0044] 図3に本実施の形態のフォールトトレラントプロトコルのコンパイルの様子を示す。

[0045] 先ず、オリジナル回路をレベル L 回路にコンパイルする。ここで、必要な

接続レベル L は、 M および ε に応じて決められる。

[0046] さらに、各 $l = L, L-1, \dots, 1$ に対して、レベル l のガジェット（すなわちレベル l の基本操作を実行するためのレベル $(l-1)$ の回路）を用いて、レベル l 回路を、対応するレベル $(l-1)$ 回路にコンパイルする。

[0047] 従来のプロトコルと異なり、本実施の形態のプロトコルでは、同量子ビットの代わりにレジスタを単位とする。このコンパイルで使用されるガジェットは、フォールトトレランスの適切な条件を満たすように設計されている。空間オーバーヘッド全体を一定に保つため、各レベル l のガジェットは、レベル $(l-1)$ の追加的補助レジスタを、符号化されたレベル l のレジスタ 1 つにつき一定の数だけ使用するように設計されている。

[0048] [閾値の存在]

本実施の形態のプロトコルの新規性は、異なる符号 $Q_{r_1}, \dots, Q_{r_L}$ の列から構築された接続符号 $Q^{(L)}$ を使用することにある。しかしこの一連の符号のサイズが大きくなると、閾値の存在が自明でなくなる可能性がある。

[0049] 従来、接続された符号に関する閾値定理の証明は、同じ符号が接続することを仮定していた。これに対して、 $Q^{(l)}$ に関するレベル l レジスタは、 N_{r_l} 個のレベル $(l-1)$ レジスタに符号化され、接続レベルの増加に伴い N_{r_l} は増加する。しかし、レベル l のガジェットあたりのレベル $(l-1)$ の基本操作の数が多項式的に（すなわち、 $O(\text{poly}(N_{r_l}))$ ）増加する場合にも、閾値が存在することが証明できる。

[0050] 本実施の形態の解析は、デコーダにおける古典計算の実行時間も増大する可能性があるような設定を扱う。既存の定空間オーバーヘッドプロトコルの閾値解析は、デコーダがゼロ時間で実行されなければならないことを仮定している。定空間オーバーヘッドのフォールトトレラント量子計算が、古典計算の実行時間がゼロでなく増大する場合にも可能かどうかは不明であった。大規模なフォールトトレラント量子計算では、誤り抑制のために、大きなサイズの LDPC 符号を必要とする。こうした大きなサイズの量子 LDPC 符号のデコーダの実行時間は長いため、これを待つと、物理量子ビットは待ち

時間の間に多くの誤りを伴うことになる。このような状況は、閾値が存在するための本質的な仮定（すなわち、誤り訂正を行う間の物理的な誤り率が一定であるという仮定）に反する。その結果、量子LDPC符号のプロトコルは、大規模で一般的なクラスの誤り訂正に失敗する可能性がある。

[0051] なお、2次元表面符号のような量子LDPC符号を用いた従来のプロトコルにおいても、古典計算の実行時間が増大しないという要求条件の問題は残っている。この場合、デコードは、符号距離が長くなっても、シンδροームデータのストリームを、受信した速度で処理しなければならない。対照的に、接続符号 $Q^{(L)}$ に基づく本実施の形態のプロトコルは、有限の計算資源でも定空間オーバーヘッドのフォールトトレラント量子計算の実行を可能とする。

[0052] 本実施の形態の設定では、物理量子ビット上の回路が、従来の局所的確率的エラーモデルに従うと仮定する。この場合、レベル0回路におけるエラーは、物理的エラーレート $p_0 > 0$ で発生する可能性がある。レベル0回路内の各操作の位置において、確率 p_0 で欠陥が生じる可能性がある。エラーとしては、敵対的エラーや相関のあるエラーも発生する可能性がある。しかし、 s 個の位置で同時にエラーが発生する確率は p_0^s で抑えられる。

[0053] 以下、レベル1回路の各レベル1の基本操作をレベル1位置と呼ぶ。本実施の形態のプロトコルのエラーレベルLの回路内のレベルL位置でも、局所確率エラーモデルに従って欠陥が発生することを示すことができる。さらに、従来の接続符号と同様に、Lで二重指数関数的な誤り抑制に関する以下の命題を証明することができる。

[0054] [命題1]（量子ハミング符号の接続による誤り抑圧）

局所的確率的エラーモデルの下で、0でない閾値定数 $p_{th} > 0$ を持つ連結符号 $Q^{(1)}$ を用いたフォールトトレラントプロトコルを明示的に構成することができる。すなわち、物理誤り率が閾値より小さければ（ $p_0 < p_{th}$ ）、量子ハミング符号 $Q^{(1)}$ を接続したプロトコルは、論理誤り率を、 $P_L = e \times p$ （ $\rightarrow O(2^{-L})$ ）の形で抑制することができる。

[0055] 実用的な閾値は、本実施の形態のプロトコルを少し修正することで得ることができる。例えば、 $Q^{(1)}$ の各レベル0の量子ビットを一定サイズの表面符号の論理量子ビットにエンコードすることで、表面符号と同じ閾値を達成することができる。物理量子ビットのノイズにバイアスがある場合には、表面符号を使うことで特に高い閾値を達成できる。従来のプロトコルと比較して、表面符号と本実施の形態の符号 $Q^{(1)}$ との接続には、空間オーバーヘッドが一定である、大規模なデコーダの高速化が可能である、非ゼロ時間デコーダでも閾値が存在する、などの利点がある。

[0056] 以下の命題に示すように、本実施の形態のプロトコルの意義は、オリジナル回路と比較して、定空間オーバーヘッドと準対数多項式的な時間オーバーヘッドとを同時に達成できることにある。

[0057] [命題2] (量子ハミング符号の接続によるオーバーヘッド)

[0058] 局所的確率的エラーモデルの下で、接続レベル $L = \Theta(\log(\log(M/\varepsilon)))$ の接続符号 $Q^{(1)}$ を用いて、幅 $W(M)$ 量子ビット、深さ $D(M)$ のオリジナル回路を、フォールトトレラント回路の深さに換算して、最大 $W(M) \times O(1)$ の物理量子ビットと $D(M) \times \exp(O(\log^2(\log(M/\varepsilon))))$ の実行時間で、全変分距離で誤差 $\varepsilon > 0$ 以内でシミュレートするフォールトトレラントプロトコルを明示的に構築できる。ここで、 $W(M) = O(\text{poly}(M))$ 、 $D(M) = O(\text{poly}(M))$ である。

[0059] これらのオーバーヘッドには、ゲートテレポーテーションと、エラー訂正に必要な補助状態を準備するためのオーバーヘッドが含まれる。既存の定空間オーバーヘッドプロトコルの従来の解析とは異なり、実行時間には、デコーダやゲートテレポートにおける非ゼロ時間の古典計算を待つための待機操作も含まれる。

[0060] 既存の定空間オーバーヘッドプロトコルの技術を用いる限り、これらの空間オーバーヘッドと時間のオーバーヘッドとを同時に達成することは困難であった。既存のプロトコルは、ゲートテレポーテーションのための補助状態

を準備するとき、従来の接続符号に依拠するため、定空間オーバーヘッド内で全ての論理量子ビットに並列ゲートを実装することができない。従って、直列的なゲート実装では、オリジナル回路の並列ゲートを実装する際に、多項式的に大きな時間オーバーヘッドが発生する。

[0061] これに対し、本実施の形態のプロトコルは、ゲートテレポーテーションにおいて、 $Q^{(1)}$ のすべての論理量子ビットに一度にゲートを適用することにより、完全な並列性を実現することができる。 $Q^{(1)}$ の0にならないレートのおかげで、ゲートテレポーテーションに必要な全ての補助状態を、定空間オーバーヘッド内で並列に準備することができる。その結果、本実施の形態のプロトコルは、従来の定空間オーバーヘッドのプロトコルと比較して、時間オーバーヘッドの点で大きな利点を持つ。

[0062] 特に、本発明者らは、各接続レベル1における符号サイズにおいて、多項式的に増大するアーキテクチャ時間オーバーヘッド $O(\text{poly}(N^{(1)}))$ があっても、閾値が存在することを見出した。これは、2次元ジオメトリ上の最近接相互作用、デコーダの限られた古典計算資源、ゲートテレポーテーションやエラー訂正に使用される補助状態の準備における不十分な並列化、などといった制約によって課される可能性がある。

論理誤り率の抑制は、符号サイズの増大よりもはるかに速い。このため、接続された符号は、本実施の形態のプロトコルでは、恒等ゲートを実行するなどにより待機するだけで、より高い接続レベルで時間オーバーヘッドに対する耐性を持つ。この接続符号のユニークな性質は、量子LDPC符号が誤りの蓄積を避けるために一定時間内に少なくとも一度は復号しなければならないこととは対照的である。従って、本実施の形態のプロトコルは様々なアーキテクチャで実装可能である。

[0063] 例えば、非特許文献9に記載された手順により、符号を接続したフォールトトレラントプロトコルを2次元（あるいは1次元）ジオメトリに関するプロトコルに書き換えることができる。そのような書き換えにおいて、多項式時間のオーバーヘッドがあっても閾値が存在することを示すことができる。

ただし、オリジナル回路が任意の対の量子ビット上の2量子ビットゲートを含む場合、オリジナル回路をシミュレートするためのこのような2Dアーキテクチャ上のプロトコルは、多項式的に長い時間オーバーヘッドを生じること注意到する。

[0064] 上記の実施の形態では、接続符号を形成する量子符号は、量子ハミング符号または量子BCH符号であるとして説明した。しかしこれに限られず、接続符号は、例えばC4/C6符号を用いて形成されてもよい。

[0065] 以上説明したように、本実施の形態によれば、定空間オーバーヘッドと、準対数多項式型の時間オーバーヘッドと、を同時に実現するフォールトトレラント量子計算プロトコルを構築することができる。重要な技術的特徴は、量子ハミング符号のシーケンスから構成される接続符号を使用することである。本実施の形態の技術は、量子ハミング符号の接続を利用することで、効率的な復号器、万能量子計算をシミュレートするための省スペースかつ高速なプロトコル、接続レベルの増加に伴い二重指数関数的にエラーを抑制する閾値を提供する。

[0066] [実施例1]

図4に、14量子ビットのオリジナル回路($W(M) = 14$)を示す。図5に、このオリジナル回路から得られる対応するレベル2の回路($L = 2$ 、 $K^{(L)} = 7$)の例を示す。

[0067] オリジナル回路は、クリフォードゲートX、Y、Z、H、S、CNOT、CZのゲート集合と、非クリフォードゲート $R_y(\pm\pi/4)$ で構成される。オリジナル回路内の $W(M)$ 個の量子ビットを $(W(M)/K^{(L)})$ 個のレベルLレジスタ内の量子ビットで表し、レベルLレジスタごとに $8+2=10$ 個の補助レベルLレジスタを加える。この10個のうち、8個は図示されるようにレベルLのabbreviationとレベルLの基本操作に使われ、残りの2個はエラー訂正に使われる。オリジナル回路の入力部のパウリゲートは、レベルLのパウリゲート操作にコンパイルされる。次に、クリフォードゲートのみで構成されるオリジナル回路の部分は、レベルLの2レジス

タクリフォードゲート U_C の単一使用にコンパイルされ、 $R_y(\pm\pi/4)$ ゲートを持つオリジナル回路の深さ1の部分は、レベルLの $R_y(\pm\pi/4)$ ゲート abbreviation $UR_y(\pm\pi/4)$ の単一使用にコンパイルされる。すべてのレベルLレジスタに作用する abbreviation は並列的に実行できる。

[0068] [実施例2]

図6に1量子ビットクリフォードゲートを実現するためのゲートテレポーテーションを示す。図7に、ゲートテレポーテーションに基づき、2つのレベルIレジスタにクリフォードゲート U_C を適用するための、レベルIの2レジスタクリフォードゲート abbreviation を示す。

[0069] この実装は、状態

[数3]

$$(\mathbb{1}^{B_1 B_2} \otimes U_C^{B_3 B_4}) |\Phi^{(I)}\rangle^{B_1 B_2 B_3 B_4}$$

における補助レベルIレジスタによってアシストされる。図7は、上から順にレベルLレジスタ B_1 、 B_2 、 B_3 、 B_4 を示している。測定結果を条件として、パウリ演算子のテンソル積

[数4]

$$U_C \left(\bigotimes_{k(I)=1}^{K(I)} P_{k(I)}^{B_3} \otimes \bigotimes_{k(I)=1}^{K(I)} P_{k(I)}^{B_4} \right) U_C^\dagger$$

が計算され、2つのレベルIパウリゲート操作による量子テレポーテーションのエラー訂正として適用される。

[0070] [実施例3]

図8に、 $R_y(\pm\pi/4)$ を実行するためのマジック状態 $R_y(\pm\pi/4) |0\rangle$ によってアシストされるゲートテレポーテーションを示す。図9に、自明な恒等操作1である $|0\rangle$ によってアシストされるゲートテレポーテーションと同一の回路を示す。図10に、レベルIレジスタに $UR_y(\pm\pi/4)$

ゲートを適用するためのゲートテレポーテーションに基づくレベル1の $R_y(\pm\pi/4)$ ゲートa b b r e v i a t i o nを示す。ここで、 $UR_y(\pm\pi/4)$ は、 $R_y(\pi/4)$ 、 $R_y(-\pi/4)$ 、および1の任意のテンソル積である。

[0071] この実装は、2種類の補助レベル1レジスタ A_1 と A_2 とによってアシストされる。レジスタ A_1 と A_2 は、それぞれのマジックステート準備操作との初期状態準備操作によって、

[数5]

$$(R_y(\pi/4)|0\rangle)^{\otimes K^{(1)}}$$

と

[数6]

$$|0\rangle^{\otimes K^{(2)}}$$

で準備される。 $UR_y(\pm\pi/4)$ が自明な恒等操作1として作用する量子ビットの各々に関して、 A_1 と A_2 の間にSWAPゲートが適用され、その後に $R_y(\pm\pi/4)$ ゲートの適用が回避される。これらのSWAPゲートは、図6および図7では2レジスタクリフォードゲートa b b r e v i a t i o nでまとめて実装されている。そして、 $R_y(\pi/4)$ と恒等操作1を適用するためのゲートテレポーテーションが実行される。測定結果を条件として、エラー訂正用のレベル1クリフォードゲート、すなわちHZゲートが適用される。 $R_y(-\pi/4)$ を実行するために、HZゲートによるエラー訂正の後、最後に追加クリフォードゲート $R_y(-\pi/4) = ZH$ を適用した図8の回路を使用する。エラー訂正用HZゲートと追加クリフォードゲート $R_y(-\pi/4)$ の各々は、図6および図7の2レジスタクリフォードゲートa b b r e v i a t i o nによって実行され、 A_2 上で自明に作用し、最後に破棄される

。

[0072] [実施例 4]

図 1 1 に、レベル l レジスタ内のすべての量子ビットを Z 基底で測定するためのレベル l 測定ガジェットを示す。

[0073] このガジェットは、トランスバーサルなレベル $(l-1)$ の測定操作と、その後の効率的なデコーダにより実現される。このデコーダの古典的計算は $O(l \log(N_{r,l}))$ の実行時間を持つので、測定結果を使用する前に $O(l \log(N_{r,l}))$ のレベル $(l-1)$ の待機操作を実行する必要がある。

[0074] [実施例 5]

図 1 2 に、符号化されたレベル l レジスタ内に、論理状態

[数 7]

$$|0\rangle^{\otimes K^{(l)}}$$

を準備するためのレベル l 初期状態準備ガジェットを示す。

[0075] このガジェットは、クリフォード・ユニタリ U_{encode} を実行することにより論理状態

[数 7]

$$|0\rangle^{\otimes K^{(l)}}$$

を準備するためのレベル $(l-1)$ スタビライザ回路から始まる。このレベル $(l-1)$ スタビライザ回路では、準備演算は、演算自体が作用する $N_{r,l}$ 個のレベル $(l-1)$ レジスタの各セットに追加された補助レベル $(l-1)$ レジスタを用いて順次実行される。なお、図 1 2 では、これらの準備に使用される以外の補助レベル $(l-1)$ レジスタの大部分を省略している。次に、 $K^{(l-1)}$ 個の符号ブロックのそれぞれについて、 $Q_{r,l}$ の論理量子ビットの論理 Z 演算子、および $Q_{r,l}$ のスタビライザのすべての Z 生成元を測定することによって検証を行う。検証でエラーが検出されなければ、ガジェットは

この最初の実行で準備された論理

[数7]

$$|0\rangle^{\otimes K^{(l)}}$$

を出力する。そうでなければ、この準備された状態は破棄され、ガジェットは図示されるように破線の間部分を実行し、検証することなく2回目の実行で準備された論理

[数7]

$$|0\rangle^{\otimes K^{(l)}}$$

を出力する。

[0076] 以上、本発明の実施の形態について詳細に説明した。これらの実施の形態は例示であり、いろいろな変形および変更が本発明の特許請求の範囲内で可能なこと、またそうした変形例および変更も本発明の特許請求の範囲にあることは当業者に理解されるところである。従って、本明細書での記述および図面は限定的ではなく例証的に扱われるべきものである。

[0077] 上述した各実施の形態と変形例の任意の組み合わせもまた本発明の実施の形態として有用である。組み合わせによって生じる新たな実施の形態は、組み合わせられる各実施の形態および変形例それぞれの効果をあわせもつ。

請求の範囲

- [請求項1] 複数の物理量子ビットを含む量子回路と、
前記物理量子ビットを符号化して論理量子ビットを生成する符号化部と、
量子誤り訂正符号の前記論理量子ビットを用いて誤り訂正を行う誤り訂正部と、
を含むフォールトトレラント量子誤り訂正装置であって、
前記量子誤り訂正符号は、複数の量子符号を接続した接続符号であり、
前記接続符号は、符号のサイズが大きくなるにつれて、前記接続符号を形成する論理量子ビットのサイズと物理量子ビットのサイズとの比が、有限の値に近づくことを特徴とするフォールトトレラント量子誤り訂正装置。
- [請求項2] 前記接続符号は、前記論理量子ビットのサイズが大きくなるのに従って、前記物理量子ビットのサイズが大きくなることを特徴とする請求項1に記載のフォールトトレラント量子誤り訂正装置。
- [請求項3] 前記接続符号は、接続される量子符号の物理量子ビットのサイズが $2^r - 1$ 、論理量子ビットのサイズが $2^r - 2^{r-1}$ 、符号距離が3（ r は自然数）である量子ハミング符号であることを特徴とする請求項1に記載のフォールトトレラント量子誤り訂正装置。
- [請求項4] 前記接続符号は、接続される量子符号の物理量子ビットのサイズが $2^r - 1$ 、論理量子ビットのサイズが $2^r - 2^{t+1}$ 、符号距離が 2^{t+1} （ r 、 t は自然数）である量子BCH符号であることを特徴とする請求項1に記載のフォールトトレラント量子誤り訂正装置。
- [請求項5] 前記量子誤り訂正符号のサイズの増加とともに、空間オーバーヘッドが定数で抑えられており、時間オーバーヘッドが準対数多項式的に変化することを特徴とする請求項1に記載のフォールトトレラント量子誤り訂正装置。

- [請求項6] 接続に用いた各デコーダを帰納的に構成した効率的デコーダを含むことを特徴とする請求項1に記載のフォールトトレラント量子誤り訂正装置。
- [請求項7] 前記効率的デコーダは、古典ハミング符号を用いて、ビット反転誤りおよび位相反転誤りをそれぞれZスタビライザ生成元およびXスタビライザ生成元のシンδροームから訂正することを特徴とする請求項6に記載のフォールトトレラント量子誤り訂正装置。
- [請求項8] 前記量子誤り訂正符号は、符号を接続したフォールトトレラントプロトコルを2次元ジオメトリ、1次元ジオメトリまたは一般にD次元ジオメトリに関するプロトコルに書き換えたものであることを特徴とする請求項1に記載のフォールトトレラント量子誤り訂正装置。
- [請求項9] 複数の物理量子ビットを含む量子回路においてフォールトトレラント量子誤り訂正を実行する方法であって、
前記物理量子ビットを符号化して論理量子ビットを生成する符号化ステップと、
量子誤り訂正符号の前記論理量子ビットを用いて誤り訂正を行う誤り訂正ステップと、
を含み、
前記量子誤り訂正符号は、複数の量子符号を接続した接続符号であり、
前記接続符号は、符号のサイズが大きくなるにつれて、前記接続符号を形成する論理量子ビットのサイズと物理量子ビットのサイズとの比が、有限の値に近づくことを特徴とするフォールトトレラント量子誤り訂正方法。
- [請求項10] 物理量子ビットを符号化して論理量子ビットを生成する符号化ステップと、
量子誤り訂正符号の前記論理量子ビットを用いて誤り訂正を行う誤り訂正ステップと、

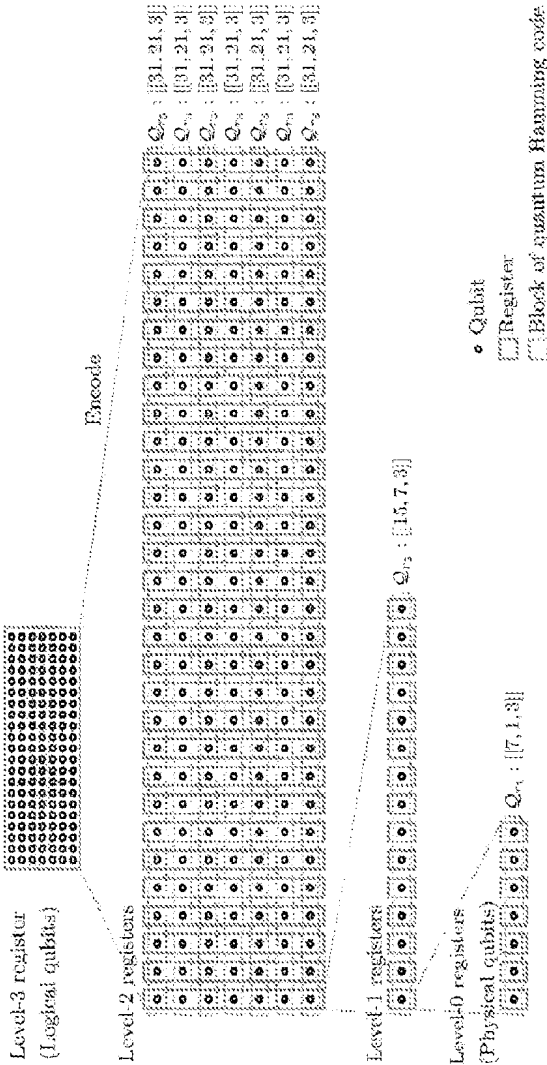
をコンピュータに実行させるフォールトトレラント量子誤り訂正プログラムであって、

前記量子誤り訂正符号は、複数の量子符号を接続した接続符号であり、

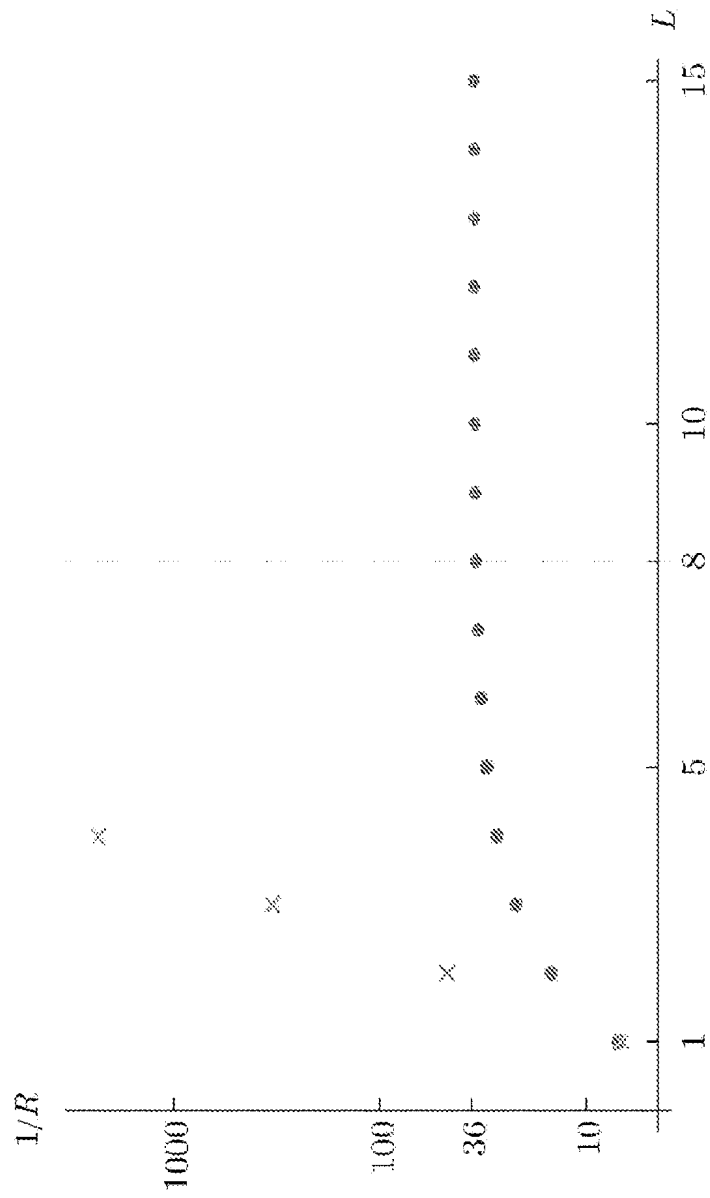
前記接続符号は、符号のサイズが大きくなるにつれて、前記接続符号を形成する論理量子ビットのサイズと物理量子ビットのサイズとの比が、有限の値に近づくことを特徴とするフォールトトレラント量子誤り訂正プログラム。

[請求項11] 請求項1に記載のフォールトトレラント誤り訂正装置を含む量子コンピュータ。

[図1]



[図2]

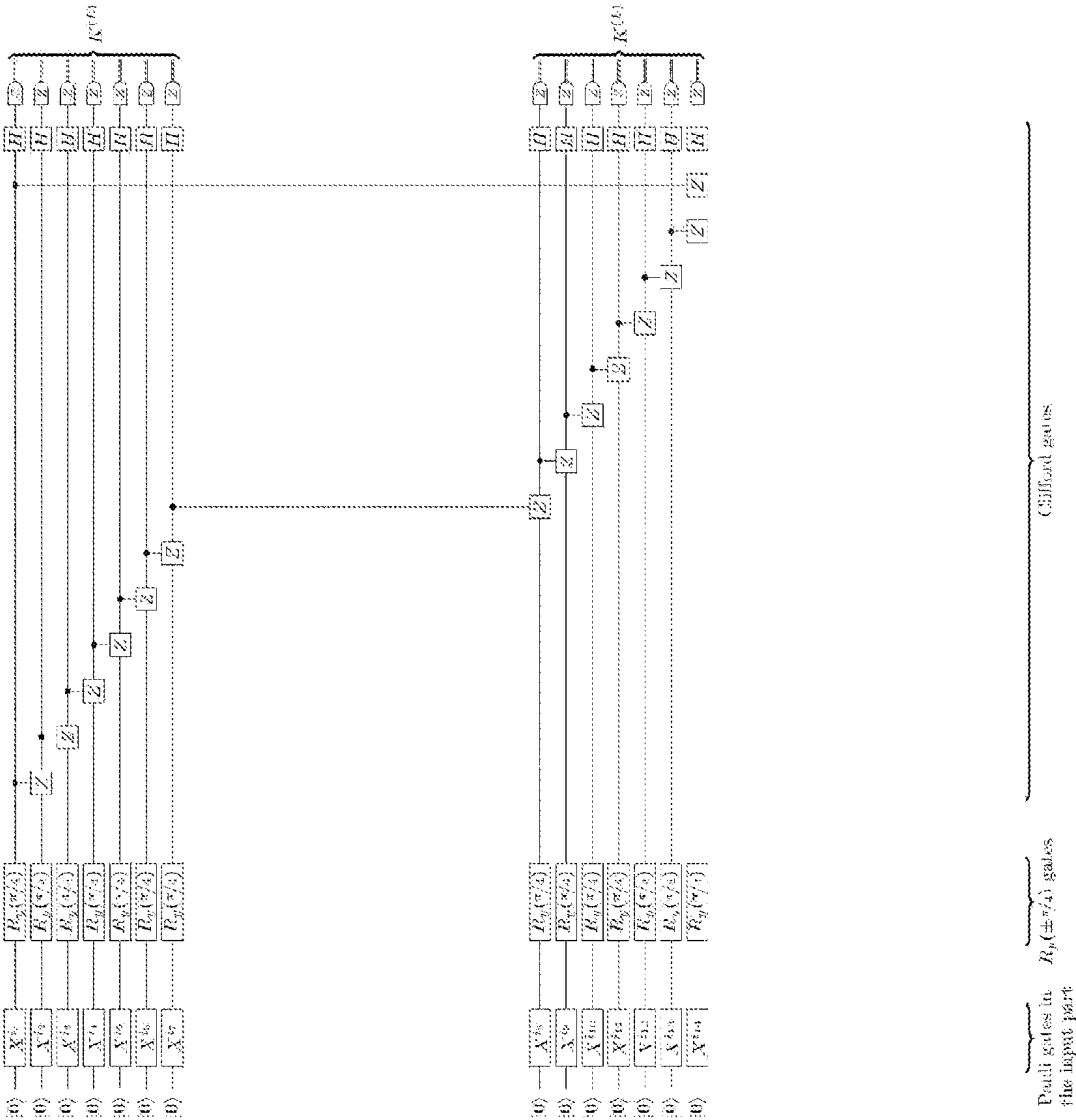




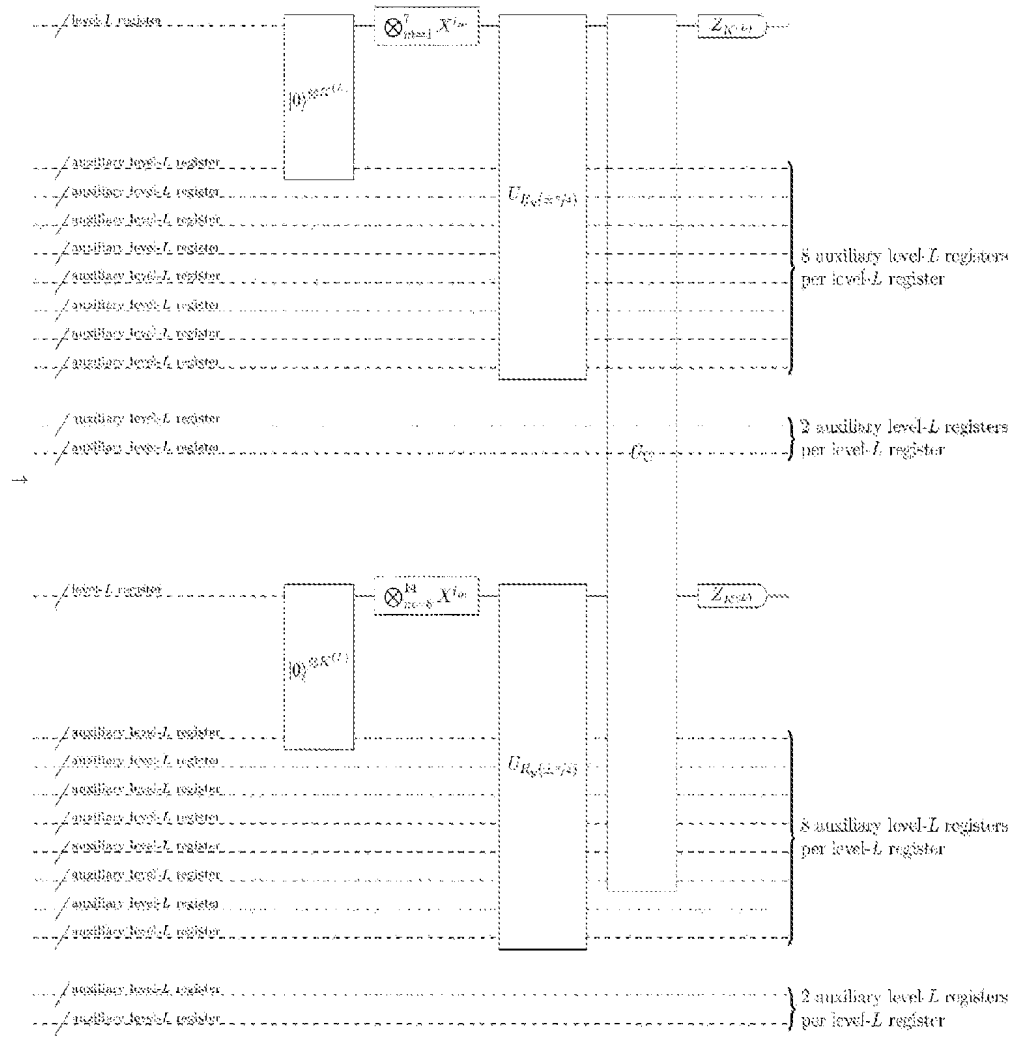
Original circuit



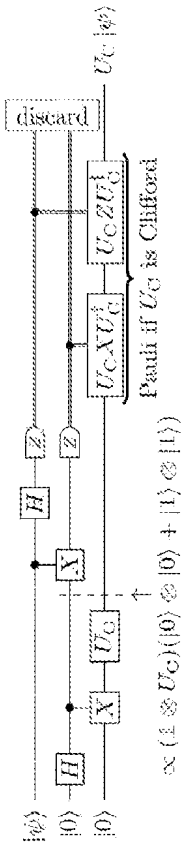
[図4]



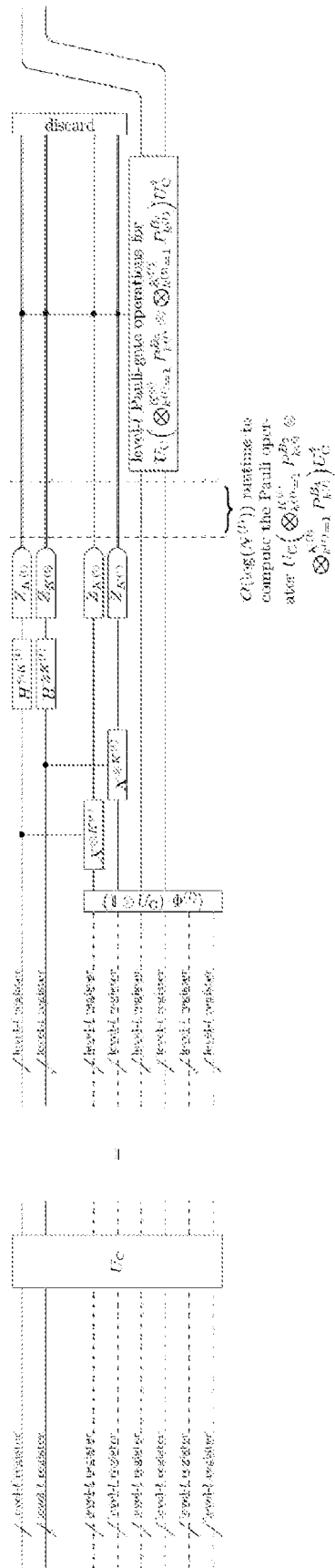
[図5]



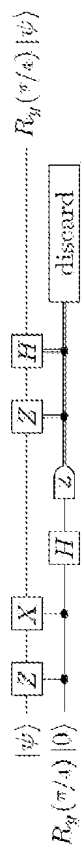
[図6]



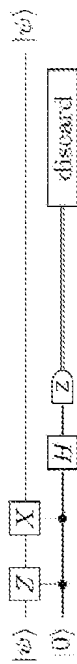
[圖7]



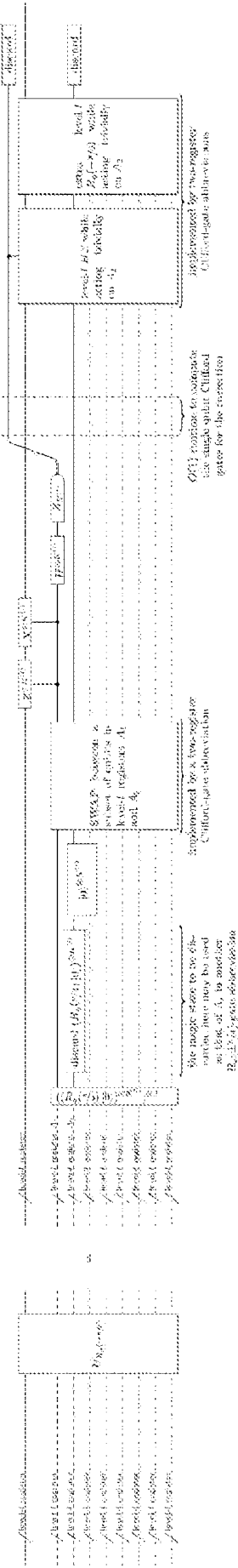
[図8]



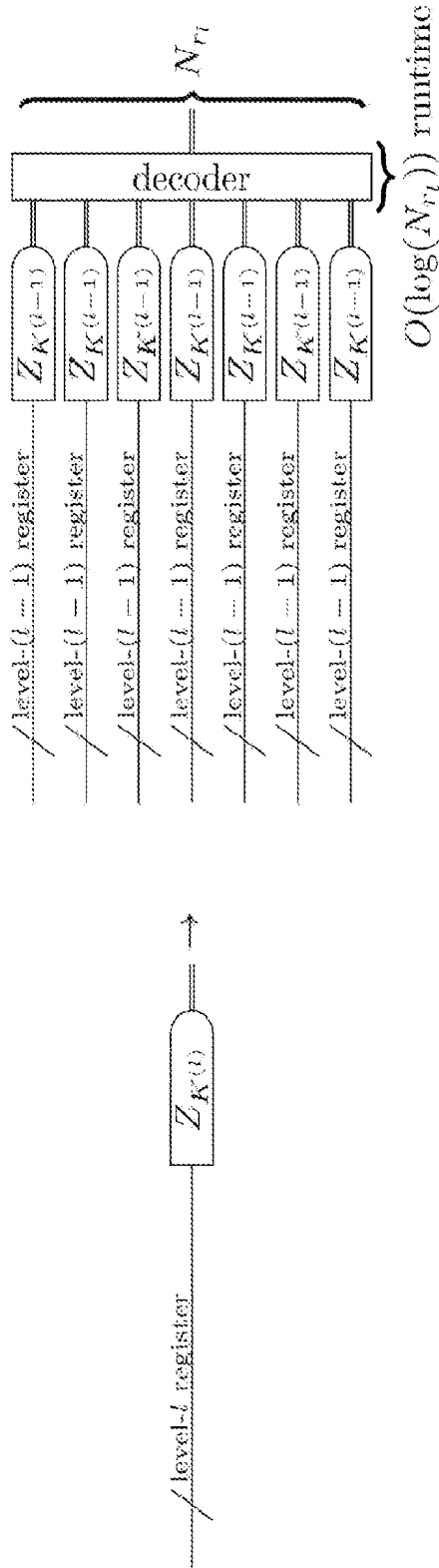
[図9]



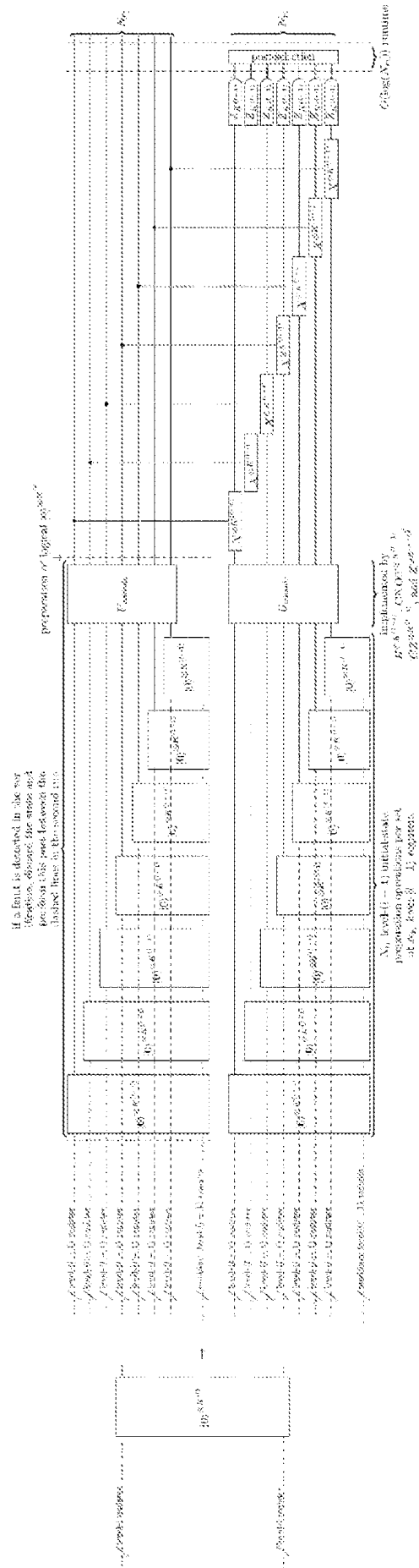
[10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/022179

A. CLASSIFICATION OF SUBJECT MATTER*H03M 13/29*(2006.01); *G06N 10/70*(2022.01);

Ft: H03M13/29; G06N10/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M13/29; G06N10/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2018/0269906 A1 (MICROSOFT TECHNOLOGY LICENSING, LLC) 20 September 2018 (2018-09-20) abstract, paragraphs [0003], [0016], [0019], [0037], [0038], [0094], [0095], [0108], [0127], [0135], [0138], [0168]-[0230], [0311]-[0314], fig. 1, 4, 6	1-4, 8-11
A		5-7
Y	US 2021/0126652 A1 (MICROSOFT TECHNOLOGY LICENSING, LLC) 29 April 2021 (2021-04-29) abstract, paragraphs [0001]-[0004], [0051]-[0083], [0144], [0170]-[0185], [0232]-[0262], [0274]-[0285], [0292]-[0300], [0346]	1-4, 8-11
A		5-7
A	CHANDRA, Daryus et al. Near-Hashing-Bound Multiple-Rate Quantum Turbo Short-Block Codes. IEEE Access [online], vol. 7, 2019, pp. 52712-52730, [retrieved on 26 August 2024]. Retrieved from the Internet: <URL: https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8691729 >	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search 22 August 2024	Date of mailing of the international search report 03 September 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/022179

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2018/0269906	A1	20 September 2018	WO	2018/175156	A1	
				CN	110582786	A	
US	2021/0126652	A1	29 April 2021	WO	2021/080776	A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03M 13/29(2006.01)i; G06N 10/70(2022.01)i FI: H03M13/29; G06N10/70		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03M13/29; G06N10/70		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年		
国際調査で使った電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	US 2018/0269906 A1 (MICROSOFT TECHNOLOGY LICENSING, LLC) 20.09.2018 (2018 - 09 - 20) 要約、段落3, 16, 19, 37, 38, 94, 95, 108, 127, 135, 138, 168-230, 311-314, 図1, 4, 6	1-4, 8-11 5-7
Y A	US 2021/0126652 A1 (MICROSOFT TECHNOLOGY LICENSING, LLC) 29.04.2021 (2021 - 04 - 29) 要約、段落1-4, 51-83, 144, 170-185, 232-262, 274-285, 292-300, 346	1-4, 8-11 5-7
A	CHANDRA, Daryus, et al., Near-Hashing-Bound Multiple-Rate Quantum Turbo Short-Block Codes, IEEE Access[online], Vol.7, 2019, pp.52712-52730, [retrieved on 2024.08.26], Retrieved from the Internet: <URL: https://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=8691729>	1-11
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “Z” 同一パテントファミリー文献		
国際調査を完了した日 22.08.2024		国際調査報告の発送日 03.09.2024
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 谷岡 佳彦 5K 3463 電話番号 03-3581-1101 内線 3596

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/022179

引用文献			公表日	パテントファミリー文献			公表日
US	2018/0269906	A1	20.09.2018	WO	2018/175156	A1	
				CN	110582786	A	
US	2021/0126352	A1	29.04.2021	WO	2021/080776	A1	