(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月16日(16.01.2025)

WIPO | PCT

(10) 国際公開番号
WO 2025/013500 A1

(51) 国際特許分類:
H01L 29/82 (2006.01) *H03K 19/18* (2006.01)
G02F 3/00 (2006.01) *H10N 50/20* (2023.01)

(21) 国際出願番号： PCT/JP2024/021394

(22) 国際出願日： 2024年6月12日(12.06.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

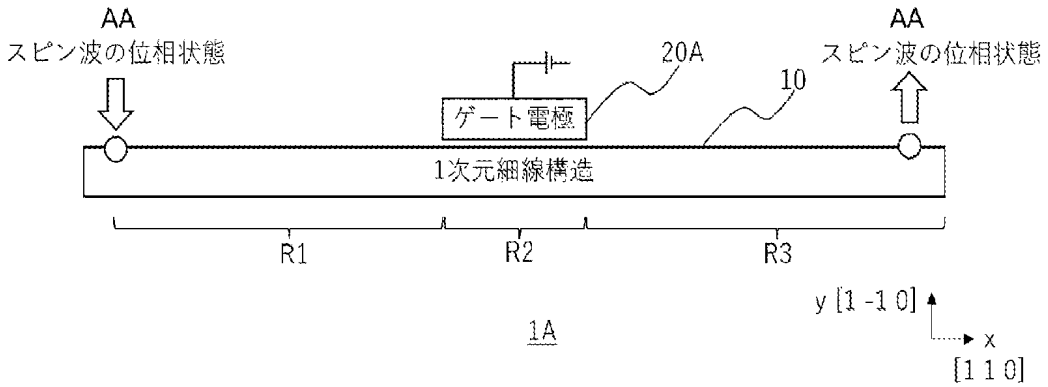
(30) 優先権データ：
特願 2023-113508 2023年7月11日(11.07.2023) JP

(71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目１番８号 Saitama (JP).

(72) 発明者: 好田 誠(KOHDA Makoto); 〒9808577 宮城県仙台市青葉区片平二丁目１番１号国立大学法人東北大学内 Miyagi (JP). 軽部 修太郎(KARUBE Shutaro); 〒9808577 宮城県仙台市青葉区片平二丁目１番１号国立大学法人東北大学内 Miyagi (JP). 張 超亮(ZHANG Chao Liang); 〒9808577 宮城県仙台市青葉区片平二丁目１番１号国立大学法人東北大学内 Miyagi (JP). 菊池 奎斗(KIKUCHI Keito); 〒9808577 宮城県仙台市青葉区片平二丁目１番１号国立大学法人東北大学内 Miyagi (JP). 中島 快(NAKAJIMA Kai); 〒9808577 宮城県仙台市青葉区片平二丁目１番１号国立大学法人東北大学内 Miyagi (JP).

(54) **Title:** LOGICAL OPERATION ELEMENT, LOGIC DEVICE, NOT LOGIC DEVICE, SWITCHABLE NOT LOGIC DEVICE, XOR LOGIC DEVICE, AND LOGIC DEVICE, OR LOGIC DEVICE, AND HALF ADDER

(54) 発明の名称： 論理演算素子、論理デバイス、ＮＯＴ論理デバイス、切替可能ＮＯＴ論理デバイス、ＸＯＲ論理デバイス、ＡＮＤ論理デバイス、ＯＲ論理デバイスおよび半加算器



10 One-dimensional thin line structure
20A Gate electrode
AA Phase state of spin wave

(57) **Abstract:** A logical operation element 1A includes: a one-dimensional thin line structure 10 in which an electron spin wave propagates; and a gate electrode 20A along a part of the one-dimensional thin line structure 10. A logic input to the logical operation element 1A is a phase state of the electron spin wave before propagating through the one-dimensional thin line structure 10. A logic output of the logical operation element 1A is a phase state of the electron spin wave after propagating through the one-dimensional thin line structure 10.

(57) 要約：論理演算素子１Ａは、電子スピン波が伝搬する１次元細線構造１０と、１次元細線構造１０の一部に沿ったゲート電極２０Ａと、を有する。論理演算素子１Ａの論理入力は、１次元細線構造１０を伝搬する前の電子スピン波の位相状態である。論理演算素子１Ａの論理出力は、１次元細線構造１０を伝搬した後の電子スピン波の位相状態である。

WO 2025/013500 A1

[続葉有]

(74) 代理人：森 下　賢 樹 (MORISHITA Sakaki)；〒1530061 東京都目黒区中目黒１－８－１ ＶＯＲＴ中目黒Ｉ ３階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能)：AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

明　細　書

発明の名称：

論理演算素子、論理デバイス、ＮＯＴ論理デバイス、切替可能ＮＯＴ論理デバイス、ＸＯＲ論理デバイス、ＡＮＤ論理デバイス、ＯＲ論理デバイスおよび半加算器

技術分野

[0001] 本発明は、論理演算素子、論理デバイス、ＮＯＴ論理デバイス、切替可能ＮＯＴ論理デバイス、ＸＯＲ論理デバイス、ＡＮＤ論理デバイス、ＯＲ論理デバイスおよび半加算器に関する。

背景技術

[0002] 有効磁場による自由電子のスピン歳差運動が持続することで生み出される電子スピン波を用いた多数決論理演算素子が知られており、２次元電子ガス中で発生する永久スピン旋回（ＰＳＨ：Ｐｅｒｓｉｓｔｅｎｔ　Ｓｐｉｎ　Ｈｅｌｉｘ）のスピン偏極情報を用いた多数決論理デバイスが開示されている（例えば、特許文献１）。また、量子井戸の細線構造において、ゲート電圧により電子スピン波の永久スピン旋回と逆永久スピン旋回（ｉＰＳＨ：ｉｎｖｅｒｓｅ　Ｐｅｒｓｉｓｔｅｎｔ　Ｓｐｉｎ　Ｈｅｌｉｘ）とを切り替える技術が開示されている（例えば、非特許文献１）。

先行技術文献

特許文献

[0003] 特許文献1：特表２０１５－５１８２６７

非特許文献

[0004] 非特許文献1：“Ｇａｔｅ－ｃｏｎｔｒｏｌｌｅｄ　ｓｗｉｔｃｈｉｎｇ　ｂｅｔｗｅｅｎ　ｐｅｒｓｉｓｔｅｎｔ　ａｎｄ　ｉｎｖｅｒｓｅ　ｐｅｒｓｉｓｔｅｎｔ　ｓｐｉｎ　ｈｅｌｉｘ　ｓｔａｔｅｓ”、Ｋ．Ｙｏｓｈｉｚｕｍｉ、Ａ．Ｓａｓａｋｉ、Ｍ．Ｋｏｈｄａ　ａｎｄ　Ｊ．Ｎｉｔｔａ”、

APPLIED PHYSICS LETTERS 108、132402（2016）

発明の概要

発明が解決しようとする課題

[0005] 従来、光入力信号に対しては、光電変換により電気信号に変換して、電圧レベルの高低によりデジタル化して論理演算を行っていた。ここで、光電変換した後には、波の干渉性に基づく処理を実行できなかった。

[0006] 本発明はこうした課題に鑑みてなされたものであり、その目的は、光入力信号に対して、波の干渉性を維持したまま電圧レベルの高低による論理演算を実行可能とすることにより、該論理演算と波の干渉性に基づく多数決論理演算等の処理を自由に実行できる論理デバイスを実現することにある。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明のある態様の論理演算素子は、電子スピン波が伝搬する１次元細線構造と、１次元細線構造の一部に沿ったゲート電極と、を有し、１次元細線構造を伝搬する前の電子スピン波の位相状態を論理入力とし、１次元細線構造を伝搬した後の電子スピン波の位相状態を論理出力とする。

[0008] ある態様では、上記の論理演算素子において、１次元細線構造が、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなっていてもよい。このとき１次元細線構造は、１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、１次元細線構造を伝搬した電子スピン波を出力する出力部と、を備えている。１次元細線構造において、ゲート電極に沿ったゲート電極部がスピン波生成部と出力部との間に配置される。スピン波生成部と出力部との距離は、電子スピン波の波長のほぼ整数倍である。ゲート電極の長さは、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部からゲート電極部

に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、スピン波生成部からゲート電極部に入る前の電子スピン波がｉＰＳＨ状態のときはゲート電極部における電子スピン波をＰＳＨ状態にするゲート電圧を印加可能であり、スピン波生成部からゲート電極部に入る前の電子スピン波がＰＳＨ状態のときはゲート電極部における電子スピン波をｉＰＳＨ状態にするゲート電圧を印加可能である。すなわちこの態様は、スピン波生成部の電子スピン波の位相状態を論理入力として、出力部の電子スピン波の位相状態を論理出力とする前述の論理演算素子からなるＮＯＴ論理デバイスである。

[0009] このＮＯＴ論理デバイスは、１次元細線構造と、ゲート電極と、を有する。１次元細線構造は、電子に光信号を照射して電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、１次元細線構造を伝搬した電子スピン波を出力する出力部と、を備える。後者の場合は、該隣接する１次元細線構造の出力部が１次元細線構造のスピン波生成部を兼ねる。ゲート電極は、１次元細線構造に沿ってスピン波生成部と出力部との間に配置される。１次元細線構造は、所定の偏光状態を有する光の照射によりこの偏光状態に応じた位相を有する電子スピン波を生成する材料からなる。スピン波生成部は、電子に光信号を照射して電子スピン波を生成する。出力部は、１次元細線構造を伝搬した電子スピン波を出力する。

[0010] ある態様では、上記の論理演算素子において、特に１次元細線構造が、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなっていてもよい。１次元細線構造は、１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、１次元細線構造を伝搬した電子スピン波を出力する出力部と、を備えている。１次元細線構造において、ゲート電極に沿ったゲート電極部がスピン波生成部と出力部との間に配置される。スピン波生成部と出力部との距離は、電子スピン波の波長のほぼ整数倍である。ゲート電極の

長さは、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部からゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、電子スピン波をＰＳＨ状態にする第１のゲート電圧と、ｉＰＳＨ状態にする第２のゲート電圧との間で、ゲート電極に印加する電圧を切り替えるスイッチを有している。すなわちこの態様は、スピン波生成部の電子スピン波の位相状態を論理入力として、出力部の電子スピン波の位相状態を論理出力とする前述の論理演算素子からなり、スイッチによりＮＯＴ論理と恒等論理とを切替可能な切替可能ＮＯＴ論理デバイスである。

[0011] この切替可能ＮＯＴ論理デバイスは、１次元細線構造と、ゲート電極と、を有する。１次元細線構造は、スピン波生成部と、出力部と、を備える。ゲート電極は、印加するゲート電圧を、電子スピン波をＰＳＨ状態にする第１のゲート電圧と、ｉＰＳＨ状態にする第２のゲート電圧とに切り替えるスイッチを有している。スイッチが第１のゲート電圧であるときは、切替可能ＮＯＴ論理デバイスは、前述のＮＯＴ論理デバイスと実質的に同じものとなる。一方、スイッチが第２のゲート電圧であるときは、切替可能ＮＯＴ論理デバイスは、スピン波生成部における論理値と同じ論理値が出力部から出力される。

[0012] ある態様では、上記の切替可能ＮＯＴ論理デバイスを２つ有するＸＯＲ論理デバイスとして構成されてもよい。このとき２つの切替可能ＮＯＴ論理デバイスは、前段と後段に直列に接続される。前段の切替可能ＮＯＴ論理デバイスのスピン波生成部が全体のスピン波生成部となる。前段の切替可能ＮＯＴ論理デバイスの出力部が後段の切替可能ＮＯＴ論理デバイスのスピン波生成部と共通している。後段の切替可能ＮＯＴ論理デバイスの出力部が全体の出力部となる。２つの切替可能ＮＯＴ論理デバイスのゲート電極に印加される電圧が電子スピン波をＰＳＨ状態にする第１のゲート電圧であるか、それとも電子スピン波をｉＰＳＨ状態にする第２のゲート電圧であるかを論理入力として、全体の出力部における電子スピン波の位相状態を論理出力とする

。

[0013] このＸＯＲ論理デバイスは、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなる１次元細線構造と、１次元細線構造の一部に電子スピン波をＰＳＨ状態にする第１のゲート電圧か、または電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能な第１ゲート電極および第２ゲート電極と、を有する。１次元細線構造は、該１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、１次元細線構造を伝搬した電子スピン波を出力する出力部と、を備えている。スピン波生成部と出力部との距離は、電子スピン波の波長のほぼ整数倍である。第１ゲート電極の長さおよび第２ゲート電極の長さは、それぞれ、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。第１ゲート電極および第２ゲート電極は、それぞれ、印加するゲート電圧を第１のゲート電圧と第２のゲート電圧との間で切り替えるスイッチを有する。第１ゲート電極および第２ゲート電極は、１次元細線構造に沿って直列に配置される。

[0014] ある態様では、上記の切替可能ＮＯＴ論理デバイス２つと、１つの１次元細線構造と、を有するＡＮＤ論理デバイスとして構成されてもよい。このＡＮＤ論理デバイスは、２つの切替可能ＮＯＴ論理デバイスと１つの１次元細線構造の３つが並列に接続されて構成される。２つの切替可能ＮＯＴ論理デバイス、および１つの１次元細線構造のスピン波生成部は共通している。２つの切替可能ＮＯＴ論理デバイス、および１つの１次元細線構造の出力部は共通している。２つの切替可能ＮＯＴ論理デバイスのゲート電極に印加される電圧が電子スピン波をＰＳＨ状態にする第１のゲート電圧であるか、それとも電子スピン波をｉＰＳＨ状態にする第２のゲート電圧であるかを論理入力として、出力部における電子スピン波の位相状態を論理出力とする。

[0015] このＡＮＤ論理デバイスは、第１の切替可能ＮＯＴ論理デバイスと、第２

の切替可能ＮＯＴ論理デバイスと、１次元細線構造と、が並列に接続されて構成される。第１および第２の切替可能ＮＯＴ論理デバイスは、前述の切替可能ＮＯＴ論理デバイスである。第１の切替可能ＮＯＴ論理デバイス、第２の切替可能ＮＯＴ論理デバイスおよび１次元細線構造のスピン波生成部は共通している。第１の切替可能ＮＯＴ論理デバイス、第２の切替可能ＮＯＴ論理デバイスおよび１次元細線構造の出力部は共通している。

[0016] ある態様では、上記の切替可能ＮＯＴ論理デバイス２つと、上記のＮＯＴ論理デバイス１つと、を有するＯＲ論理デバイスとして構成されてもよい。このＯＲ論理デバイスは、２つの切替可能ＮＯＴ論理デバイスと、１つのＮＯＴ論理デバイスの３つが並列に接続されて構成される。２つの切替可能ＮＯＴ論理デバイス、および１つのＮＯＴ論理デバイスのスピン波生成部は共通している。２つの切替可能ＮＯＴ論理デバイス、および１つのＮＯＴ論理デバイスの出力部は共通している。２つの切替可能ＮＯＴ論理デバイスのゲート電極に印加される電圧が電子スピン波をＰＳＨ状態にする第１のゲート電圧であるか、それとも電子スピン波をｉＰＳＨ状態にする第２のゲート電圧であるかを論理入力として、出力部における電子スピン波の位相状態を論理出力とする。

[0017] このＯＲ論理デバイスは、第１の切替可能ＮＯＴ論理デバイスと、第２の切替可能ＮＯＴ論理デバイスと、ＮＯＴ論理デバイスと、が並列に接続されて構成される。第１の切替可能ＮＯＴ論理デバイスおよび第２の切替可能ＮＯＴ論理デバイスは、前述の切替可能ＮＯＴ論理デバイスである。ＮＯＴ論理デバイスは、前述のＮＯＴ論理デバイスである。第１の切替可能ＮＯＴ論理デバイス、第２の切替可能ＮＯＴ論理デバイスおよびＮＯＴ論理デバイスのスピン波生成部は共通している。第１の切替可能ＮＯＴ論理デバイス、第２の切替可能ＮＯＴ論理デバイスおよびＮＯＴ論理デバイスの出力部は共通している。

[0018] ある態様では、論理演算素子は、上記のＡＮＤ論理デバイスと、上記のＸＯＲ論理デバイスとを含む半加算器として構成されてもよい。この半加算器

は、ＡＮＤ論理デバイスとＸＯＲ論理デバイスとが並列に接続されて構成される。ＡＮＤ論理デバイスおよびＸＯＲ論理デバイスのスピン波生成部は共通している。ＡＮＤ論理デバイスおよびＸＯＲ論理デバイスの出力部は別々である。ＡＮＤ論理デバイスの２つの切替可能ＮＯＴ論理デバイスのゲート電極に印加される電圧が電子スピン波をＰＳＨ状態にする第１のゲート電圧であるか、それとも電子スピン波をｉＰＳＨ状態にする第２のゲート電圧であるかを加算する１ビット２進数入力として、ＡＮＤ論理デバイスの出力部における電子スピン波の位相状態を２ビット２進数の上位ビット出力とする。ＸＯＲ論理デバイスの２つの切替可能ＮＯＴ論理デバイスのゲート電極に印加される電圧が第１のゲート電圧であるか、それとも第２のゲート電圧であるかを加算する１ビット２進数入力として、ＸＯＲ論理デバイスの出力部における電子スピン波の位相状態を２ビット２進数の下位ビット出力とする。

[0019] すなわちこの態様の論理演算素子は、半加算器である。この半加算器は、第１のＡＮＤ論理デバイスと、第２のＸＯＲ論理デバイスと、が並列に接続されて構成される。第１のＡＮＤ論理デバイスは、前述のＡＮＤ論理デバイスである。第２のＸＯＲ論理デバイスは、前述のＸＯＲ論理デバイスである。第１のＡＮＤ論理デバイスの出力部から出力される電子スピン波の位相状態は、２ビット２進数の上位ビットを表す。第２のＸＯＲ論理デバイスの出力部から出力される電子スピン波の位相状態は、２ビット２進数の下位ビットを表す。

[0020] 本発明のさらに別の態様は、論理演算素子である。この論理演算素子は、電子スピン波が伝搬する１次元細線構造と、１次元細線構造の一部に沿ったゲート電極と、を有し、ゲート電極に印加するゲート電圧の高低を論理入力とし、電子スピン波の位相状態を論理出力とする。

[0021] ある態様の論理演算素子では、１次元細線構造は、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなる。１次元細線構造は、１次元細線構造内の電子に光信号が照射さ

れることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、１次元細線構造を伝搬した電子スピン波を出力する出力部と、を備えている。１次元細線構造において、ゲート電極に沿ったゲート電極部がスピン波生成部と出力部との間に配置される。スピン波生成部と出力部との距離は、電子スピン波の半波長のほぼ整数倍である。ゲート電極の長さは、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部からゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、ゲート電極は電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能である。

[0022] ある態様の論理演算素子では、１次元細線構造は、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなる。ゲート電極は、第１ゲート電極および第２ゲート電極により構成される。１次元細線構造は、１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、１次元細線構造を伝搬した電子スピン波を出力する出力部と、を備えている。１次元細線構造において、第１ゲート電極に沿った第１ゲート電極部と、第２ゲート電極に沿った第２ゲート電極部とがスピン波生成部と出力部との間に直列に配置される。スピン波生成部と出力部との距離は、電子スピン波の半波長のほぼ整数倍である。第１ゲート電極および第２ゲート電極の長さは、それぞれ、電子スピン波の半波長のほぼ奇数倍である。第１ゲート電極と第２ゲート電極との距離は、電子スピン波の波長のほぼ整数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部から第１ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、第１ゲート電極および第２ゲート電極は、それぞれ電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第

２のゲート電圧を印加可能である。

[0023] 本発明のさらに別の態様は、論理デバイスである。この論理デバイスは、前述の論理演算素子と、複数の電子スピン波の位相状態を論理入力とし、複数の電子スピン波を重ね合わせた電子スピン波の位相状態を論理出力とする多数決論理素子と、を含む。多数決論理素子は、電子スピン波が伝搬する１次元細線構造と、１次元細線構造が分岐して２本以上の分岐細線を構成する分岐点と、２本以上の分岐細線が合流して１本の１次元細線構造を構成する合流点とを含む２次元細線構造を有する。

[0024] ある態様の論理デバイスでは、１次元細線構造は、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなっていてもよい。分岐点では、１次元細線構造が分岐して、第１分岐細線、第２分岐細線、および第３分岐細線の３本の分岐細線を構成するとともに、合流点では、３本の分岐細線が合流して１本の１次元細線構造を構成する。１次元細線構造は、第１分岐細線の一部と該一部に沿った第１ゲート電極からなる第１の論理演算素子と、第２分岐細線の一部と該一部に沿った第２ゲート電極からなる第２の論理演算素子と、を有する。２次元細線構造は、分岐点またはその前に２次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部を備えるとともに、合流点、またはその後に第１から第３分岐細線を伝搬した電子スピン波を重ね合わせた電子スピン波を出力する出力部と、を備えている。スピン波生成部と出力部との距離は、電子スピン波の半波長のほぼ整数倍である。第１分岐細線において第１ゲート電極に沿った第１ゲート電極部が配置される。第２分岐細線において第２ゲート電極に沿った第２ゲート電極部が配置される。第１および第２ゲート電極の長さは、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部から第１ゲート電極部および第２ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、第１ゲート電極および

第２ゲート電極は、それぞれ電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能である。

[0025] ある態様の論理デバイスでは、１次元細線構造は、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなっていてもよい。分岐点では、１次元細線構造が分岐して、第１分岐細線、第２分岐細線、および第３分岐細線の３本の分岐細線を構成するとともに、合流点では、３本の分岐細線が合流して１本の１次元細線構造を構成する。１次元細線構造は、第１分岐細線の一部と該一部に沿った第１ゲート電極からなる第１の論理演算素子と、第２分岐細線の一部と該一部に沿った第２ゲート電極からなる第２の論理演算素子と、第３分岐細線の一部と該一部に沿った第３ゲート電極と、を有する。２次元細線構造は、分岐点またはその前に２次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部を備えるとともに、合流点、またはその後に第１から第３分岐細線を伝搬した電子スピン波を重ね合わせた電子スピン波を出力する出力部と、を備えている。スピン波生成部と出力部との距離は、電子スピン波の半波長のほぼ整数倍である。第１分岐細線において第１ゲート電極に沿った第１ゲート電極部が配置される。第２分岐細線において第２ゲート電極に沿った第２ゲート電極部が配置される。第３分岐細線において第３ゲート電極に沿った第３ゲート電極部が配置される。第１、第２および第３ゲート電極の長さは、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部から第１ゲート電極部、第２ゲート電極部、および第３ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、第１ゲート電極、第２ゲート電極、および第３ゲート電極は、それぞれ電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能である。

[0026] ある態様の論理デバイスでは、１次元細線構造は、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなっていてもよい。分岐点では、１次元細線構造が分岐して、第１分岐細線、第２分岐細線、第３分岐細線、および第４分岐細線の４本の分岐細線を構成するとととともに、合流点では、第１分岐細線、第２分岐細線、および第３分岐細線の３本の分岐細線が合流して１本の１次元細線構造を構成し、第４分岐細線は他の分岐細線とは合流しない１次元細線構造を構成する。第１分岐細線の一部と該一部に沿った第１ゲート電極からなる第１の論理演算素子と、第２分岐細線の一部と該一部に沿った第２ゲート電極からなる第２の論理演算素子と、第４分岐細線の一部と該一部に沿った第３ゲート電極からなる第３の論理演算素子と、第４分岐細線の別の一部と該別の一部に沿った第４ゲート電極からなる第４の論理演算素子と、を有してもよい。２次元細線構造は、分岐点またはその前に２次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部を備えると共に、合流点またはその後に第１から第３分岐細線を伝搬した電子スピン波を重ね合わせた電子スピン波を出力する第１出力部と、第４分岐細線を伝搬した電子スピン波を出力する第２出力部と、を備えている。スピン波生成部と第１出力部との距離、およびスピン波生成部と第２出力部との距離は、電子スピン波の波長のほぼ整数倍である。第１分岐細線において、第１ゲート電極に沿った第１ゲート電極部が配置される。第２分岐細線において、第２ゲート電極に沿った第２ゲート電極部が配置される。第４分岐細線において、第３ゲート電極に沿った第３ゲート電極部と、第４ゲート電極に沿った第４ゲート電極部とが直列に配置される。ゲート電極の長さは、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部から第１ゲート電極部、第２ゲート電極部、および第３ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、第１ゲート電極、第２ゲート電極、第３ゲート電極、お

よび第４ゲート電極は、それぞれ電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能である。

[0027] ある態様では、１次元細線構造が、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなっていてもよい。ゲート電極は、１次元細線構造内の電子へのスピン軌道相互作用としてラシュバ相互作用のみが働く状態にする第１のゲート電圧と何も働かない状態にする第２のゲート電圧と、を印加可能である。１次元細線構造は、１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、１次元細線構造を伝搬した電子スピン波を出力する出力部と、を備えている。ゲート電極は、１次元細線構造に沿ってスピン波生成部と出力部との間に配置される。スピン波生成部と出力部との距離は、電子スピン波の波長のほぼ整数倍であり、ゲート電極の長さは、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。すなわちこの態様は、スピン波生成部の電子スピン波の位相状態を論理入力として、出力部の電子スピン波の位相状態を論理出力とする前述の論理演算素子からなり、ＮＯＴ論理と恒等論理とを切替可能な切替可能ＮＯＴ論理デバイスである。

[0028] ある態様の論理演算素子では、１次元細線構造は、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなっていてもよい。１次元細線構造は、１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、１次元細線構造を伝搬した電子スピン波を出力する出力部と、を備えている。１次元細線構造において、ゲート電極に沿ったゲート電極部がスピン波生成部と出力部との間に配置される。スピン波生成部と出力部との距離は、電子スピン波の半波長のほぼ整数倍である。ゲート電極の長さは、電子スピ

ン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部からゲート電極部に入る前の電子スピン波がスピン軌道相互作用としてラシュバ相互作用のみが働く状態であって、ゲート電極は電子スピン波をスピン軌道相互作用としてラシュバ相互作用のみが働く状態にする第１のゲート電圧、および電子スピン波をスピン軌道相互作用として何も働かない状態にする第２のゲート電圧を印加可能である。

[0029] なお、以上の構成要素の任意の組合せ、本開示の表現を方法、装置、システム、記録媒体、コンピュータプログラムなどの間で変換したものもまた、本開示の態様として有効である。

発明の効果

[0030] 本発明によれば、光入力信号に対して、波の干渉性を維持したまま電圧レベルの高低による論理演算を実行可能とすることにより、該論理演算と波の干渉性に基づく多数決論理演算等の処理を自由に実行できる。

図面の簡単な説明

[0031] [図1]第１の実施の形態に係る論理演算素子の模式図である。

[図2]第２の実施の形態に係るＮＯＴ論理デバイスの模式図である。

[図3]図２のＮＯＴ論理デバイスを伝搬する電子の様子を示す模式図である。

[図4]１次元細線構造の幅と、電子スピンの緩和時間との関係を示すグラフである

[図5]第３の実施の形態に係る切替可能ＮＯＴ論理デバイスの模式図である。

[図6]第４の実施の形態に係るＸＯＲ論理デバイスの模式図である。

[図7]第５の実施の形態に係るＡＮＤ論理デバイスの模式図である。

[図8]第６の実施の形態に係るＯＲ論理デバイスの模式図である。

[図9]第７の実施の形態に係る半加算器の模式図である。

[図10]第８の実施の形態に係る論理演算素子の模式図である。

[図11]第９の実施の形態に係る論理演算素子の模式図である。

[図12]第１０の実施の形態に係る論理演算素子の模式図である。

[図13]第１２の実施の形態に係る論理デバイスの模式図である。

[図14]第１３の実施の形態に係る論理デバイスの模式図である。

[図15]第１４の実施の形態に係る論理デバイスの模式図である。

発明を実施するための形態

[0032] 以下、本発明を好適な実施の形態を基に図面を参照しながら説明する。実施の形態は、発明を限定するものではなく例示である。実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明に必須のものであるとは限らない。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付すものとし、適宜重複した説明は省略する。また、各図に示す各部の縮尺や形状は、説明を容易にするために便宜的に設定したものであり、特に言及がない限り限定的に解釈すべきものではない。本明細書または請求項の中で「第１」、「第２」等の用語が用いられる場合、特に言及がない限り、こうした用語はいかなる順序や重要度を表すものでもなく、ある構成と他の構成とを区別するためだけのものである。また、各図面において、実施の形態を説明する上で重要ではない部材の一部は省略して表示する。

[0033] 具体的な実施の形態を述べる前に、基礎となる知見を説明する。

[0034] 半導体量子井戸で形成した１次元細線構造において、該１次元細線構造内の電子に偏光を照射することで、位相状態の定まった電子スピン波を生成することができる。また、位相状態の定まった電子スピン波を隣接する１次元細線構造から入力することができる。生成または入力された電子スピン波は該１次元細線構造内を伝搬する。該電子スピン波は、作用するスピン軌道相互作用の種類と大きさにより、以下の状態を取ることができる。

[0035] ＰＳＨ（永久スピン旋回）状態は、ラシュバスピン軌道相互作用の強さαとドレッセルハウススピン軌道相互作用の強さβとが等しくなったとき（$\alpha=\beta$）に実現される状態である。このとき、スピン軌道相互作用の作る有効磁界の方向が電子の運動方向によらず一定方向となる。このため、電子の散乱に対してもスピンの歳差運動は影響を受けず、スピン緩和の抑制された状態となる。具体的には、量子化軸方向の結晶方位が［０　０　１］軸の場合において、結晶の［１　－１　０］方向にはスピンのコヒーレントな回転が

持続し、これと垂直な［１　１　０］方向にはスピンの向きが回転せずに伝搬するスピン緩和が抑制された状態となる。また、量子化軸方向の結晶方位が［１　０　－１　０］軸の場合には、結晶の［０　０　０　１］方向にはスピンのコヒーレントな回転が持続し、これと垂直な［１　１　２　０］方向にはスピンの向きが回転せずに伝搬するスピン緩和が抑制された状態となる。

[0036] ｉＰＳＨ（逆永久スピン旋回）状態は、ラシュバスピン軌道相互作用の強さの符号が反転し、ドレッセルハウススピン軌道相互作用の強さと等しくなったとき（$\alpha=-\beta$）に実現される状態である。このｉＰＳＨ状態は、ＰＳＨ状態に対し有効磁界の向きが９０度変化し、スピン歳差運動状態からスピン歳差運動しない状態に変化する。具体的には、量子化軸方向の結晶方位が［０　０　１］軸の場合において、結晶の［１　－１　０］方向にはスピンの向きが回転せずに伝搬し、これと垂直な［１　１　０］方向にはスピンのコヒーレントな回転が持続された状態となる。また、量子化軸方向の結晶方位が［１　０　－１　０］軸の場合には、結晶の［０　０　０　１］方向にはスピンの向きが回転せずに伝搬し、これと垂直な［１　１　２　０］方向にはスピンのコヒーレントな回転が持続された状態となる。

[0037] 他の特徴的な状態として、スピン軌道相互作用としてラシュバスピン軌道相互作用のみが働く状態（$\alpha\neq0$，$\beta=0$）、スピン軌道相互作用のない状態（$\alpha=0$，$\beta=0$）などがある。

[0038] ここで、ドレッセルハウススピン軌道相互作用の強さβは材料によって定まる固有の値であるが、ラシュバスピン軌道相互作用の強さαはキャリア濃度によって変化する値である。該キャリア濃度は、１次元細線構造への不純物ドープ量によって制御することも可能であるし、１次元細線構造の一部にゲート電極を設け、該ゲート電極に電圧を印加することで連続的に変化させることも可能である。従って、１次元細線構造の一部にゲート電極を設けて、ゲート電極に沿った部分以外のαと、ゲート電極部のαとを異なる値にすることができる。

[0039] 上記のゲート電圧印加によるαの変調を使用して、１次元細線構造において、ゲート電極部以外で電子スピン波の位相を回転させ、ゲート電極部で該電子スピン波の位相回転を停止させることができる。以下に、その３つの態様を例示する。

[0040] 第１の態様は、ゲート電極部以外をｉＰＳＨ状態とし、ゲート電極部をＰＳＨ状態とした１次元細線構造である。この場合は、内部を電子が伝搬する１次元細線構造を持つ量子井戸を、結晶の［１　１　０］方向または［０　０　１］方向を長軸（ｘ軸）方向に取り、［１　－１　０］方向または［１　１　２　０］方向をｘ軸と直交するｙ軸方向に取る。１次元細線構造がＰＳＨ状態のとき、電子は、スピンの向きを回転せずに伝搬する。一方、１次元細線構造がｉＰＳＨ状態のとき、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。ゲート電極部にα＝βとなるゲート電圧を印加することにより、ゲート電極部以外のｉＰＳＨ状態をＰＳＨ状態に変換できる。これにより、１次元細線構造を伝搬する電子のスピンの向きの回転を制御することができる。

[0041] 第２の態様は、ゲート電極部以外をＰＳＨ状態とし、ゲート電極部をｉＰＳＨ状態とした１次元細線構造である。この場合は、結晶の［１　－１　０］方向または［１　１　２　０］方向を長軸（ｘ軸）方向に取り、［１　１　０］方向または［０　０　０　１］方向をｘ軸と直交するｙ軸方向に取る。１次元細線構造がｉＰＳＨ状態のとき、電子は、スピンの向きを回転せずに伝搬する。一方、１次元細線構造がＰＳＨ状態のとき、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。ゲート電極部にα＝－βとなるゲート電圧を印加することにより、ゲート電極部以外のＰＳＨ状態をｉＰＳＨ状態に変換できる。なお、上記２つの態様の場合、距離とはｘ方向に射影された距離をいうものとする。

[0042] 第３の態様は、β＝０の場合であって、ゲート電極部以外をラシュバスピン軌道相互作用のみが働く状態とし、ゲート電極部をスピン軌道相互作用のない状態とした１次元細線構造である。この場合は、結晶の方位によらずに

長軸（ｘ軸）を定めることができ、ｙ軸をｘ軸と直交する方向に取ればよい。１次元細線構造がスピン軌道相互作用のない状態のとき、電子は、スピンの向きを回転せずに伝搬する。一方、１次元細線構造がラシュバスピン軌道相互作用のみが働く状態のとき、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。ゲート電極部に$\alpha=0$となるゲート電圧を印加することにより、ゲート電極部以外のラシュバスピン軌道相互作用のみが働く状態を、スピン軌道相互作用のない状態に変換できる。なお、この態様の場合、距離とはｘｙ平面上の距離をいうものとする。

[0043] これらの態様により、１次元細線構造を伝搬する電子のスピンの向きの回転を制御することができる。特にゲート電極の長さを電子スピン波の半波長とした場合は、回転を半波長の間停止することで位相を１８０°ずらすことができ、ＮＯＴ論理素子として使用することができる。以下の実施の形態では、主として第１の態様で説明するが、ＰＳＨ状態とｉＰＳＨ状態を入れ替えることで第２の態様にも同様に適用できる。

[0044] このような１次元細線構造は、以下のようにして作製することができる（例えば、非特許文献１）。具体的には、非特許文献１の例では、有機金属気相成長（ＭＯＣＶＤ）法を用いて、ＩｎＰ基板上でＩｎＡｌＡｓ／ＩｎＧａＡｓ／ＩｎＡｌＡｓ量子井戸構造をエピタキシャル成長させた後に、［１１０］方向の１次元細線構造をフォトリソグラフィーとエッチングにより作製する。膜は、ＩｎＰ基板から順に以下のように積層される。

２００ｎｍ $In_{0.52}Al_{0.48}As$

６ｎｍ $In_{0.52}Al_{0.48}As$（１．２×１０^{18}ｃｍ$^{-3}$でＳｉドーピング）

６ｎｍ $In_{0.52}Al_{0.48}As$

７ｎｍ $In_{0.53}Ga_{0.47}As$ 量子井戸

６ｎｍ $In_{0.52}Al_{0.48}As$

６ｎｍ $In_{0.52}Al_{0.48}As$（３．２×１０^{18}ｃｍ$^{-3}$でＳｉドーピング）

10nm $In_{0.52}Al_{0.48}As$

ここでゲート絶縁層（5nm Al_2O_3／95nm HfO_2）、ゲート電極（10nm Cr/100nm Au）を用いている。

[0045] 例えば、上記1次元細線構造において、$\alpha=-2\beta$から$\alpha=2\beta$までの状態をシミュレートした結果が非特許文献1に開示されている。iPSH状態（$\alpha=-\beta$）、ラシュバスピン軌道相互作用が0の状態（$\alpha=0$）、PSH状態（$\alpha=\beta$）のキャリア濃度は、それぞれ1．23、1．38，1．54（$\times10^{16}m^{-2}$）である。これらのキャリア濃度を実現するゲート電圧は、例えば－0．5～－1．0Vの範囲になる。

[0046] 以下で説明する第1～第3の実施の形態は、いずれも、論理入力および論理出力を電子スピン波の位相状態とする論理演算素子であり、さらに実施の形態に応じて論理の切り替えを、ゲート電極に印加するゲート電圧の切り替えによって行うものである。また、第4～第7の実施の形態は、第2および／または第3の実施の形態に記載の論理演算素子を組み合わせてなる論理デバイスである。

[0047] ［第1の実施の形態］

図1は、第1の実施の形態に係る論理演算素子1Aの模式図である。結晶の［1　1　0］方向を長軸（x軸）方向に取り、［1　－1　0］方向をx軸と直交するy軸方向に取る（以下、同様）。論理演算素子1Aは、1次元細線構造10と、ゲート電極20Aと、を有する。

[0048] 1次元細線構造10は、電圧が印加されていない状態で$\alpha=-\beta$となるように設定されている。ゲート電極20Aに印加する電圧は、$\alpha=\beta$となるようなゲート電圧値を取る。印加電圧がこのゲート電圧の近傍にある場合は、1次元細線構造10内の電子スピン波は、iPSH状態からPSH状態に変換される。逆に印加電圧が$\alpha=-\beta$となるようなゲート電圧値である（または、電圧が印加されてない）場合は、1次元細線構造10内の電子のiPSH状態は、そのまま保たれる。

[0049] 最初に特定の位相状態を持つ電子が1次元細線構造10の左端に入力され

る。このときの位相状態が論理入力に対応する。入力された電子の電子スピン波は、１次元細線構造１０をｘ方向に左から右に伝搬した後、右端で取り出される。このときの位相状態が論理出力に対応する。

[0050] 以下本明細書では、簡単のため、「領域Ｒを伝搬する電子スピン波がｉＰＳＨ状態である」ことを「領域Ｒがｉ ＰＳＨ状態にある」などと表現する。ゲート電極２０ＡにＰＳＨ状態となるゲート電圧が印加されているとする。この場合、１次元細線構造１０の領域Ｒ１およびＲ３は、ゲート電極２０Ａの直下にないため、該ゲート電圧が印加されていない。一方、領域Ｒ２は、ゲート電極２０Ａの直下にあるため、該ゲート電圧が印加されている。このとき、例えば、領域Ｒ１がｉＰＳＨ状態にあったとすると、領域Ｒ２はＰＳＨ状態に変換され、領域Ｒ３は再びｉＰＳＨ状態に戻る。１次元細線構造１０をｘ方向に左から右に伝搬した電子スピン波は、右端で取り出され、その位相状態が論理出力とされる。

[0051] 次に、ゲート電極２０Ａにｉ ＰＳＨ状態となる電圧が印加されている（または、電圧が印加されていない）とする。この場合、１次元細線構造１０の領域Ｒ１、Ｒ２およびＲ３のいずれにおいても、ＰＳＨ状態となるゲート電圧が印加されていない。このとき、すべての領域（Ｒ１、Ｒ２およびＲ３）において、ｉＰＳＨ状態は不変である。１次元細線構造１０をｘ方向に左から右に伝搬した電子スピン波は、右端で取り出される。このときの位相状態（一般に、ゲート電極２０ＡにＰＳＨ状態となるゲート電圧が印加されている場合とは異なる）が論理出力とされる。

[0052] このように、本実施の形態によれば、１次元細線構造１０およびゲート電極２０Ａの長さを適切に設定し、１次元細線構造１０を伝搬する前の電子スピン波の位相状態を論理入力とすることにより、様々な論理出力を出力できる論理演算素子を構成することができる。

[0053] ［第２の実施の形態］

図２は、第２の実施の形態に係るＮＯＴ論理デバイス１の模式図である。ＮＯＴ論理デバイス１は、１次元細線構造１０と、ゲート電極２０と、を有

する。１次元細線構造１０は、電子に光信号を照射して電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部３０と、１次元細線構造１０を伝搬した電子スピン波を出力する出力部４０と、を備える。後者の場合は、該隣接する１次元細線構造の出力部が１次元細線構造１０のスピン波生成部３０を兼ねる。ゲート電極２０は、１次元細線構造１０に沿ってスピン波生成部３０と出力部４０との間に配置される。

[0054] １次元細線構造１０は、所定の偏光状態を有する光の照射によりこの偏光状態に応じた位相を有する電子スピン波を生成する材料からなる。スピン波生成部３０は、電子に光信号を照射して電子スピン波を生成する。出力部４０は、１次元細線構造１０を伝搬した電子スピン波を出力する。出力された電子スピン波の位相状態は、例えば出力部４０の近傍に設置した磁気抵抗素子（ＭＲ素子）で検出することができる。

[0055] 例えば、照射される光の偏光状態は、右回り円偏光と左回り円偏光のいずれか一方であってもよい。このような光がスピン波生成部３０に照射されると、スピン波生成部３０は、右回り円偏光に対しては位相０の電子スピン波を、左回り円偏光に対しては位相πの電子スピン波を、それぞれ生成する。以下、位相０の電子スピン波を論理値「０」に、位相πの電子スピン波を論理値「１」に、それぞれ対応付けることとする。従って、この場合、照射光の右回り円偏光は論理値０に対応し、左回り円偏光は論理値１に対応する。

[0056] ゲート電極２０は、１次元細線構造１０の一部に電子スピン波をＰＳＨ状態にするゲート電圧を印加することにより、１次元細線構造内の電子をｉＰＳＨ状態からＰＳＨ状態に変換する。図２の例では、スピン波生成部３０と出力部４０との距離Ｌ１は、１次元細線構造１０内を伝搬する電子スピン波の波長のほぼ整数倍である。１次元細線構造１０の領域Ｒ１およびＲ３は、ゲート電極２０の直下にないため、ゲート電圧が印加されていない。一方、領域Ｒ２は、ゲート電極２０の直下にあるため、ゲート電圧が印加されている。このとき、例えば、領域Ｒ１の電子スピン波がｉＰＳＨ状態にあったと

すると、領域Ｒ２ではＰＳＨ状態に変換され、領域Ｒ３では再びｉＰＳＨ状態に戻る。

[0057] スピン波生成部３０と出力部４０との距離Ｌ１は、１次元細線構造１０内を伝搬する電子スピン波の波長のほぼ整数倍である。ゲート電極２０の長さＬ２は、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅Ｗ１は、電子スピン波の半波長より小さい。

[0058] 図３は、図２のＮＯＴ論理デバイス１を伝搬する電子の様子を示す模式図である。先ずスピン波生成部３０に、右回り円偏光の光が照射される。スピン波生成部３０は、位相０の電子スピン波（上向き）を生成する。領域Ｒ１では、１次元細線構造１０の電子スピン波はｉＰＳＨ状態（$\alpha=-\beta$）にある。従って領域Ｒ１では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

[0059] 領域Ｒ２では、１次元細線構造１０はゲート電圧を印加するゲート電極２０の直下にあるため、ＰＳＨ状態（$\alpha=\beta$）になっている。従って領域Ｒ２では、電子は、スピンの向きが回転せずに伝搬する。このとき、領域Ｒ２の長さ（ゲート電極２０の長さ）が電子スピン波の半波長のほぼ奇数倍であるため、ゲート電圧が印加されていない場合に比べて、電子スピン波の位相はほぼπ（ほぼ半波長分）ずれる。

[0060] 領域Ｒ３では、１次元細線構造１０はゲート電圧を印加するゲート電極２０の直下にないため、ｉＰＳＨ状態になっている。従って領域Ｒ３では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

[0061] スピン波生成部３０と出力部４０との距離が電子スピン波の波長のほぼ整数倍であり、電子スピン波の位相が領域Ｒ２でπずれていることから、出力部４０で出力する電子スピン波の位相状態は、スピン波生成部３０における状態と逆になっている（言い換えれば、位相がπずれている）ことが分かる。すなわち、スピン波生成部３０で論理値０に相当する状態だった電子は、出力部４０では論理値１に相当する状態になっている。このように、ＮＯＴ論理デバイス１に論理０を入力すると、逆の論理値１が出力される。

[0062] また上記と逆に、スピン波生成部３０に左回り円偏光の光を照射して、位相πの電子スピン波（下向き）を生成した場合を考える。この場合、スピン波生成部３０で論理値１に相当する状態だった電子は、出力部４０では論理値０に相当する状態になる。従って、ＮＯＴ論理デバイス１に論理値１を入力すると、逆の論理値０が出力される。

[0063] 以上説明したように、ＮＯＴ論理デバイス１により、波動性を失うことなく、ＮＯＴ論理を実現するＮＯＴ回路（ＮＯＴゲート、またはインバータとも呼ばれる）が実現されている。

[0064] 図４は、１次元細線構造の幅と、電子スピン波の緩和時間との関係を示すグラフである。図４の四角い点は結晶方向が［１　１　０］の場合を表し、丸い点は結晶方向が［１　－１　０］の場合を表す。上記の例では、電子スピン波の波長は約８μｍである。図４から分かるように、１次元細線構造の幅を波長の半分以下にすることにより、スピン偏極状態が緩和するまでの時間を１ｎｓ以上保つことができる。

[0065] 以上説明したように、本実施の形態によれば、光入力信号に対して、波の干渉性を維持したままＮＯＴ演算処理を実行できる論理デバイスを実現できる。

[0066] ［第３の実施の形態］

図５は、第３の実施の形態に係る切替可能ＮＯＴ論理デバイス２の模式図である。切替可能ＮＯＴ論理デバイス２は、１次元細線構造１０と、ゲート電極２０と、を有する。１次元細線構造１０は、スピン波生成部３０と、出力部４０と、を備える。切替可能ＮＯＴ論理デバイス２のゲート電極２０は、印加するゲート電圧を、電子スピン波をＰＳＨ状態にする第１のゲート電圧と、ｉＰＳＨ状態にする第２のゲート電圧とに切り替えるスイッチ２０Ｓを有している。切替可能ＮＯＴ論理デバイス２のその他の構成は、図２のＮＯＴ論理デバイス１の構成と共通である。

[0067] スイッチ２０Ｓが第１のゲート電圧である（以下「スイッチ２０ＳがＯＮ」ともいう。「２０Ｓ」は他の符号であっても同様）ときは、切替可能ＮＯ

Ｔ論理デバイス２は、ＮＯＴ論理デバイス１と実質的に同じものとなる。従って、光入力信号に対して、波の干渉性を維持したままＮＯＴ演算処理を実行できる論理デバイスとして機能する。

[0068] 一方、スイッチ２０Ｓが第２のゲート電圧である（以下「スイッチ２０ＳがＯＦＦ」ともいう。「２０Ｓ」は他の符号であっても同様）ときは、切替可能ＮＯＴ論理デバイス２は、スピン波生成部３０における論理値と同じ論理値が出力部４０から出力される。従ってこの場合は、切替可能ＮＯＴ論理デバイス２はバッファとして機能する。本明細書では、このような、バッファ論理デバイスとＮＯＴ論理デバイスと切替可能な論理デバイスを「切替可能ＮＯＴ論理デバイス」と呼ぶこととする。

[0069] 以上説明したように、本実施の形態によれば、光入力信号に対して、波の干渉性を維持したまま電圧レベルの高低により、ＮＯＴ演算処理または恒等演算処理を選択的に実行できる論理デバイスを実現できる。

[0070] ［第４の実施の形態］

図６は、第４の実施の形態に係るＸＯＲ論理デバイス３の模式図である。ＸＯＲ論理デバイス３は、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなる１次元細線構造１０と、１次元細線構造１０の一部に電子スピン波をＰＳＨ状態にする第１のゲート電圧か、または電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能な第１ゲート電極２１および第２ゲート電極２２と、を有する。１次元細線構造１０は、該１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部３０と、１次元細線構造１０を伝搬した電子スピン波を出力する出力部４０と、を備えている。スピン波生成部３０と出力部４０との距離Ｌ３は、電子スピン波の波長のほぼ整数倍である。第１ゲート電極２１の長さＬ４および第２ゲート電極２２の長さＬ５は、それぞれ、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造１０の幅Ｗ１は、電子スピン波の半波長より小さい。第１ゲート

電極２１および第２ゲート電極２２は、それぞれ、印加するゲート電圧を第１のゲート電圧と第２のゲート電圧との間で切り替えるスイッチ２１Ｓおよび２２Ｓを有する。第１ゲート電極２１および第２ゲート電極２２は、１次元細線構造１０に沿って直列に配置される。

[0071] 領域Ｒ４、Ｒ６およびＲ８は、ｉＰＳＨ状態となっている。領域Ｒ５は、スイッチ２１ＳがＯＮのときはＰＳＨ状態となっており、スイッチ２１ＳがＯＦＦのときはｉＰＳＨ状態になっている。領域Ｒ７は、スイッチ２２ＳがＯＮのときはＰＳＨ状態となっており、スイッチ２２ＳがＯＦＦのときはｉＰＳＨ状態になっている。

[0072] 以下、スピン波生成部３０に、右回り円偏光の光を照射して、位相０の電子スピン波（上向き）を生成した場合を考える。スイッチ２１Ｓおよびスイッチ２２ＳのＯＮ／ＯＦＦに応じて、出力部４０から出力される電子スピン波の位相状態を説明する。

[0073] （スイッチ２１Ｓ＝ＯＦＦ、スイッチ２２Ｓ＝ＯＦＦのとき）

領域Ｒ４では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ５では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ６では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ７では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ８では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

距離Ｌ３が電子スピン波の波長のほぼ整数倍であるため、出力部４０から出力される電子スピン波の位相状態は、スピン波生成部３０における状態とほぼ同じである（すなわち、スピン波生成部３０と出力部４０との間における位相差は２πのほぼ整数倍である）。従って、出力部４０からは、位相０の

電子スピン波（上向き）が出力される。

[0074]（スイッチ２１Ｓ＝ＯＦＦ、スイッチ２２Ｓ＝ＯＮのとき）

領域Ｒ４では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ５では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ６では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ７では、電子は、スピンの向きが回転せずに伝搬する。このとき、領域Ｒ７の長さ（第２ゲート電極２２の長さ）が電子スピン波の半波長のほぼ奇数倍であるため、電子スピン波の位相はπのほぼ奇数倍（ほぼ半波長分）ずれる。

領域Ｒ８では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

距離Ｌ３が電子スピン波の波長のほぼ整数倍であり、領域Ｒ７で電子スピン波の位相がほぼπずれているため、出力部４０から出力される電子スピン波の位相状態は、スピン波生成部３０における状態とほぼ逆である（すなわち、スピン波生成部３０と出力部４０との間における位相差はπのほぼ奇数倍である）。従って、出力部４０からは、位相πの電子スピン波（下向き）が出力される。

[0075]（スイッチ２１Ｓ＝ＯＮ、スイッチ２２Ｓ＝ＯＦＦのとき）

領域Ｒ４では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ５では、電子は、スピンの向きが回転せずに伝搬する。このとき、領域Ｒ５の長さ（第１ゲート電極２１の長さ）が電子スピン波の半波長のほぼ奇数倍であるため、電子スピン波の位相はπのほぼ奇数倍（ほぼ半波長分）ずれる。

領域Ｒ６では、電子は、スピンのコヒーレントな回転を持続しながら伝搬す

る。

領域Ｒ７では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ８では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

距離Ｌ３が電子スピン波の波長のほぼ整数倍であり、領域Ｒ５で電子スピン波の位相がほぼπずれているため、出力部４０から出力される電子スピン波の位相状態は、スピン波生成部３０における状態とほぼ逆である（すなわち、スピン波生成部３０と出力部４０との間における位相差はπのほぼ奇数倍である）。従って、出力部４０からは、位相πの電子スピン波（下向き）が出力される。

[0076] （スイッチ２１Ｓ＝ＯＮ、スイッチ２２Ｓ＝ＯＮのとき）

領域Ｒ４では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ５では、電子は、スピンの向きが回転せずに伝搬する。このとき、領域Ｒ５の長さ（第１ゲート電極２１の長さ）が電子スピン波の半波長のほぼ奇数倍であるため、電子スピン波の位相はπのほぼ奇数倍（ほぼ半波長分）ずれる。

領域Ｒ６では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ７では、電子は、スピンの向きが回転せずに伝搬する。このとき、領域Ｒ７の長さ（第２ゲート電極２２の長さ）が電子スピン波の半波長のほぼ奇数倍であるため、電子スピン波の位相はπのほぼ奇数倍（ほぼ半波長分）ずれる。

領域Ｒ８では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

距離Ｌ３が電子スピン波の波長のほぼ整数倍であり、領域Ｒ５および領域Ｒ７で電子スピン波の位相がほぼπずつずれているため（領域Ｒ５とＲ７を両

方合わせて、ほぼ２πずれている）、出力部４０から出力される電子スピン波の位相状態は、スピン波生成部３０における状態とほぼ同じである（すなわち、スピン波生成部３０と出力部４０との間における位相差は２πのほぼ整数倍である）。従って、出力部４０からは、位相０の電子スピン波（上向き）が出力される。

[0077] ここで、

スイッチ２１ＳがＯＮの状態は、第１入力変数の論理値＝１に対応し、

スイッチ２１ＳがＯＦＦの状態は、第１入力変数の論理値＝０に対応し、

スイッチ２２ＳがＯＮの状態は、第２入力変数の論理値＝１に対応し、

スイッチ２２ＳがＯＦＦの状態は、第２入力変数の論理値＝０に対応するとし、

スピン波生成部３０における状態と、出力部４０から出力される電子スピン波の位相状態が逆のとき「真」（論理値＝１）であるとし、

スピン波生成部３０における状態と、出力部４０から出力される電子スピン波の位相状態が同じとき「偽」（論理値＝０）であるとすると、真理値表は表１のようになる。

[0078] 表１

[表1]

第1変数/スイッチ21S	第2変数/スイッチ22S	真理値
0/OFF	0/OFF	0
0/OFF	1/ON	1
1/ON	0/OFF	1
1/ON	1/ON	0

[0079] このように、スイッチ２１Ｓおよびスイッチ２２ＳのそれぞれのＯＮ／ＯＦＦ状態を、第１変数および第２変数の１／０に対応させることにより、ＸＯＲ論理を実現するＸＯＲ回路（ＸＯＲゲートとも呼ばれる）を実現することができる。すなわち本実施の形態によれば、光入力信号に対して、波の干渉性を維持したまま電圧レベルの高低によるＸＯＲ論理演算を実行可能とす

る論理デバイスを実現できる。

[0080] ［第５の実施の形態］

図７は、第５の実施の形態に係るＡＮＤ論理デバイス４の模式図である。ＡＮＤ論理デバイス４は、第１の切替可能ＮＯＴ論理デバイス２０１と、第２の切替可能ＮＯＴ論理デバイス２０２と、第３の１次元細線構造７０３と、が並列に接続されて構成される。第１の切替可能ＮＯＴ論理デバイス２０１および第２の切替可能ＮＯＴ論理デバイス２０２は、第３の実施の形態で説明した切替可能ＮＯＴ論理デバイスである。第１の切替可能ＮＯＴ論理デバイス２０１、第２の切替可能ＮＯＴ論理デバイス２０２および第３の１次元細線構造７０３のスピン波生成部３１は共通している。第１の切替可能ＮＯＴ論理デバイス２０１、第２の切替可能ＮＯＴ論理デバイス２０２および第３の１次元細線構造７０３の出力部４１は共通している。

[0081] スピン波生成部３１で生成された電子スピン波は、３方向に等量に別れて、それぞれ、第１の切替可能ＮＯＴ論理デバイス２０１、第２の切替可能ＮＯＴ論理デバイス２０２および第３の１次元細線構造７０３をｘ方向に伝搬する。ここで３方向において、スピン波生成部３１から出力部４１までの距離は、Ｘ方向への射影で等しい距離である。第１の切替可能ＮＯＴ論理デバイス２０１、第２の切替可能ＮＯＴ論理デバイス２０２および第３の１次元細線構造７０３を伝搬した電子スピン波は、出力部４１で合波されて多数決論理が実行される。

[0082] 第４の実施の形態と同様に、スピン波生成部３１に、右回り円偏光の光を照射して、位相０の電子スピン波（上向き）を生成する。スイッチ２０１Ｓおよびスイッチ２０２ＳのＯＮ／ＯＦＦに応じた出力結果を表２に示す。ただし出力部４１では、第１の切替可能ＮＯＴ論理デバイス２０１、第２の切替可能ＮＯＴ論理デバイス２０２および第３の１次元細線構造７０３を伝搬した電子スピン波が合波されて、多数決論理が取られる。第４の実施の形態と同様に、スピン波生成部３１における状態と、出力部４１から出力される電子スピン波の位相状態が逆のとき「真」（論理値＝１）であるとし、スピ

ン波生成部３１における状態と、出力部４１から出力される電子スピン波の位相状態が同じとき「偽」（論理値＝０）であるとした。

[0083] 表２

[表2]

第1変数/スイッチ201S	第2変数/スイッチ202S	第3の1次元細線構造703	真理値（多数決値）
0/OFF	0/OFF	0	0
0/OFF	1/ON	0	0
1/ON	0/OFF	0	0
1/ON	1/ON	0	1

[0084] このように、スイッチ２０１Ｓおよびスイッチ２０２Ｓのそれぞれの０Ｎ／０ＦＦ状態を、第１変数および第２変数の１／０に対応させることにより、ＡＮＤ論理を実現するＡＮＤ回路（ＡＮＤゲートとも呼ばれる）を実現することができる。すなわち本実施の形態によれば、光入力信号に対して、波の干渉性を維持したまま電圧レベルの高低によるＡＮＤ演算処理を実行できる論理デバイスを実現できる。

[0085] ［第６の実施の形態］

図８は、第６の実施の形態に係るＯＲ論理デバイス５の模式図である。ＯＲ論理デバイス５は、第１の切替可能ＮＯＴ論理デバイス２０１と、第２の切替可能ＮＯＴ論理デバイス２０２と、第３のＮＯＴ論理デバイス１０３と、が並列に接続されて構成される。第１の切替可能ＮＯＴ論理デバイス２０１および第２の切替可能ＮＯＴ論理デバイス２０２は、第３の実施の形態で説明した切替可能ＮＯＴ論理デバイスである。第３のＮＯＴ論理デバイス１０３は、第２の実施の形態で説明したＮＯＴ論理デバイスである。第１の切替可能ＮＯＴ論理デバイス２０１、第２の切替可能ＮＯＴ論理デバイス２０２および第３のＮＯＴ論理デバイス１０３のスピン波生成部３１は共通している。第１の切替可能ＮＯＴ論理デバイス２０１、第２の切替可能ＮＯＴ論理デバイス２０２および第３のＮＯＴ論理デバイス１０３の出力部４２は共通している。

[0086] スピン波生成部３２で生成された電子スピン波は、３方向に等量に別れて

、それぞれ、第１の切替可能ＮＯＴ論理デバイス２０１、第２の切替可能ＮＯＴ論理デバイス２０２および第３のＮＯＴ論理デバイス１０３をｘ方向に伝搬する。ここで３方向において、スピン波生成部３２から出力部４２までの距離は、Ｘ方向への射影で等しい距離である。第１の切替可能ＮＯＴ論理デバイス２０１、第２の切替可能ＮＯＴ論理デバイス２０２および第３のＮＯＴ論理デバイス１０３を伝搬した電子スピン波は、出力部４２で合波されて多数決論理が実行される。

[0087] 第５の実施の形態と同様に、スピン波生成部３２に、右回り円偏光の光を照射して、位相０の電子スピン波（上向き）を生成する。スイッチ２０１Ｓおよびスイッチ２０２ＳのＯＮ／ＯＦＦに応じた出力結果を表３に示す。ただし、出力部４２では、第１の切替可能ＮＯＴ論理デバイス２０１、第２の切替可能ＮＯＴ論理デバイス２０２および第３のＮＯＴ論理デバイス１０３を伝搬した電子スピン波が合波されて、多数決論理が取られる。第５の実施の形態と同様に、スピン波生成部３２における状態と、出力部４２から出力される電子スピン波の位相状態が逆のとき「真」（論理値＝１）であるとし、スピン波生成部３２における状態と、出力部４２から出力される電子スピン波の位相状態が同じとき「偽」（論理値＝０）であるとした。

[0088] 表３

[表3]

第1変数/スイッチ201S	第2変数/スイッチ202S	第3のNOT論理デバイス103	真理値（多数決論）
0/OFF	0/OFF	1	0
0/OFF	1/ON	1	1
1/ON	0/OFF	1	1
1/ON	1/ON	1	1

[0089] このように、スイッチ２０１Ｓおよびスイッチ２０２Ｓのそれぞれの ＯＮ／ＯＦＦ状態を、第１変数および第２変数の１／０に対応させることにより、ＯＲ論理を実現するＯＲ回路（ＯＲゲートとも呼ばれる）を実現することができる。すなわち本実施の形態によれば、光入力信号に対して、波の干渉性を維持したまま電圧レベルの高低によるＯＲ演算処理を実行できる論理デ

バイスを実現できる。

[0090] ［第７の実施の形態］

図９は、第７の実施の形態に係る半加算器６の模式図である。第７の実施の形態に係る半加算器６は、第１のＡＮＤ論理デバイス４０１と、第２のＸＯＲ論理デバイス３０２と、が並列に接続されて構成される。第１のＡＮＤ論理デバイス４０１は、第５の実施の形態で説明したＡＮＤ論理デバイスである。第２のＸＯＲ論理デバイス３０２は、第４の実施の形態で説明したＸＯＲ論理デバイスである。第１のＡＮＤ論理デバイス４０１の出力部４３から出力される電子スピン波の位相状態は、２ビット２進数の上位ビットを表し、第２のＸＯＲ論理デバイスの出力部４４から出力される電子スピン波の位相状態は、２ビット２進数の下位ビットを表す。

[0091] 第５の実施の形態と同様に、スピン波生成部３３に、右回り円偏光の光を照射して、位相０の電子スピン波（上向き）を生成する。スイッチ４０１Ｓ・３０１Ｓおよびスイッチ４０２Ｓ・３０２ＳのＯＮ／ＯＦＦに応じた出力結果を表４に示す（スイッチ４０１Ｓには３０１Ｓと同じ論理値が入力され、スイッチ４０２Ｓには３０２Ｓと同じ倫理値が入力される）。第５の実施の形態と同様に、スピン波生成部３３における状態と、出力部４３および４４から出力される電子スピン波の位相状態が逆のとき「真」（論理値＝１）であるとし、スピン波生成部３３における状態と、出力部４３および４４から出力される電子スピン波の位相状態が同じとき「偽」（論理値＝０）であるとした。

[0092] 表４

[表4]

第１変数 /スイッチ401S・301S	第２変数 /スイッチ402S・302S	第1のAND論理デバイスの出力部 /2ビット2進数の上位ビット	第2のXOR論理デバイスの出力部 /2ビット2進数の下位ビット
0/OFF	0/OFF	0	0
0/OFF	1/ON	0	1
1/ON	0/OFF	0	1
1/ON	1/ON	1	0

[0093] 第１のＡＮＤ論理デバイス４０１の出力部４３には、スイッチ４０１Ｓ・３０１ＳのＯＮ／ＯＦＦ状態に対応する第１変数と、スイッチ４０２Ｓ・３０２ＳのＯＮ／ＯＦＦ状態に対応する第２変数との２進数和の上位ビットが出力される。

第２のＸＯＲ論理デバイス３０２の出力部４４には、スイッチ４０１Ｓ・３０１ＳのＯＮ／ＯＦＦ状態に対応する第１変数と、スイッチ４０２Ｓ・３０２ＳのＯＮ／ＯＦＦ状態に対応する第２変数との２進数和の下位ビットが出力される。すなわち本実施の形態によれば、光入力信号に対して、波の干渉性を維持したまま半加算器を実現できる。

[0094] 以下で説明する第８～第１３の実施の形態は、いずれも、論理入力をゲート電圧の高低とし、論理出力を電子スピン波の位相とするものである。

[0095] ［第８の実施の形態］

図１０は、第８の実施の形態に係る論理演算素子７の模式図である。論理演算素子７は、電子スピン波が伝搬する１次元細線構造１０と、１次元細線構造１０に沿ったゲート電極２３と、を有する。結晶の［１　１　０］方向を長軸（ｘ軸）方向に取り、［１　－１　０］方向をｘ軸と直交するｙ軸方向に取る（以下、同様）。１次元細線構造を伝搬する電子スピン波はｉＰＳＨ状態とする。

[0096] ゲート電極２３に印加する電圧は、電子スピン波がＰＳＨ状態となるような第１のゲート電圧であるか、電子スピン波がｉＰＳＨ状態となるような第２のゲート電圧である。後者の場合は、１次元細線構造１０内の電子スピン波のｉＰＳＨ状態は、そのまま保たれる。

[0097] 電子スピン波は、１次元細線構造１０をｘ方向に左から右に伝搬した後、右端で取り出される。このときの位相状態が論理出力に対応する。

[0098] ゲート電極２３に第１のゲート電圧が印加されているとする。この場合、１次元細線構造１０の領域Ｒ１およびＲ３は、ゲート電極２３の直下にないため、ゲート電圧が印加されていない。一方、領域Ｒ２は、ゲート電極２３の直下にあるため、第１のゲート電圧が印加されている。このとき、例えば

、領域Ｒ１がｉＰＳＨ状態にあったとすると、領域Ｒ２はＰＳＨ状態に変換され、領域Ｒ３は再びｉＰＳＨ状態に戻る。１次元細線構造１０をｘ方向に左から右に伝搬した電子スピン波は、右端で取り出され、その位相状態が論理出力とされる。

[0099] 次に、ゲート電極２３に第２のゲート電圧が印加されているとする。この場合、１次元細線構造１０の領域Ｒ１、Ｒ２およびＲ３のいずれにおいても第１のゲート電圧が印加されていない。このとき、すべての領域Ｒ１、Ｒ２およびＲ３において、ｉＰＳＨ状態は不変である。１次元細線構造１０をｘ方向に左から右に伝搬した電子スピン波は、右端で取り出される。このときの位相状態（一般に、ゲート電極２３に第１のゲート電圧が印加されている場合とは異なる）が論理出力とされる。

[0100] このように、本実施の形態によれば、１次元細線構造１０およびゲート電極２３の長さを適切に設定し、ゲート電極２３に印加する電圧の高低（第１のゲート電圧であるか、第２のゲート電圧であるか）を論理入力とすることにより、波の干渉性を維持したまま様々な論理出力を出力できる論理演算素子を構成することができる。

[0101] ［第９の実施の形態］

図１１は、第９の実施の形態に係る１論理入力の論理演算素子８の模式図である。論理演算素子８は、１次元細線構造１０と、ゲート電極２４と、を有する。１次元細線構造１０は、スピン波生成部３３と、出力部４５と、を備える。

[0102] １次元細線構造１０は、所定の偏光状態を有する光の照射によりこの偏光状態に応じた位相を有する電子スピン波を生成する材料からなる。スピン波生成部３３は、１次元細線構造１０内の電子に光信号を照射して電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力される。出力部４５は、１次元細線構造１０を伝搬した電子スピン波を出力する。

[0103] ゲート電極２４は、１次元細線構造１０の一部に電子スピン波がＰＳＨ状

態となるような第１のゲート電圧、または電子スピン波がｉＰＳＨ状態となるような第２のゲート電圧を印加することにより、１次元細線構造内の電子スピン波の状態を、ＰＳＨ状態とｉＰＳＨ状態との間で互いに変換するか、維持する。図１１の例では、スピン波生成部３３と出力部４５との距離Ｌ１は、１次元細線構造１０内を伝搬する電子スピン波の半波長のほぼ整数倍である。１次元細線構造１０の領域Ｒ１およびＲ３は、ゲート電極２４の直下にないため、ゲート電圧が印加されていない。一方、領域Ｒ２は、ゲート電極２４の直下にあるため、ゲート電圧が印加されている。第２のゲート電圧が印加されているときは、領域Ｒ１がｉＰＳＨ状態にあったとすると、領域Ｒ２はＰＳＨ状態に変換され、領域Ｒ３は再びｉＰＳＨ状態に戻る。

[0104] ゲート電極２４に印加する電圧の高低を論理入力とする。すなわち、ゲート電圧に印加する電圧が第１のゲート電圧であるとき入力論理値「１」に、ゲート電極２４に印加する電圧が第２のゲート電圧であるとき入力論理値「０」に対応付けるものとする（以下同様）。

[0105] 出力部４５で取り出される電子スピン波の位相状態に関しては、位相０の電子スピン波を出力論理値「０」に、位相πの電子スピン波を出力論理値「１」に、それぞれ対応付けることとする。従って、この場合、照射光の右回り円偏光は論理値０に対応し、左回り円偏光は論理値１に対応する。

[0106] スピン波生成部３３と出力部４５との距離Ｌ１は、１次元細線構造１０内を伝搬する電子スピン波の半波長のほぼ整数倍である。ゲート電極２４の長さＬ２は、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅Ｗ１は、電子スピン波の半波長より小さい。

[0107] 入力電子スピン波の位相０に対して、ゲート電圧の入力論理値が０の場合、電子スピン波はｉＰＳＨ状態のまま進行する。論理演算素子８は、スピン波生成部３３と出力部４５との距離Ｌ１が、半波長の偶数倍（言い換えれば、波長の整数倍）か、半波長の奇数倍（言い換えれば、波長の半整数倍）かによって、異なる動作をする。Ｌ１が半波長の偶数倍の場合（Ｌ１＝ｎλ、ｎは自然数、λは波長（以下同様））、出力部４５における電子スピン波の

位相状態は０になるので、論理演算素子８は恒等論理演算を行う素子となる。一方、Ｌ１が半波長の奇数倍の場合（Ｌ１＝（ｎ＋１／２）λ）、出力部４５における電子スピン波の位相状態はπになるので、論理演算素子８はＮＯＴ論理演算を行う素子となる。

[0108] 次に、入力電子スピン波の位相０に対して、ゲート電圧の入力論理値が１の場合、電子スピン波がｉＰＳＨ状態からＰＳＨ状態に変換された（１／２）λの間は位相が変わらない。従って、Ｌ１が半波長の偶数倍の場合（Ｌ１＝ｎλ）、出力部４５における電子スピン波の位相状態はπになり、論理演算素子８はＮＯＴ論理演算を行う素子となる。一方、Ｌ１が半波長の奇数倍の場合（Ｌ１＝（ｎ＋１／２）λ）、出力部４５における電子スピン波の位相状態は０になるので、論理演算素子８は恒等論理演算を行う素子となる。

[0109] このように本実施の形態によれば、波の干渉性を維持したまま１論理入力の恒等論理素子やＮＯＴ論理素子を構成することができる。

[0110] ［第１０の実施の形態］

図１２は、第１０の実施の形態に係る２論理入力の論理演算素子９の模式図である。論理演算素子９は、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなる１次元細線構造１０と、１次元細線構造１０の一部に電子スピン波がＰＳＨ状態となるような第１のゲート電圧、または電子スピン波がｉＰＳＨ状態となるような第２のゲート電圧を印加することにより、１次元細線構造１０内の電子スピン波の状態をＰＳＨ状態とｉＰＳＨ状態との間で互いに変換するか維持する、第１ゲート電極２１および第２ゲート電極２２と、を有する。１次元細線構造１０は、電子に光信号を照射して電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部３０と、１次元細線構造１０を伝搬した電子スピン波を出力する出力部４０と、を備えている。スピン波生成部３０と出力部４０との距離Ｌ３は、電子スピン波の半波長のほぼ整数倍である。第１ゲート電極２１の長さＬ４および第２ゲート電極２２の長さＬ５は、それぞれ、電子スピン波の半波長

のほぼ奇数倍である。１次元細線構造１０の幅Ｗ１は、電子スピン波の半波長より小さい。第１ゲート電極２１および第２ゲート電極２２は、それぞれ、印加する第１のゲート電圧および第２のゲート電圧のＨＩＧＨとＬＯＷとを切り替えることができる。第１ゲート電極２１および第２ゲート電極２２は、１次元細線構造１０に沿って直列に配置される。第１ゲート電極２１と第２ゲート電極２２との距離Ｌ６は、電子スピン波の波長のほぼ整数倍である。

[0111] この論理演算素子９は、２論理入力のＸＯＲ論理素子またはＸＮＯＲ論理素子である。具体的には、第１のゲート電圧の高低を第１の論理入力に対応させ、第２のゲート電圧の高低を第２の論理入力に対応させる。

[0112] 先ず、スピン波生成部３０と出力部４０との距離Ｌ３が、電子スピン波の半波長のほぼ偶数倍（すなわち、波長のほぼ整数倍）であるとする。

[0113] 領域Ｒ４、Ｒ６およびＲ８は、ｉＰＳＨ状態となっている。領域Ｒ５は、第１のゲート電圧がＨＩＧＨのときＰＳＨ状態となっており、第１のゲート電圧がＬＯＷのときｉＰＳＨ状態になっている。領域Ｒ７は、第２のゲート電圧がＨＩＧＨのときＰＳＨ状態となっており、第２のゲート電圧がＬＯＷのときｉＰＳＨ状態になっている。

[0114] 以下、スピン波生成部３０に、右回り円偏光の光を照射して、位相０の電子スピン波（上向き）を生成した場合を考える。第１のゲート電圧および第２のゲート電圧のＨＩＧＨ／ＬＯＷに応じて、出力部４０から出力される電子スピン波の位相状態を説明する。

[0115] （第１のゲート電圧＝ＬＯＷ、第２のゲート電圧＝ＬＯＷのとき）

領域Ｒ４では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ５では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ６では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ７では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ８では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

距離Ｌ３が電子スピン波の波長のほぼ整数倍であるため、出力部４０から出力される電子スピン波の位相状態は、スピン波生成部３０における状態とほぼ同じである（すなわち、スピン波生成部３０と出力部４０との間における位相差は２πのほぼ整数倍である）。従って、出力部４０からは、位相０の電子スピン波（上向き）が出力される。

[0116] （第１のゲート電圧＝ＬＯＷ、第２のゲート電圧＝ＨＩＧＨのとき）

領域Ｒ４では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ５では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ６では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ７では、電子は、スピンの向きが回転せずに伝搬する。このとき、領域Ｒ７の長さ（第２ゲート電極２２の長さ）が電子スピン波の半波長のほぼ奇数倍であるため、電子スピン波の位相はπのほぼ奇数倍（ほぼ半波長分）ずれる。

領域Ｒ８では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

距離Ｌ３が電子スピン波の波長のほぼ整数倍であり、領域Ｒ７で電子スピン波の位相がほぼπずれているため、出力部４０から出力される電子スピン波の位相状態は、スピン波生成部３０における状態とほぼ逆である（すなわち、スピン波生成部３０と出力部４０との間における位相差はπのほぼ奇数倍である）。従って、出力部４０からは、位相πの電子スピン波（下向き）が出力される。

[0117] （第１のゲート電圧＝ＨＩＧＨ、第２のゲート電圧＝ＬＯＷのとき）

領域Ｒ４では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ５では、電子は、スピンの向きが回転せずに伝搬する。このとき、領域Ｒ５の長さ（第１ゲート電極２１の長さ）が電子スピン波の半波長のほぼ奇数倍であるため、電子スピン波の位相はπのほぼ奇数倍（ほぼ半波長分）ずれる。

領域Ｒ６では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ７では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ８では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

距離Ｌ３が電子スピン波の波長のほぼ整数倍であり、領域Ｒ５で電子スピン波の位相がほぼπずれているため、出力部４０から出力される電子スピン波の位相状態は、スピン波生成部３０における状態とほぼ逆である（すなわち、スピン波生成部３０と出力部４０との間における位相差はπのほぼ奇数倍である）。従って、出力部４０からは、位相πの電子スピン波（下向き）が出力される。

[0118] （第１のゲート電圧＝ＨＩＧＨ、第２のゲート電圧＝ＨＩＧＨのとき）

領域Ｒ４では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ５では、電子は、スピンの向きが回転せずに伝搬する。このとき、領域Ｒ５の長さ（第１ゲート電極２１の長さ）が電子スピン波の半波長のほぼ奇数倍であるため、電子スピン波の位相はπのほぼ奇数倍（ほぼ半波長分）ずれる。

領域Ｒ６では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

領域Ｒ７では、電子は、スピンの向きが回転せずに伝搬する。このとき、領域Ｒ７の長さ（第２ゲート電極２２の長さ）が電子スピン波の半波長のほぼ奇数倍であるため、電子スピン波の位相はπのほぼ奇数倍（ほぼ半波長分）ずれる。

領域Ｒ８では、電子は、スピンのコヒーレントな回転を持続しながら伝搬する。

距離Ｌ３が電子スピン波の波長のほぼ整数倍であり、領域Ｒ５および領域Ｒ７で電子スピン波の位相がほぼπずれているため（領域Ｒ５とＲ７を両方合わせて、ほぼ２πずれている）、出力部４０から出力される電子スピン波の位相状態は、スピン波生成部３０における状態とほぼ同じである（すなわち、スピン波生成部３０と出力部４０との間における位相差は２πのほぼ整数倍である）。従って、出力部４０からは、位相０の電子スピン波（上向き）が出力される。

[0119] ここで、

第１のゲート電圧がＨＩＧＨの状態は、第１入力変数の論理値＝１に対応し、

第１のゲート電圧がＬＯＷの状態は、第１入力変数の論理値＝０に対応し、

第２のゲート電圧がＨＩＧＨの状態は、第２入力変数の論理値＝１に対応し、

第２のゲート電圧がＬＯＷの状態は、第２入力変数の論理値＝０に対応するとし、

スピン波生成部３０における状態と、出力部４０から出力される電子スピン波の位相状態が逆のとき「真」（論理値＝１）であるとし、

スピン波生成部３０における状態と、出力部４０から出力される電子スピン波の位相状態が同じとき「偽」（論理値＝０）であるとすると、真理値表は表１のようになる。

[0120] 表１

[表1]

第1変数/スイッチ21S	第2変数/スイッチ22S	真理値
0/OFF	0/OFF	0
0/OFF	1/ON	1
1/ON	0/OFF	1
1/ON	1/ON	0

[0121] このように、第１のゲート電圧のＨＩＧＨ／ＬＯW状態を第１の論理入力に対応させ、第２のゲート電圧のＨＩＧＨ／ＬＯW状態を第２の論理入力に対応させることにより、直列２論理入力のＸＯＲ論理素子を実現できる。

[0122] 次に、スピン波生成部３０と出力部４０との距離Ｌ３が、電子スピン波の半波長のほぼ奇数倍（すなわち、波長のほぼ半整数倍）であるとする。この場合は、距離Ｌ３が電子スピン波の半波長のほぼ偶数倍の場合と逆の論理になることは明らかである。

[0123] 従って、スピン波生成部３０と出力部４０との距離Ｌ３を電子スピン波の半波長のほぼ奇数倍とし、第１のゲート電圧のＨＩＧＨ／ＬＯW状態を第１の論理入力に対応させ、第２のゲート電圧のＨＩＧＨ／ＬＯW状態を第２の論理入力に対応させることにより、直列２論理入力のＸＮＯＲ論理素子を実現できる。

[0124] ［第１１の実施の形態］

この実施の形態は、図１０の論理演算素子７と、複数の電子スピン波の位相を論理入力とし、これら複数の電子スピン波を重ね合わせた電子スピン波の位相を論理出力とする多数決論理素子と、を含む論理デバイスである。この多数決論理素子は、電子スピン波が伝搬する１次元細線構造と、１次元細線構造が分岐して２本以上の分岐細線を構成する分岐点と、２本以上の分岐細線が合流して１本の１次元細線構造を構成する合流点とを含む、２次元細線構造を有する。

[0125] この実施の形態によれば、任意の論理演算を実現することができる。

[0126] なお後述するように、距離がＸ方向への射影により定められる実施の形態

においては、複数の１次元細線構造の分岐点から合流点までのＸＹ平面上における長さが違っていたとしても位相ずれは発生しない。従って、２次元細線構造を容易に構成することができる。

[0127] ［第１２の実施の形態］

図１３は、第１２の実施の形態に係るＡＮＤ論理デバイス１１の模式図である。この実施の形態は、並列３論理入力と多数決論理とを組み合わせた論理デバイスである。この論理デバイスは、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなる１次元細線構造が、分岐点３４で第１分岐細線５０１、第２分岐細線５０２、および第３分岐細線５０３の３本に分岐するとともに、合流点３５で該３本の分岐細線が１本に合流することによって構成された２次元細線構造３６と、第１分岐細線５０１の一部に沿った第１ゲート電極５１と、第２分岐細線５０２の一部に沿った第２ゲート電極５２と、を有する。２次元細線構造３６は、分岐点３４またはその前に２次元細線構造３６内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部３１を備えるとともに、合流点３５、またはその後に第１から第３分岐細線を伝搬した電子スピン波を重ね合わせた電子スピン波を出力する出力部４１と、を備えている。スピン波生成部３１と出力部４１との距離は、電子スピン波の半波長のほぼ整数倍である。第１分岐細線５０１において、第１ゲート電極５１に沿った第１ゲート電極部が配置され、第２分岐細線５０２において、第２ゲート電極５２に沿った第２ゲート電極部が配置される。第１および第２ゲート電極の長さは、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部３１から第１ゲート電極部および第２ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、第１ゲート電極５１および第２ゲート電極５２は、それぞれ電子スピン波をＰＳＨ状態にするような第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にするような第２のゲート電圧

を印加可能である。ここで、分岐点３４はスピン波生成部３１と、合流点３５は出力部４１と、２次元細線構造３６はＡＮＤ論理デバイス１１そのものと、それぞれ一致する。

[0128] この実施の形態によれば、並列３論理入力の多数決論理素子において、１論理入力を論理値０に固定することで、２論理入力のＡＮＤ論理デバイス１１を実現することができる。さらに、スピン波生成部と出力部との距離を半波長ずらすことによりＮＡＮＤ論理デバイスを実現することができる。

[0129] ［第１３の実施の形態］

図１４は、第１３の実施の形態に係るＯＲ論理デバイス１２の模式図である。この実施の形態は、並列３論理入力と多数決論理とを組み合わせた論理デバイスである。この論理デバイスは、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなる１次元細線構造が、分岐点３４で第１分岐細線５０１、第２分岐細線５０２、および第３分岐細線５０３の３本に分岐するとともに、合流点３５で該３本の分岐細線が１本に合流することによって構成された２次元細線構造３７と、第１分岐細線５０１の一部に沿った第１ゲート電極５１と、第２分岐細線５０２の一部に沿った第２ゲート電極５２と、第３分岐細線５０３の一部に沿った第３ゲート電極５３、とを有する。２次元細線構造３７は、分岐点３４またはその前に２次元細線構造３７内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部３１を備えるとともに、合流点３５、またはその後に第１から第３分岐細線を伝搬した電子スピン波を重ね合わせた電子スピン波を出力する出力部４１と、を備えている。スピン波生成部３１と出力部４１との距離は、電子スピン波の半波長のほぼ整数倍である。第１分岐細線５０１において、第１ゲート電極５１に沿った第１ゲート電極部が配置され、第２分岐細線５０２において、第２ゲート電極５２に沿った第２ゲート電極部が配置され、第３分岐細線５０３において、第３ゲート電極５３に沿った第３ゲート電極部が配置される。第１、第２およ

び第３ゲート電極の長さは、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部３１から第１ゲート電極部、第２ゲート電極部、および第３ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、第１ゲート電極５１、第２ゲート電極５２は、それぞれ電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能である。第３ゲート電極５３は、電子スピン波をＰＳＨ状態にする第１のゲート電圧を印加する。ここで、分岐点３４はスピン波生成部３１と、合流点３５は出力部４１と、２次元細線構造３７はＯＲ論理デバイス１２そのものと、それぞれ一致する。

[0130] この実施の形態によれば、並列３論理入力の多数決デバイスにおいて、１論理入力を論理値１に固定することで、２論理入力のＯＲ論理デバイスを実現することができる。さらに、スピン波生成部と出力部との距離を半波長ずらすことによりＮＯＲ論理デバイスを実現することができる。

[0131] ［第１４の実施の形態］

図１５は、第１４の実施の形態に係る半加算器１３の模式図である。すなわちこの実施の形態は、半加算器を構成する論理デバイスである。この論理デバイスは、所定の偏光状態を有する光の照射により偏光状態に応じた位相を有する電子スピン波を生成する材料からなる１次元細線構造が、第１の分岐点３４１で２本の１次元細線構造に分岐し、さらに第２の分岐点３４２で第１分岐細線６０１および第２分岐細線６０２に分岐し、第３の分岐点３４３で第３分岐細線６０３および第４分岐細線６０４に分岐する。その結果、合計４本の分岐細線が形成される。また第１の合流点３５１で第１分岐細線６０１および第２分岐細線６０２が合流して１次元細線構造となる。さらに第２の合流点３５２で該１次元細線構造および第３分岐細線６０３が１本に合流する。半加算器１３は、上記の第１分岐細線６０１、第２分岐細線６０２および第３分岐細線６０３が１本に合流した構成ならびに他の分岐細線とは合流しない第４分岐細線６０４によって形成された２次元細線構造３８と

、第１分岐細線６０１の一部に沿った第１ゲート電極５１と、第２分岐細線６０２の一部に沿った第２ゲート電極５２と、第４分岐細線６０４の一部に沿った第３ゲート電極５３および第４ゲート電極５４と、を有する。２次元細線構造３８は、第１の分岐点３４１またはその前に２次元細線構造３８内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部３３を備えるとともに、第２の合流点３５２またはその後に第１から第３分岐細線を伝搬した電子スピン波を重ね合わせた電子スピン波を出力する第１出力部４３と、を備える。また、第４分岐細線６０４を伝搬した電子スピン波を出力する第２出力部４４を備える。スピン波生成部３３と第１出力部４３との距離、およびスピン波生成部３３と第２出力部４４との距離は、電子スピン波の波長のほぼ整数倍である。第１分岐細線６０１において、第１ゲート電極５１に沿った第１ゲート電極部が配置される。第２分岐細線６０２において、第２ゲート電極５２に沿った第２ゲート電極部が配置される。第４分岐細線６０４において、第３ゲート電極５３に沿った第３ゲート電極部と第４ゲート電極５４に沿った第４ゲート電極部が直列に配置される。ゲート電極の長さは、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅は、電子スピン波の半波長より小さい。スピン波生成部３３から第１ゲート電極部、第２ゲート電極部、および第３ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、第１ゲート電極５１、第２ゲート電極５２、第３ゲート電極５３、および第４ゲート電極５４は、それぞれ電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能である。ここで、第１の分岐点３４１はスピン波生成部３３と、２次元細線構造３８は半加算器１３そのものとそれぞれ一致する。

[0132] 上記の実施の形態では、１次元細線構造が第１の分岐点３４１で２つの分岐細線に分岐して、第２の分岐点３４２および第３の分岐点３４３でさらに２つずつに分岐するが、これに限られず、例えば、分岐点で４つに分岐して

もよい。

[0133] 例えば、第１出力部４３から出力される電子スピン波の位相状態を２ビット２進数の上位ビットとし、第２出力部４４から出力される電子スピン波の位相状態を２ビット２進数の下位ビットとしてもよい。また第１ゲート電極５１と第３ゲート電極５３とに加算する２進数の一方を入力し、第２ゲート電極５２と第４ゲート電極５４とに加算する２進数の他方を入力してもよい。

[0134] 本実施の形態によれば、光入力信号に対して、波の干渉性を維持したまま電圧レベルの高低による論理演算を実行可能とすることにより、該論理演算と波の干渉性に基づく半加算器を実現できる。

[0135] ［第１５の実施の形態］

図２を用いて、第１５の実施の形態の論理演算素子１を説明する。この論理演算素子１はＮＯＴ論理デバイスとして動作する。論理演算素子１は、１次元細線構造１０と、ゲート電極２０と、を有する。１次元細線構造１０は、該１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するスピン波生成部３０と、１次元細線構造１０を伝搬した電子スピン波を出力する出力部４０と、を備える。ゲート電極２０は、１次元細線構造１０に沿ってスピン波生成部３０と出力部４０との間に配置される。

[0136] 例えば、照射される光の偏光状態は、右回り円偏光と左回り円偏光のいずれか一方であってもよい。このような光がスピン波生成部３０に照射されると、スピン波生成部３０は、右回り円偏光に対しては位相０の電子スピン波を、左回り円偏光に対しては位相πの電子スピン波を、それぞれ生成する。以下、位相０の電子スピン波を論理値「０」に、位相πの電子スピン波を論理値「１」に、それぞれ対応付けることとする。従って、この場合、照射光の右回り円偏光は論理値０に対応し、左回り円偏光は論理値１に対応する。

[0137] ゲート電極２０は、$\beta=0$となる１次元細線構造１０の一部に$\alpha=0$となるようなゲート電圧を印加することにより、１次元細線構造１０内の電子へのスピン軌道相互作用としてラシュバ相互作用のみが働く状態と何も働かな

い状態とを互いに変換する。図２の例では、スピン波生成部３０と出力部４０との距離Ｌ１は、１次元細線構造１０内を伝搬する電子スピン波の波長のほぼ整数倍である。１次元細線構造１０の領域Ｒ１およびＲ３は、ゲート電極２０の直下にないため、ゲート電圧が印加されていない。一方、領域Ｒ２は、ゲート電極２０の直下にあるため、ゲート電圧が印加されている。このとき、例えば、領域Ｒ１が１次元細線構造１０内の電子へのスピン軌道相互作用としてラシュバ相互作用のみが働く状態にあったとすると、領域Ｒ２は何も働かない状態に変換され、領域Ｒ３は再びラシュバ相互作用のみが働く状態に戻る。

[0138] スピン波生成部３０と出力部４０との距離Ｌ１は、１次元細線構造１０内を伝搬する電子スピン波の波長のほぼ整数倍である。ゲート電極２０の長さＬ２は、電子スピン波の半波長のほぼ奇数倍である。１次元細線構造の幅Ｗ１は、電子スピン波の半波長より小さい。

[0139] 論理演算素子１のその他の構成と動作は、第２の実施の形態のＮＯＴ論理デバイスと同様である。

[0140] ＩｎＧａＡｓ／ＧａＡｓのヘテロ構造では、界面近傍に２次元電子系が形成される。これに垂直方向に電場をかけたときのスピン軌道相互作用がラシュバ相互作用である。上記のように、ゲート電極２０に閾値を超えるゲート電圧を印加して、１次元細線構造１０内の電子へのスピン軌道相互作用としてラシュバ相互作用のみが働く状態と何も働かない状態とを互いに変換することにより、ＰＳＨ状態とｉＰＳＨ状態との間の変換（第２の実施の形態）と同様に、電子スピン波の位相を制御することができる。

[0141] ［第１６の実施の形態］

図１１を用いて、第１６の実施の形態の論理演算素子８を説明する。この論理演算素子８はＮＯＴ論理デバイスとして動作する。論理演算素子８は、１次元細線構造１０と、ゲート電極２４と、を有する。１次元細線構造１０は、スピン波生成部３３と、出力部４５と、を備える。

[0142] １次元細線構造１０は、所定の偏光状態を有する光の照射によりこの偏光

状態に応じた位相を有する電子スピン波を生成する材料からなる。スピン波生成部３３は、１次元細線構造内の電子が光信号を照射されることによって電子スピン波を生成する。出力部４５は、１次元細線構造１０を伝搬した電子スピン波を出力する。

[0143] ゲート電極２４は、$\beta=0$となる１次元細線構造１０の一部に$\alpha=\beta=0$となるようなゲート電圧を印加することにより、該１次元細線構造１０内の電子へのスピン軌道相互作用としてラシュバ相互作用のみが働く状態と何も働かない状態とを互いに変換する。図１１の例では、スピン波生成部３３と出力部４５との距離Ｌ１は、１次元細線構造１０内を伝搬する電子スピン波の半波長のほぼ整数倍である。１次元細線構造１０の領域Ｒ１およびＲ３は、ゲート電極２４の直下にないため、ゲート電圧が印加されていない。一方、領域Ｒ２は、ゲート電極２４の直下にあるため、ゲート電圧が印加されている。このとき、例えば、領域Ｒ１が１次元細線構造１０内の電子へのスピン軌道相互作用としてラシュバ相互作用のみが働く状態にあったとすると、領域Ｒ２は何も働かない状態に変換され、領域Ｒ３は再びラシュバ相互作用のみが働く状態に戻る。

[0144] 論理演算素子８のその他の構成と動作は、第９の実施の形態のＮＯＴ論理デバイスと同様である。

[0145] このように、ゲート電極２０に$\alpha=\beta=0$となるようなゲート電圧を印加して、１次元細線構造１０内の電子へのスピン軌道相互作用としてラシュバ相互作用のみが働く状態と何も働かない状態とを互いに変換することにより、ＰＳＨ状態とｉＰＳＨ状態との間の変換（第９の実施の形態）と同様に、電子スピン波の位相を制御することができる。

[0146] 以上、本発明を実施の形態に基づいて説明した。これらの実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0147] 実施の形態で述べたＮＯＴ論理デバイス、ＡＮＤ論理デバイス、ＯＲ論理

デバイスは、デジタル回路の基本機能を実現する。電子スピン波の波動性を維持したままでこれらの基本機能と多数決論理とを組み合わせることにより、様々な機能を実現させることができる。

[0148] 実施の形態および変形例を抽象化した技術的思想を理解するにあたり、その技術的思想を実施の形態および変形例の内容に限定して解釈すべきではない。前述した実施の形態および変形例は、いずれも具体例を示したものにすぎず、構成要素の変更、追加、削除等の多くの設計変更が可能である。実施の形態では、このような設計変更が可能な内容に関して、「実施の形態」との表記を付して強調している。しかしながら、そのような表記のない内容でも設計変更が許容される。

産業上の利用可能性

[0149] 本開示の技術は、光通信、光電変換システム、ネットワークコンピュータなどの分野に利用可能である。

符号の説明

[0150] １Ａ・・論理演算素子、

１・・ＮＯＴ論理デバイス、

２・・切替可能ＮＯＴ論理デバイス、

３・・ＸＯＲ論理デバイス、

４・・ＡＮＤ論理デバイス、

５・・ＯＲ論理デバイス、

６・・半加算器、

７・・論理演算素子、

８・・論理演算素子、

９・・論理演算素子、

１０・・１次元細線構造、

１１・・・ＡＮＤ論理デバイス、

１２・・・ＯＲ論理デバイス、

１３・・・半加算器、

１０３・・第３のＮＯＴ論理デバイス、

２０Ａ・・ゲート電極、

２０・・ゲート電極、

２１・・ゲート電極、

２２・・ゲート電極、

２３・・ゲート電極、

２４・・ゲート電極、

２０１・・第１の切替可能ＮＯＴ論理デバイス、

２０２・・第２の切替可能ＮＯＴ論理デバイス、

２０Ｓ・・スイッチ、

２１Ｓ・・スイッチ、

２２Ｓ・・スイッチ、

３０２・・第２のＸＯＲ論理デバイス、

３０・・スピン波生成部、

３１・・スピン波生成部、

３２・・スピン波生成部、

３３・・スピン波生成部、

３４・・分岐点、

３４１・・第１の分岐点、

３４２・・第２の分岐点、

３４３・・第３の分岐点、

３５・・合流点、

３５１・・第１の合流点、

３５２・・第２の合流点、

３６・・２次元細線構造、

３７・・２次元細線構造、

３８・・２次元細線構造、

４０１・・第１のＡＮＤ論理デバイス、

４０・・出力部、

４１・・出力部、

４２・・出力部、

４３・・第１のＡＮＤ論理デバイスの出力部、

４４・・第２のＸＯＲ論理デバイスの出力部、

４５・・出力部、

５１・・第１ゲート電極、

５２・・第２ゲート電極、

５３・・第３ゲート電極、

５４・・第４ゲート電極、

５０１・・第１分岐細線、

５０２・・第２分岐細線、

５０３・・第３分岐細線、

６０１・・第１分岐細線、

６０２・・第２分岐細線、

６０３・・第３分岐細線、

６０４・・第４分岐細線、

７０３・・第３の１次元細線構造

Ｌ１・・スピン波生成部と出力部との間の距離、

Ｌ２・・ゲート電極の長さ、

Ｌ３・・スピン波生成部と出力部との間の距離、

Ｌ４・・第１ゲート電極の長さ、

Ｌ５・・第２ゲート電極の長さ、

Ｌ６・・第１ゲート電極と第２ゲート電極との距離、

Ｗ１・・１次元細線構造の幅、

Ｒ１・・領域、

Ｒ２・・領域、

Ｒ３・・領域、

Ｒ４・・領域、

Ｒ５・・領域、

Ｒ６・・領域、

Ｒ７・・領域、

Ｒ８・・領域。

請求の範囲

[請求項1] 電子スピン波が伝搬する１次元細線構造と、前記１次元細線構造の一部に沿ったゲート電極と、を有し、前記１次元細線構造を伝搬する前の前記電子スピン波の位相状態を論理入力とし、前記１次元細線構造を伝搬した後の前記電子スピン波の位相状態を論理出力とすることを特徴とする論理演算素子。

[請求項2] 前記１次元細線構造は、所定の偏光状態を有する光の照射により前記偏光状態に応じた位相を有する電子スピン波を生成する材料からなり、

前記１次元細線構造は、前記１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、前記１次元細線構造を伝搬した前記電子スピン波を出力する出力部と、を備えており、

前記１次元細線構造において、前記ゲート電極に沿ったゲート電極部が前記スピン波生成部と前記出力部との間に配置され、

前記スピン波生成部と前記出力部との距離は、前記電子スピン波の波長のほぼ整数倍であり、

前記ゲート電極の長さは、前記電子スピン波の半波長のほぼ奇数倍であり、

前記１次元細線構造の幅は、前記電子スピン波の半波長より小さく、

前記スピン波生成部からゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、前記スピン波生成部からゲート電極部に入る前の電子スピン波がｉＰＳＨ状態のときは前記ゲート電極部における電子スピン波をＰＳＨ状態にするゲート電圧を印加可能であり、前記スピン波生成部からゲート電極部に入る前の電子スピン波がＰＳＨ状態のときは前記ゲート電極部における電子スピン波

をｉＰＳＨ状態にするゲート電圧を印加可能であり、

前記スピン波生成部の前記電子スピン波の位相状態を論理入力として、前記出力部の前記電子スピン波の位相状態を論理出力とする請求項１に記載の論理演算素子からなることを特徴とするＮＯＴ論理デバイス。

[請求項3] 前記１次元細線構造は、所定の偏光状態を有する光の照射により前記偏光状態に応じた位相を有する電子スピン波を生成する材料からなり、

前記１次元細線構造は、前記１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、前記１次元細線構造を伝搬した前記電子スピン波を出力する出力部と、を備えており、

前記１次元細線構造において、前記ゲート電極に沿ったゲート電極部が前記スピン波生成部と前記出力部との間に配置され、

前記スピン波生成部と前記出力部との距離は、前記電子スピン波の波長のほぼ整数倍であり、

前記ゲート電極の長さは、前記電子スピン波の半波長のほぼ奇数倍であり、

前記１次元細線構造の幅は、前記電子スピン波の半波長より小さく、

前記スピン波生成部からゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、前記ゲート電極に印加する電圧を前記電子スピン波をＰＳＨ状態にする第１のゲート電圧と、ｉＰＳＨ状態にする第２のゲート電圧との間で切り替えるスイッチを有し、

前記スピン波生成部の前記電子スピン波の位相状態を論理入力として、前記出力部の前記電子スピン波の位相状態を論理出力とする請求

項１に記載の論理演算素子からなり、前記スイッチによりＮＯＴ論理と恒等論理とを切替可能なことを特徴とする切替可能ＮＯＴ論理デバイス。

[請求項4] 請求項３に記載の切替可能ＮＯＴ論理デバイスを２つ有するＸＯＲ論理デバイスであって、

２つの前記切替可能ＮＯＴ論理デバイスは、前段と後段に直列に接続され、

前段の前記切替可能ＮＯＴ論理デバイスのスピン波生成部が全体のスピン波生成部となり、

前段の前記切替可能ＮＯＴ論理デバイスの出力部が後段の前記切替可能ＮＯＴ論理デバイスのスピン波生成部と共通しており、

後段の前記切替可能ＮＯＴ論理デバイスの出力部が全体の出力部となり、

２つの前記切替可能ＮＯＴ論理デバイスの前記ゲート電極に印加される電圧が前記電子スピン波をＰＳＨ状態にする第１のゲート電圧であるか、それとも前記電子スピン波をｉＰＳＨ状態にする第２のゲート電圧であるかを論理入力として、前記全体の出力部における前記電子スピン波の位相状態を論理出力とすることを特徴とするＸＯＲ論理デバイス。

[請求項5] 請求項３に記載の切替可能ＮＯＴ論理デバイスを２つと、１つの前記１次元細線構造と、を有するＡＮＤ論理デバイスであって、

２つの前記切替可能ＮＯＴ論理デバイスと１つの前記１次元細線構造の３つが並列に接続され、

２つの前記切替可能ＮＯＴ論理デバイス、および１つの前記１次元細線構造のスピン波生成部は共通しており、

２つの前記切替可能ＮＯＴ論理デバイス、および１つの前記１次元細線構造の出力部は共通しており、

２つの前記切替可能ＮＯＴ論理デバイスの前記ゲート電極に印加さ

れる電圧が前記電子スピン波をＰＳＨ状態にする第１のゲート電圧であるか、それとも前記電子スピン波をｉＰＳＨ状態にする第２のゲート電圧であるかを論理入力として、前記出力部における前記電子スピン波の位相状態を論理出力とすることを特徴とするＡＮＤ論理デバイス。

[請求項6] 請求項３に記載の切替可能ＮＯＴ論理デバイス２つと、請求項２に記載のＮＯＴ論理デバイス１つと、を有するＯＲ論理デバイスであって、

２つの前記切替可能ＮＯＴ論理デバイスと、１つの前記ＮＯＴ論理デバイスの３つが並列に接続され、

２つの前記切替可能ＮＯＴ論理デバイス、および１つの前記ＮＯＴ論理デバイスのスピン波生成部は共通しており、

２つの前記切替可能ＮＯＴ論理デバイス、および１つの前記ＮＯＴ論理デバイスの出力部は共通しており、

２つの前記切替可能ＮＯＴ論理デバイスの前記ゲート電極に印加される電圧が前記電子スピン波をＰＳＨ状態にする第１のゲート電圧であるか、それとも前記電子スピン波をｉＰＳＨ状態にする第２のゲート電圧であるかを論理入力として、前記出力部における前記電子スピン波の位相状態を論理出力とすることを特徴とするＯＲ論理デバイス。

[請求項7] 請求項５に記載のＡＮＤ論理デバイスと、請求項４に記載のＸＯＲ論理デバイスとを含む半加算器であって、

前記ＡＮＤ論理デバイスと前記ＸＯＲ論理デバイスとが並列に接続され、

前記ＡＮＤ論理デバイスおよび前記ＸＯＲ論理デバイスのスピン波生成部は共通しており、前記ＡＮＤ論理デバイスおよび前記ＸＯＲ論理デバイスの出力部は別々であり、

前記ＡＮＤ論理デバイスの２つの前記切替可能ＮＯＴ論理デバイス

の前記ゲート電極に印加される電圧が前記電子スピン波をＰＳＨ状態にする第１のゲート電圧であるか、それとも前記電子スピン波をｉＰＳＨ状態にする第２のゲート電圧であるかを加算する１ビット２進数入力として、前記ＡＮＤ論理デバイスの出力部における電子スピン波の位相状態を２ビット２進数の上位ビット出力とし、

前記ＸＯＲ論理デバイスの２つの前記切替可能ＮＯＴ論理デバイスの前記ゲート電極に印加される電圧が前記第１のゲート電圧であるか、それとも前記第２のゲート電圧であるかを前記加算する１ビット２進数入力として、前記ＸＯＲ論理デバイスの出力部における電子スピン波の位相状態を２ビット２進数の下位ビット出力とすることを特徴とする半加算器。

[請求項8] 電子スピン波が伝搬する１次元細線構造と、前記１次元細線構造の一部に沿ったゲート電極と、を有し、前記ゲート電極に印加するゲート電圧の高低を論理入力とし、前記電子スピン波の位相状態を論理出力とすることを特徴とする論理演算素子。

[請求項9] 前記１次元細線構造は、所定の偏光状態を有する光の照射により前記偏光状態に応じた位相を有する電子スピン波を生成する材料からなり、

前記１次元細線構造は、前記１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、前記１次元細線構造を伝搬した前記電子スピン波を出力する出力部と、を備えており、

前記１次元細線構造において、前記ゲート電極に沿ったゲート電極部が前記スピン波生成部と前記出力部との間に配置され、

前記スピン波生成部と前記出力部との距離は、前記電子スピン波の半波長のほぼ整数倍であり、

前記ゲート電極の長さは、前記電子スピン波の半波長のほぼ奇数倍

であり、

前記１次元細線構造の幅は、前記電子スピン波の半波長より小さく、

前記スピン波生成部からゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、前記ゲート電極は前記電子スピン波をＰＳＨ状態にする第１のゲート電圧、および前記電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能であることを特徴とする、請求項８に記載の論理演算素子。

[請求項10] 前記１次元細線構造は、所定の偏光状態を有する光の照射により前記偏光状態に応じた位相を有する電子スピン波を生成する材料からなり、

前記ゲート電極は、第１ゲート電極および第２ゲート電極により構成され、

前記１次元細線構造は、前記１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、前記１次元細線構造を伝搬した前記電子スピン波を出力する出力部と、を備えており、

前記１次元細線構造において、第１ゲート電極に沿った第１ゲート電極部と、第２ゲート電極に沿った第２ゲート電極部とが前記スピン波生成部と前記出力部との間に直列に配置され、

前記スピン波生成部と前記出力部との距離は、前記電子スピン波の半波長のほぼ整数倍であり、

前記第１ゲート電極および前記第２ゲート電極の長さは、それぞれ、前記電子スピン波の半波長のほぼ奇数倍であり、

前記第１ゲート電極と前記第２ゲート電極との距離は、前記電子スピン波の波長のほぼ整数倍であり、

前記１次元細線構造の幅は、前記電子スピン波の半波長より小さく

、

前記スピン波生成部から前記第１ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、前記第１ゲート電極および前記第２ゲート電極は、それぞれ電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能であることを特徴とする請求項８に記載の論理演算素子。

[請求項11] 請求項８に記載された論理演算素子と、複数の電子スピン波の位相状態を論理入力とし、 前記複数の電子スピン波を重ね合わせた電子スピン波の位相状態を論理出力とする多数決論理素子と、を含む論理デバイスであって、

前記多数決論理素子は、電子スピン波が伝搬する１次元細線構造と、前記１次元細線構造が分岐して２本以上の分岐細線を構成する分岐点と、２本以上の前記分岐細線が合流して１本の１次元細線構造を構成する合流点とを含む２次元細線構造を有することを特徴とする、論理デバイス。

[請求項12] 前記１次元細線構造は、所定の偏光状態を有する光の照射により前記偏光状態に応じた位相を有する電子スピン波を生成する材料からなり、

前記分岐点では、前記１次元細線構造が分岐して、第１分岐細線、第２分岐細線、および第３分岐細線の３本の分岐細線を構成するとともに、前記合流点では、前記３本の分岐細線が合流して１本の１次元細線構造を構成し、

前記第１分岐細線の一部と該一部に沿った第１ゲート電極からなる第１の前記論理演算素子と、前記第２分岐細線の一部と該一部に沿った第２ゲート電極からなる第２の前記論理演算素子と、を有し、

前記２次元細線構造は、前記分岐点またはその前に前記２次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成

するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部を備えるとともに、前記合流点、またはその後に第１から第３分岐細線を伝搬した前記電子スピン波を重ね合わせた電子スピン波を出力する出力部と、を備えており、

前記スピン波生成部と前記出力部との距離は、前記電子スピン波の半波長のほぼ整数倍であり、

前記第１分岐細線において前記第１ゲート電極に沿った第１ゲート電極部が配置され、前記第２分岐細線において前記第２ゲート電極に沿った第２ゲート電極部が配置され、

前記第１および第２ゲート電極の長さは、前記電子スピン波の半波長のほぼ奇数倍であり、

前記１次元細線構造の幅は、前記電子スピン波の半波長より小さく、

前記スピン波生成部から前記第１ゲート電極部および第２ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、前記第１ゲート電極および前記第２ゲート電極は、それぞれ電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能であることを特徴とする請求項１１に記載の論理デバイス。

[請求項13] 前記１次元細線構造は、所定の偏光状態を有する光の照射により前記偏光状態に応じた位相を有する電子スピン波を生成する材料からなり、

前記分岐点では、前記１次元細線構造が分岐して、第１分岐細線、第２分岐細線、および第３分岐細線の３本の分岐細線を構成するとともに、前記合流点では、前記３本の分岐細線が合流して１本の１次元細線構造を構成し、

前記第１分岐細線の一部と該一部に沿った第１ゲート電極からなる第１の前記論理演算素子と、前記第２分岐細線の一部と該一部に沿っ

た第２ゲート電極からなる第２の前記論理演算素子と、前記第３分岐細線の一部と該一部に沿った第３ゲート電極と、

を有し、

前記２次元細線構造は、前記分岐点またはその前に前記２次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部を備えるとともに、前記合流点、またはその後に第１から第３分岐細線を伝搬した前記電子スピン波を重ね合わせた電子スピン波を出力する出力部と、を備えており、

前記スピン波生成部と前記出力部との距離は、前記電子スピン波の半波長のほぼ整数倍であり、

前記第１分岐細線において前記第１ゲート電極に沿った第１ゲート電極部が配置され、前記第２分岐細線において前記第２ゲート電極に沿った第２ゲート電極部が配置され、前記第３分岐細線において前記第３ゲート電極に沿った第３ゲート電極部が配置され、

前記第１、第２および第３ゲート電極の長さは、前記電子スピン波の半波長のほぼ奇数倍であり、

前記１次元細線構造の幅は、前記電子スピン波の半波長より小さく、

前記スピン波生成部から前記第１ゲート電極部、第２ゲート電極部、および第３ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、前記第１ゲート電極、前記第２ゲート電極、および前記第３ゲート電極は、それぞれ電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能であることを特徴とする請求項１１に記載の論理デバイス。

[請求項14] 前記１次元細線構造は、所定の偏光状態を有する光の照射により前記偏光状態に応じた位相を有する電子スピン波を生成する材料からな

り、

前記分岐点では、前記１次元細線構造が分岐して、第１分岐細線、第２分岐細線、第３分岐細線、および第４分岐細線の４本の分岐細線を構成するとととともに、前記合流点では、第１分岐細線、第２分岐細線、および第３分岐細線の３本の前記分岐細線が合流して１本の１次元細線構造を構成し、第４分岐細線は他の分岐細線とは合流しない１次元細線構造を構成し、

前記第１分岐細線の一部と該一部に沿った第１ゲート電極からなる第１の前記論理演算素子と、前記第２分岐細線の一部と該一部に沿った第２ゲート電極からなる第２の前記論理演算素子と、前記第４分岐細線の一部と該一部に沿った第３ゲート電極からなる第３の前記論理演算素子と、前記第４分岐細線の別の一部と該別の一部に沿った第４ゲート電極からなる第４の前記論理演算素子と、

を有し、

前記２次元細線構造は、前記分岐点またはその前に前記２次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部を備えると共に、前記合流点またはその後に第１から第３分岐細線を伝搬した前記電子スピン波を重ね合わせた電子スピン波を出力する第１出力部と、第４分岐細線を伝搬した前記電子スピン波を出力する第２出力部と、を備えており、

前記スピン波生成部と前記第１出力部との距離、および前記スピン波生成部と前記第２出力部との距離は、前記電子スピン波の波長のほぼ整数倍であり、

前記第１分岐細線において、前記第１ゲート電極に沿った第１ゲート電極部が配置され、

前記第２分岐細線において、前記第２ゲート電極に沿った第２ゲート電極部が配置され、

前記第４分岐細線において、前記第３ゲート電極に沿った第３ゲート電極部と、前記第４ゲート電極に沿った第４ゲート電極部とが直列に配置され、

前記ゲート電極の長さは、前記電子スピン波の半波長のほぼ奇数倍であり、

前記１次元細線構造の幅は、前記電子スピン波の半波長より小さく、

前記スピン波生成部から前記第１ゲート電極部、第２ゲート電極部、および第３ゲート電極部に入る前の電子スピン波がｉＰＳＨ状態、またはＰＳＨ状態であって、前記第１ゲート電極、前記第２ゲート電極、前記第３ゲート電極、および前記第４ゲート電極は、それぞれ電子スピン波をＰＳＨ状態にする第１のゲート電圧、および電子スピン波をｉＰＳＨ状態にする第２のゲート電圧を印加可能であることを特徴とする請求項１１に記載の論理デバイス。

[請求項15] 前記１次元細線構造は、所定の偏光状態を有する光の照射により前記偏光状態に応じた位相を有する電子スピン波を生成する材料からなり、

前記ゲート電極は、前記１次元細線構造内の電子へのスピン軌道相互作用としてラシュバ相互作用のみが働く状態にする第１のゲート電圧と何も働かない状態にする第２のゲート電圧と、を印加可能であり、

前記１次元細線構造は、前記１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、前記１次元細線構造を伝搬した前記電子スピン波を出力する出力部と、を備えており、

前記ゲート電極は、前記１次元細線構造に沿って前記スピン波生成部と前記出力部との間に配置され、

前記スピン波生成部と前記出力部との距離は、前記電子スピン波の

波長のほぼ整数倍であり、

前記ゲート電極の長さは、前記電子スピン波の半波長のほぼ奇数倍であり、

前記１次元細線構造の幅は、前記電子スピン波の半波長より小さく、

前記スピン波生成部の前記電子スピン波の位相状態を論理入力として、前記出力部の前記電子スピン波の位相状態を論理出力とする請求項１記載の論理演算素子からなり、ＮＯＴ論理と恒等論理とを切替可能なことを特徴とする切替可能ＮＯＴ論理デバイス。

[請求項16] 前記１次元細線構造は、所定の偏光状態を有する光の照射により前記偏光状態に応じた位相を有する電子スピン波を生成する材料からなり、

前記１次元細線構造は、前記１次元細線構造内の電子に光信号が照射されることによって電子スピン波を生成するか、または隣接する１次元細線構造から出力された電子スピン波が入力されるスピン波生成部と、前記１次元細線構造を伝搬した前記電子スピン波を出力する出力部と、を備えており、

前記１次元細線構造において、前記ゲート電極に沿ったゲート電極部が前記スピン波生成部と前記出力部との間に配置され、

前記スピン波生成部と前記出力部との距離は、前記電子スピン波の半波長のほぼ整数倍であり、

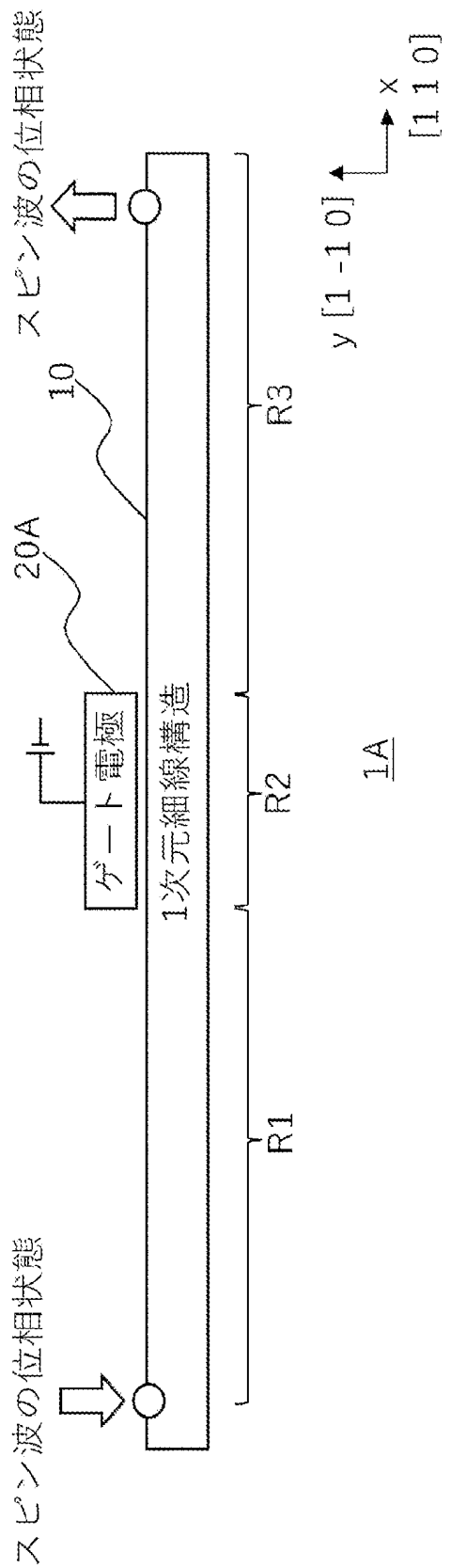
前記ゲート電極の長さは、前記電子スピン波の半波長のほぼ奇数倍であり、

前記１次元細線構造の幅は、前記電子スピン波の半波長より小さく、

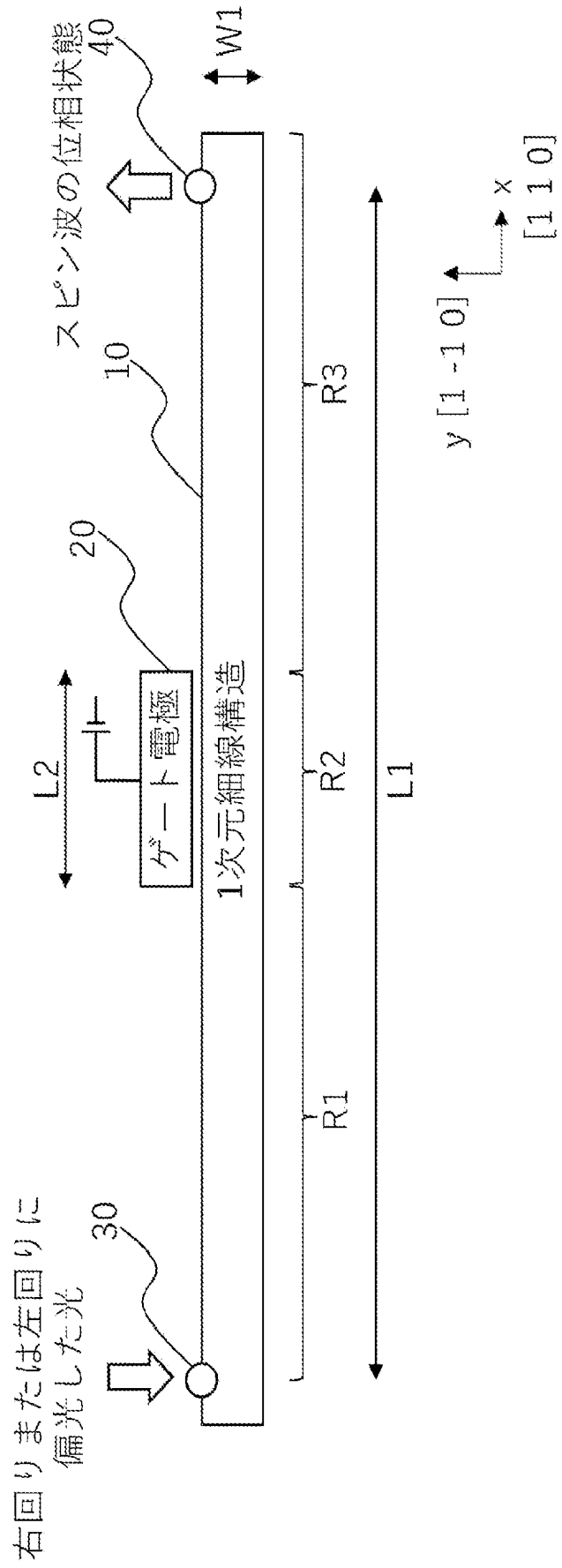
前記スピン波生成部からゲート電極部に入る前の電子スピン波がスピン軌道相互作用としてラシュバ相互作用のみが働く状態であって、前記ゲート電極は電子スピン波をスピン軌道相互作用としてラシュバ

相互作用のみが働く状態にする第１のゲート電圧、および電子スピン波をスピン軌道相互作用として何も働かない状態にする第２のゲート電圧を印加可能であることを特徴とする請求項８に記載の論理演算素子。

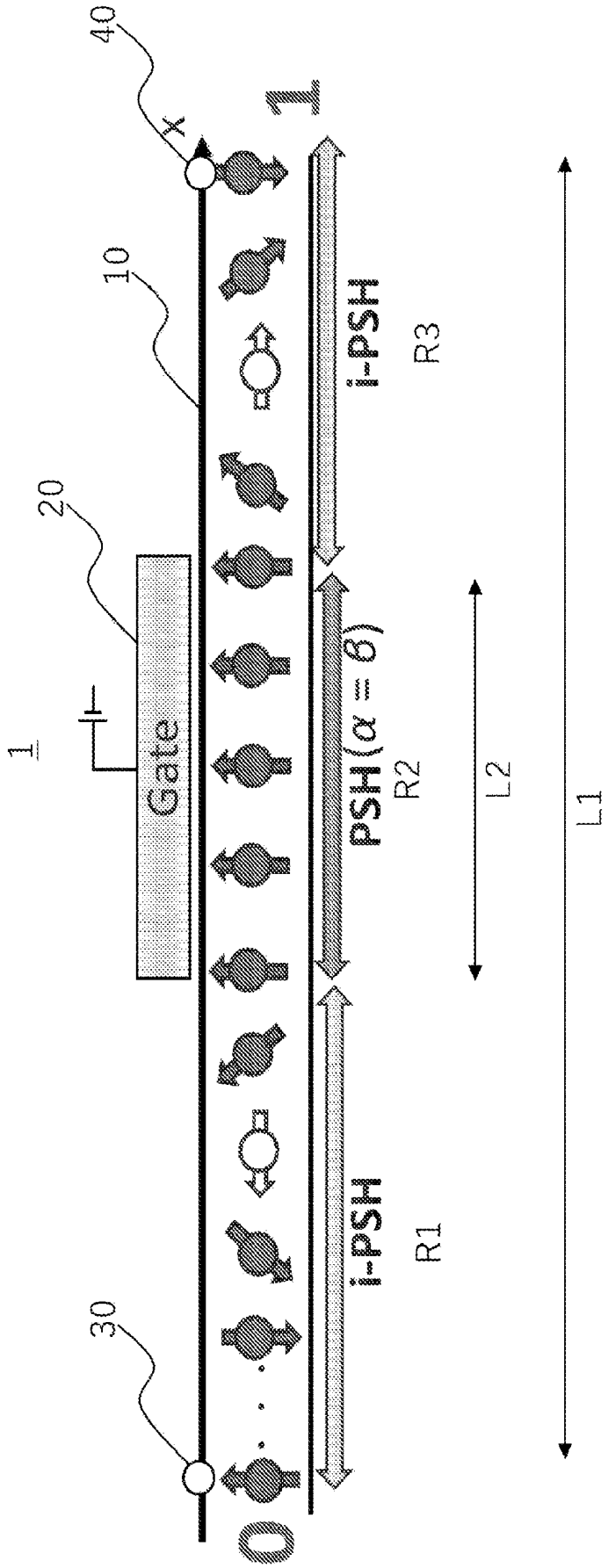
[図1]


スピン波の位相状態
10
20A
ゲート電極
1次元細線構造
R3
R2
R1
1A
y [1 -1 0]
x
[1 1 0]
スピン波の位相状態

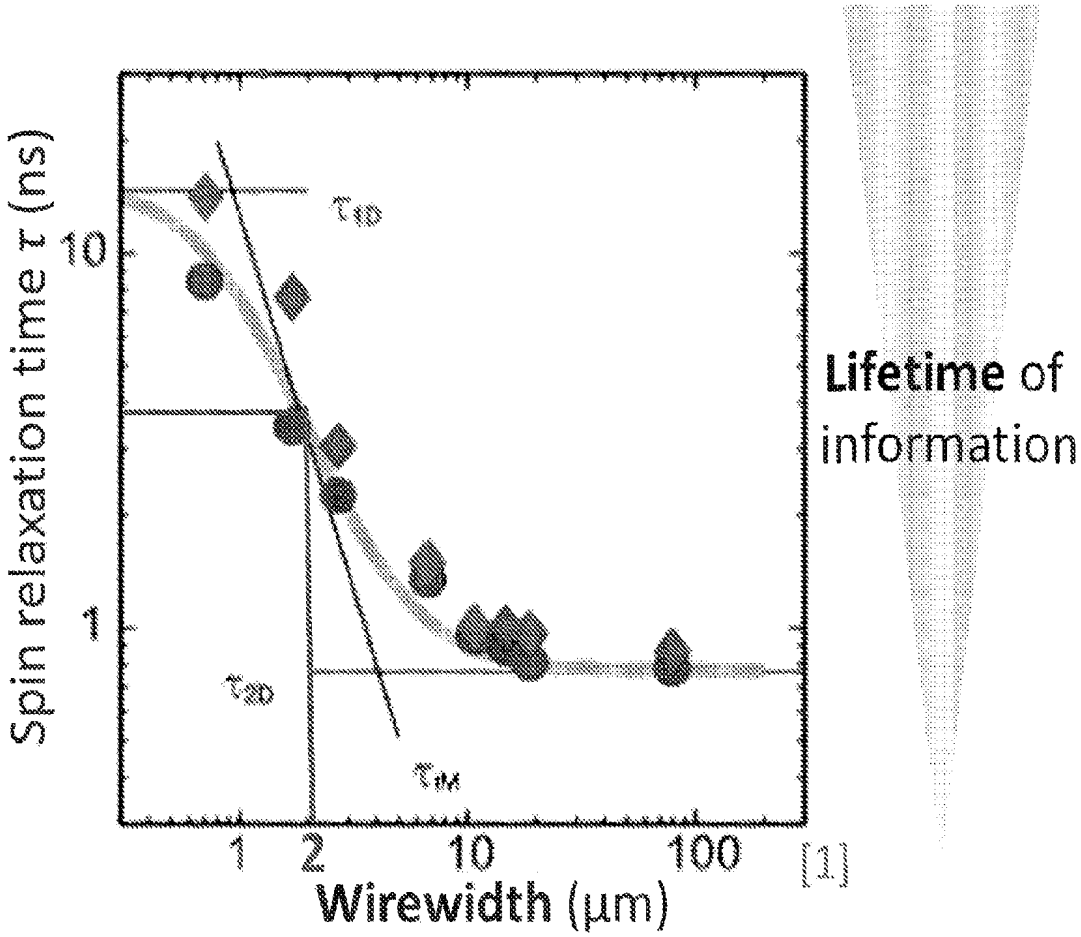
[図2]


1
L2
ゲート電極
20
10
1次元細線構造
スピン波の位相状態
40
W1
30
右回りまたは左回りに
偏光した光
R1
R2
R3
L1
y [1 -1 0]
x
[1 1 0]

[図3]

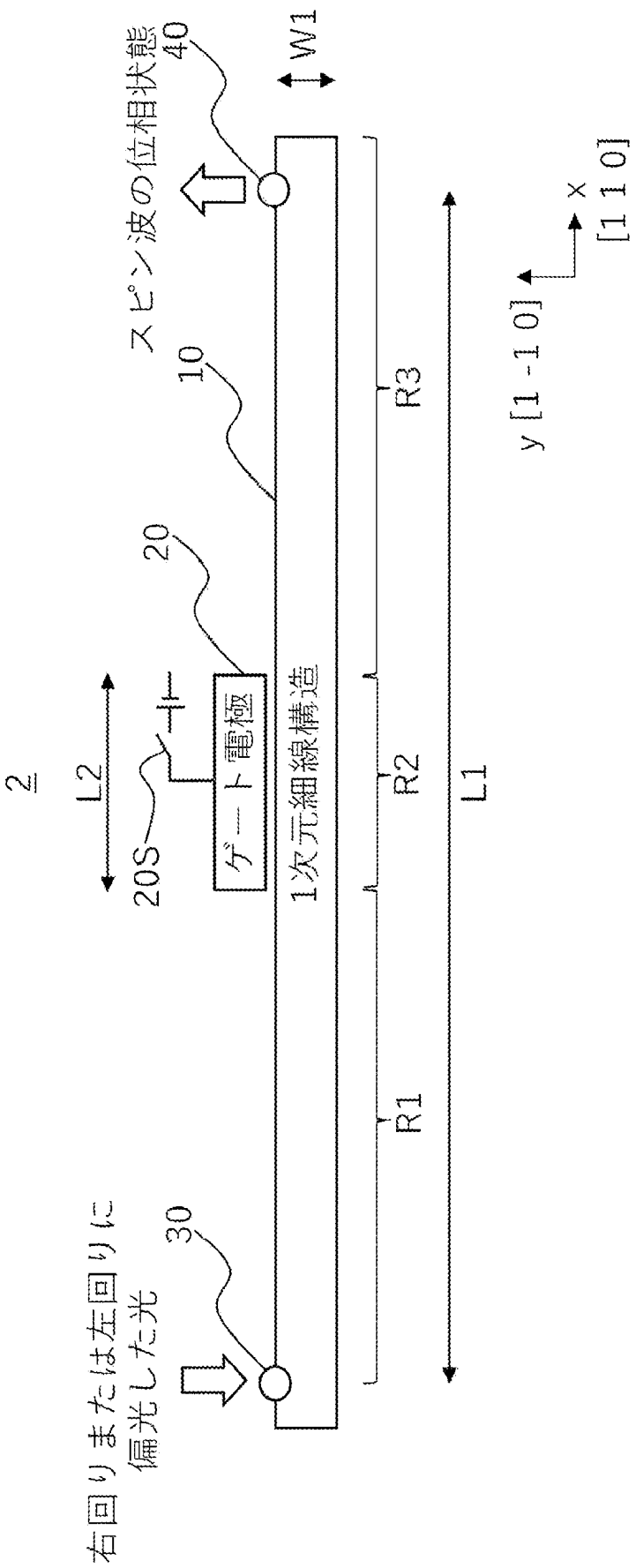


[図4]

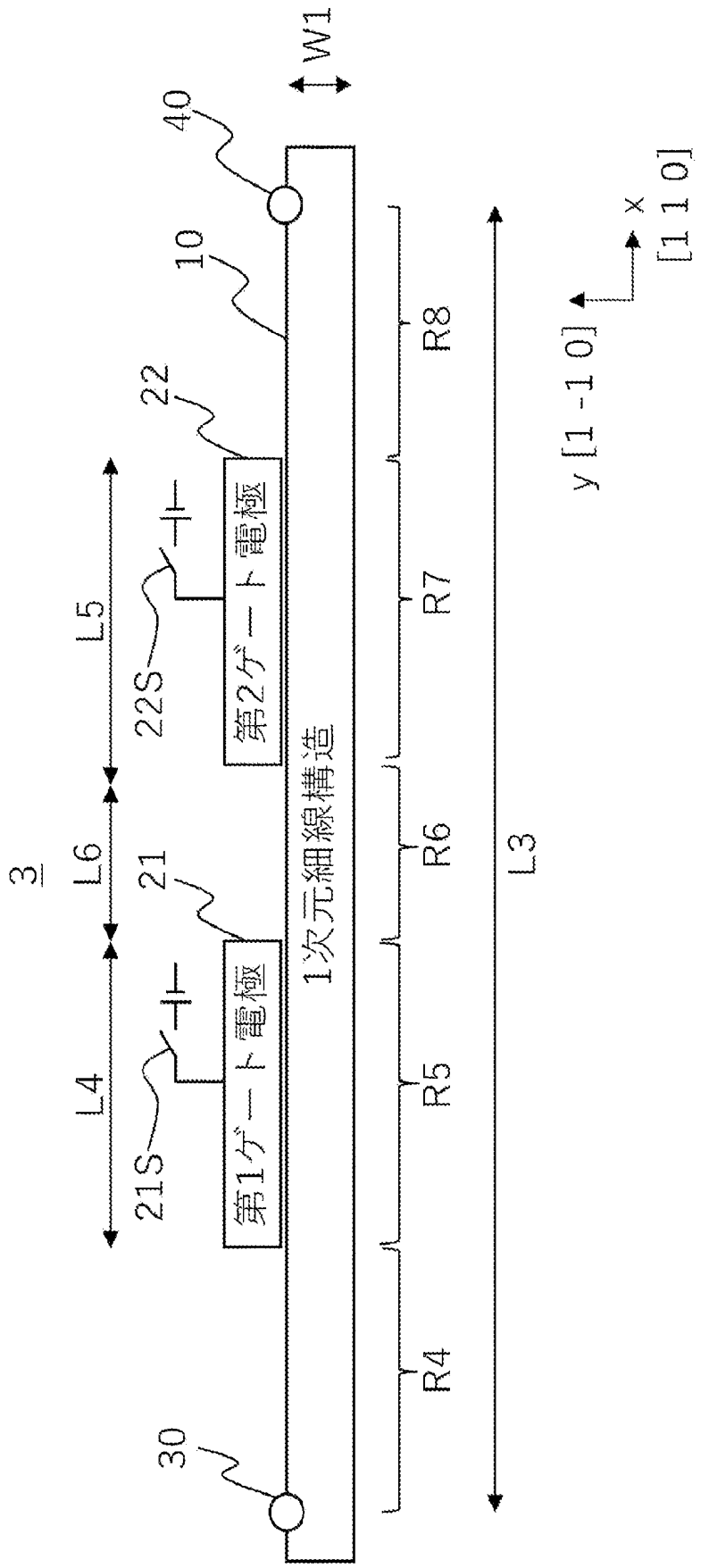

Spin relaxation time τ (ns)
10
1
τ1D
τ2D
τM
1
2
10
100
Wirewidth (μm)
Lifetime of information

[1]

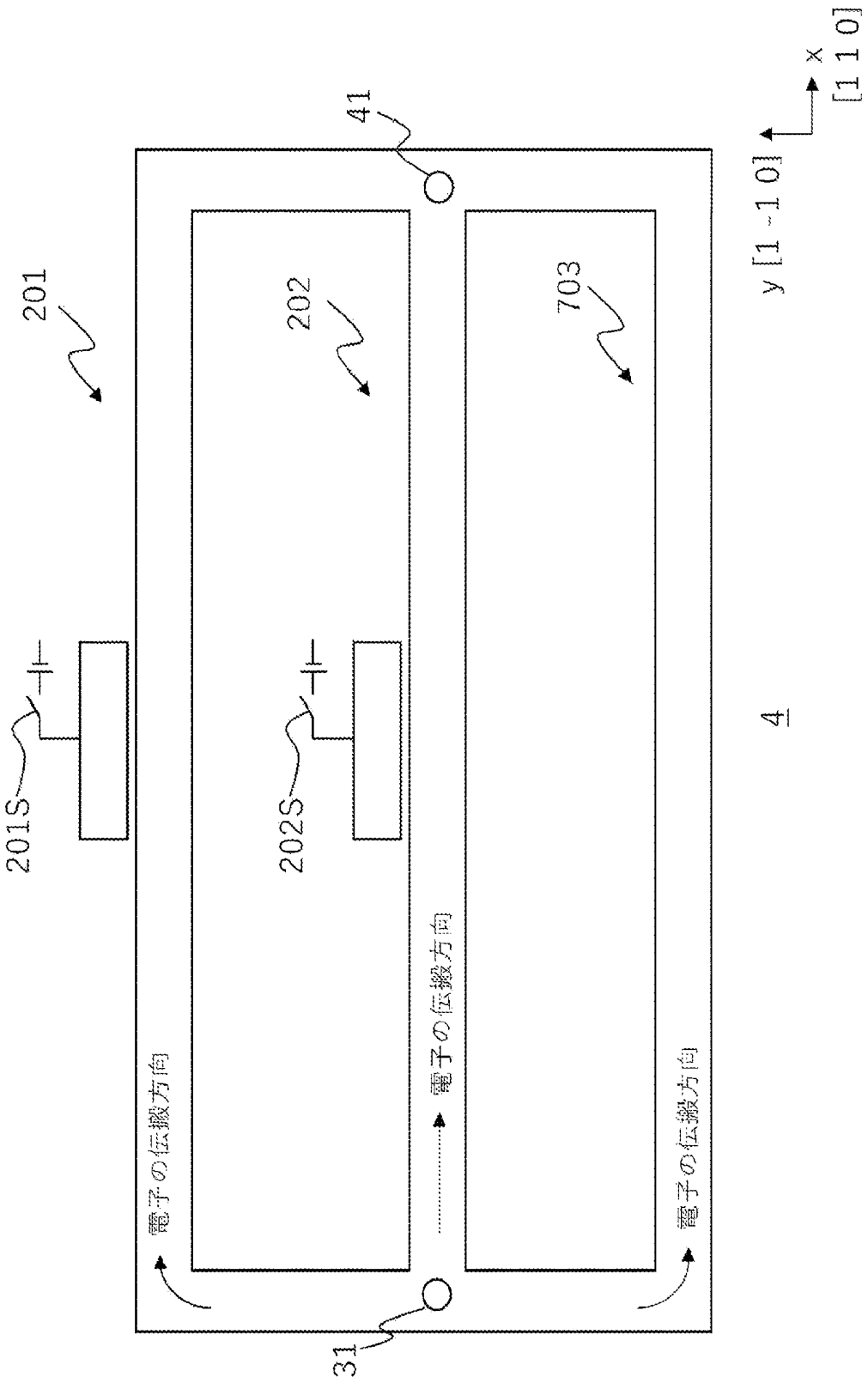
[図5]


2
L2
20S
20
ゲート電極
10
1次元細線構造
スピン波の位相状態
40
W1
R3
R2
R1
L1
30
右回りまたは左回りに
偏光した光
y [1 -1 0]
x
[1 1 0]

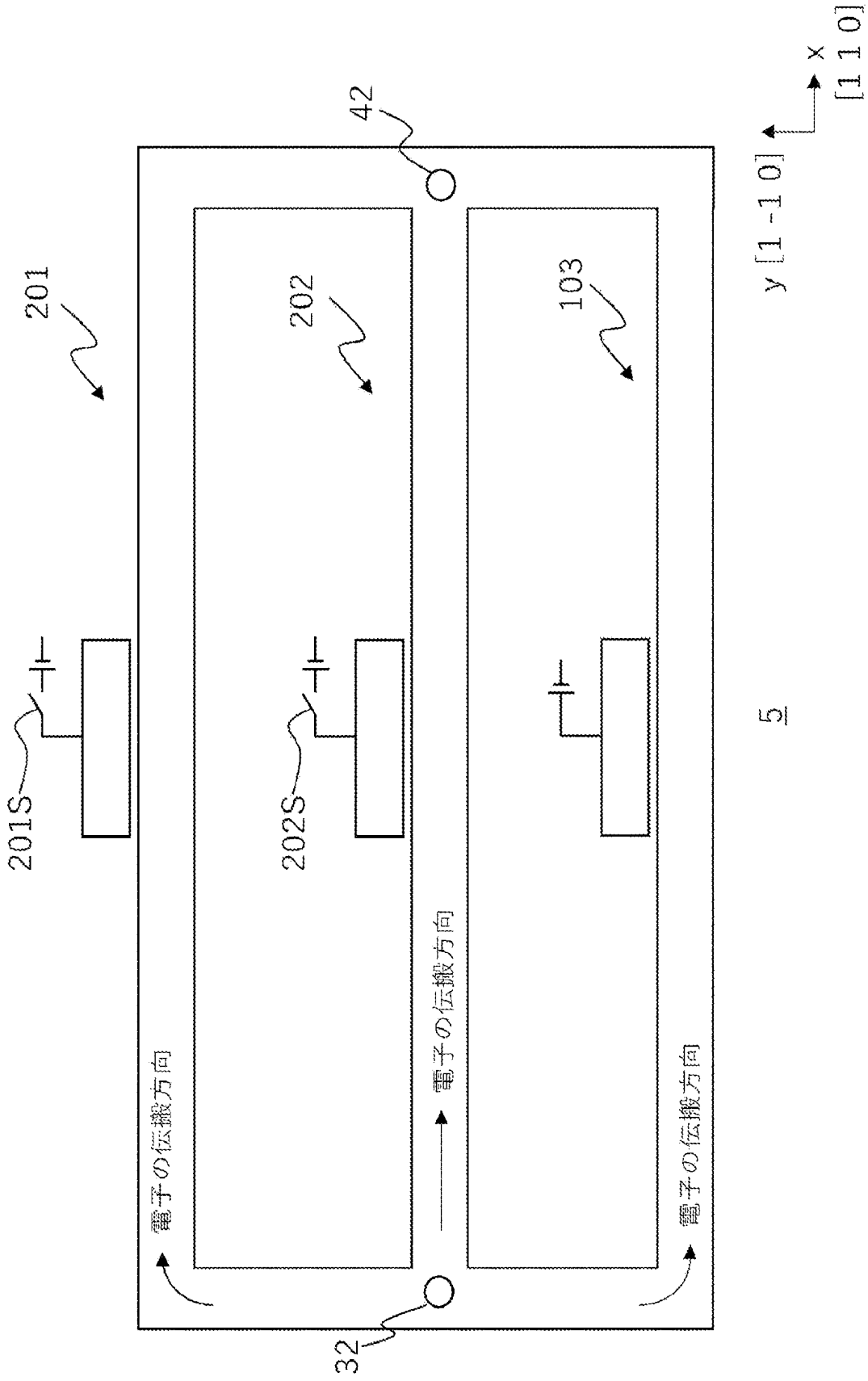
[図6]


W1
40
10
22
第2ゲート電極
22S
L5
L6
21
第1ゲート電極
21S
L4
3
1次元細線構造
30
R4
R5
R6
R7
R8
L3
x
[1 1 0]
y [1 -1 0]

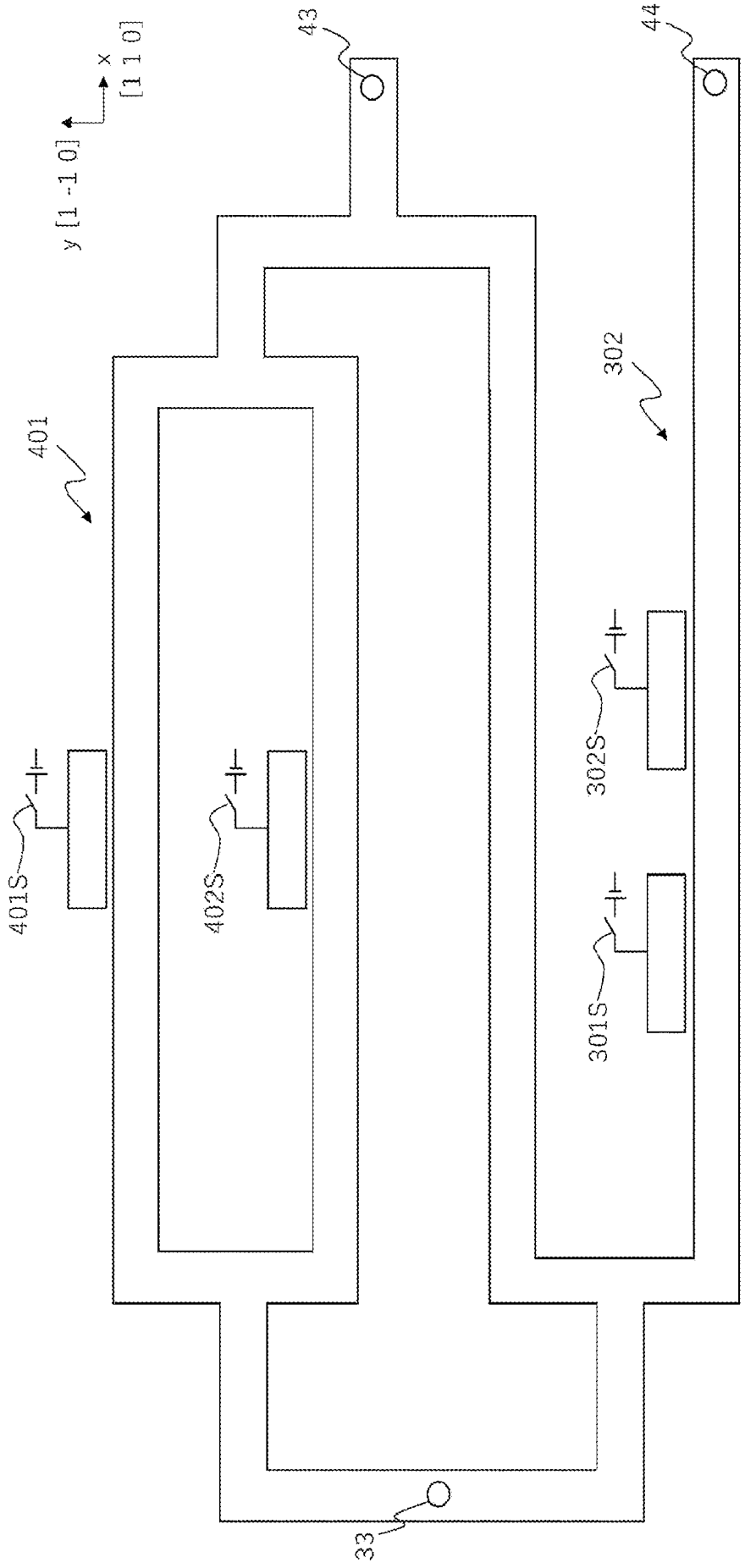
[図7]


41
201
202
703
201S
202S
電子の伝搬方向
電子の伝搬方向
電子の伝搬方向
31
4
x [1 1 0]
y [1 -1 0]

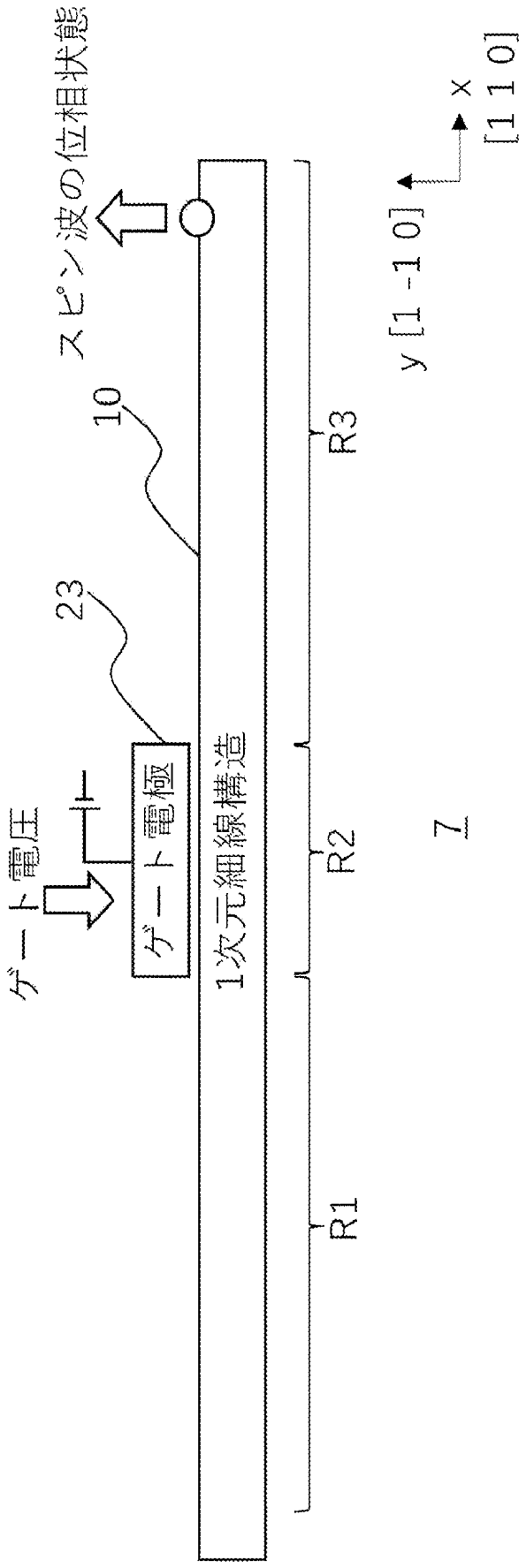
[図8]


42
201
202
103
201S
202S
電子の伝搬方向
電子の伝搬方向
電子の伝搬方向
32
5
y [1 -1 0]
x [1 1 0]

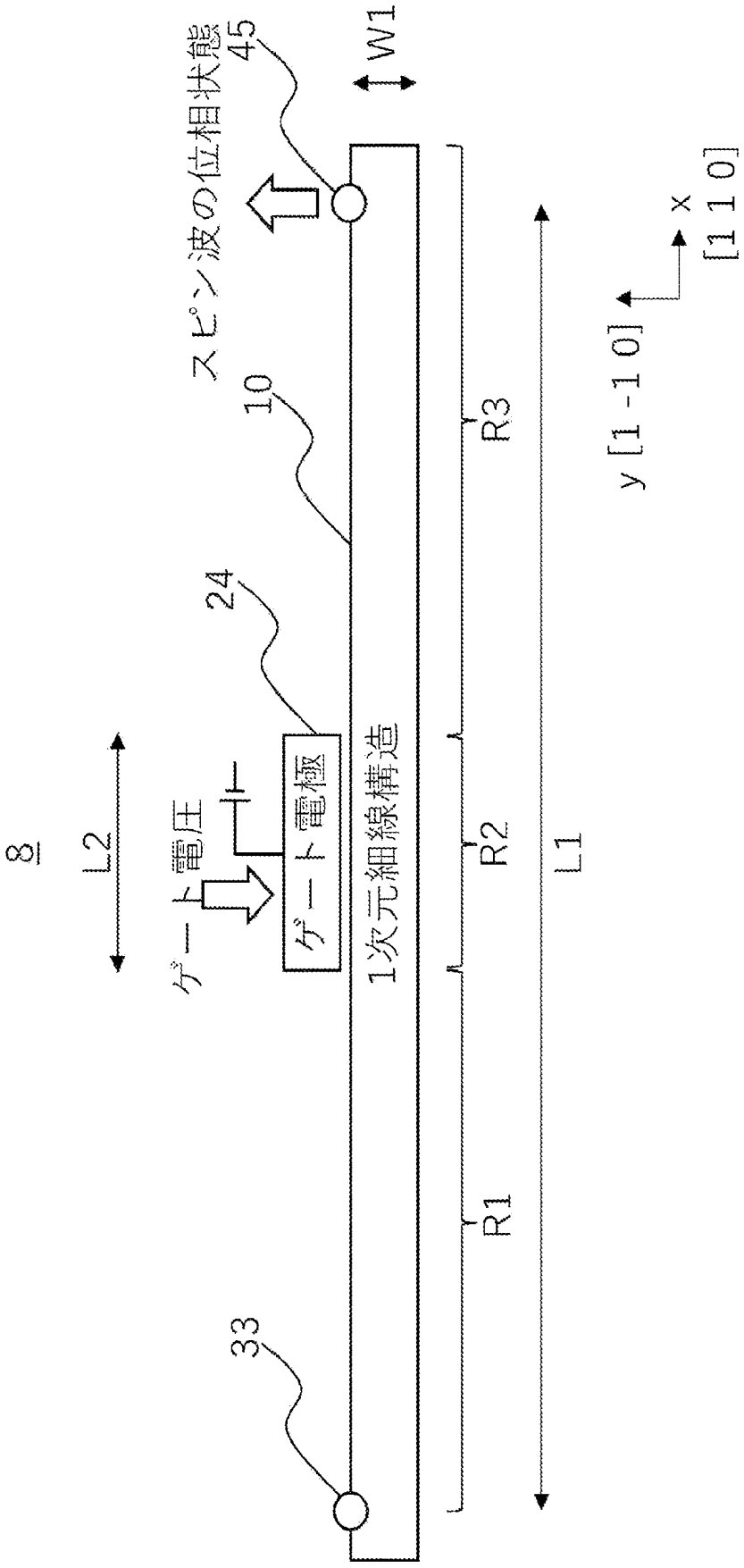
[図9]



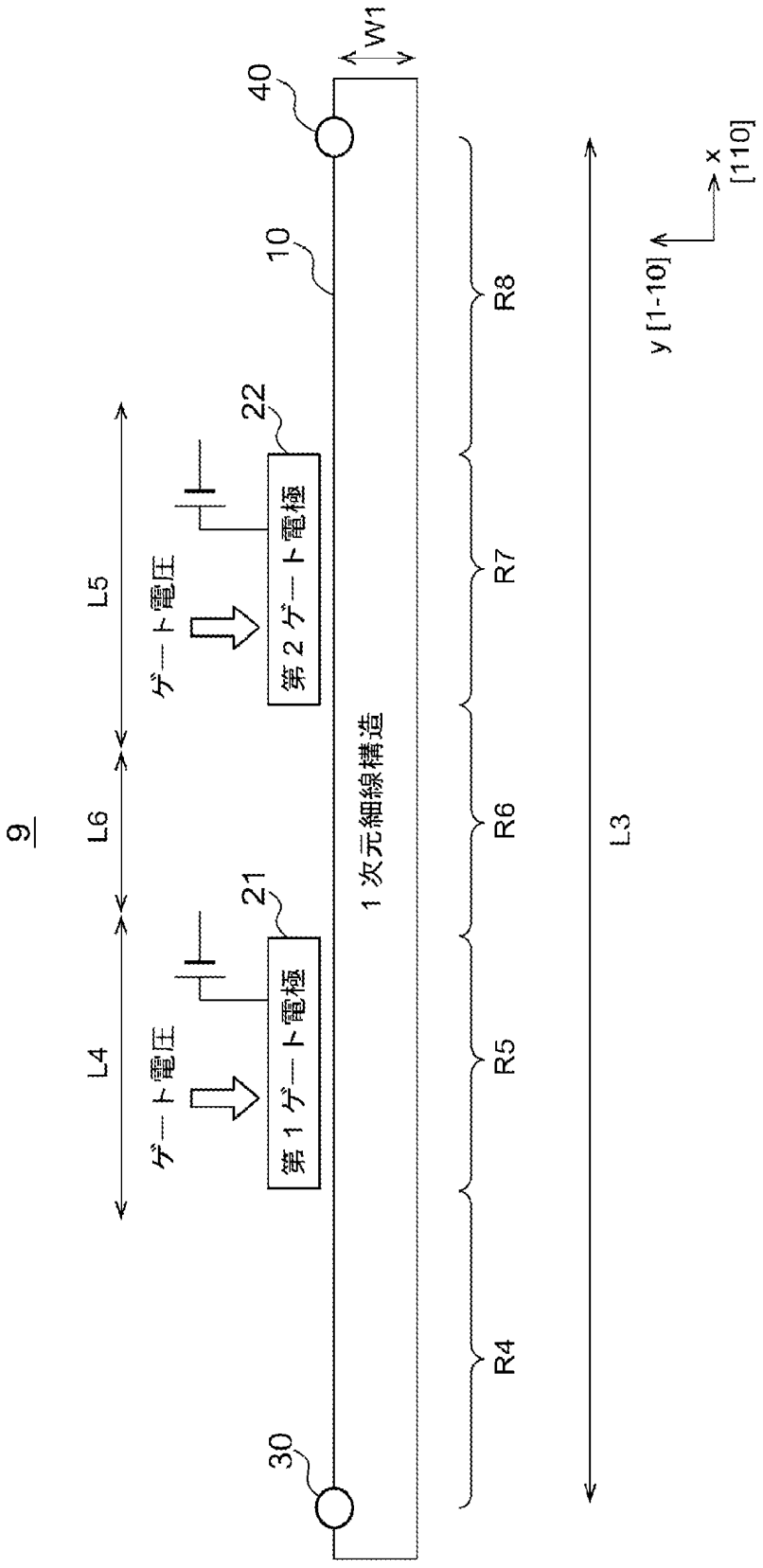
[図10]



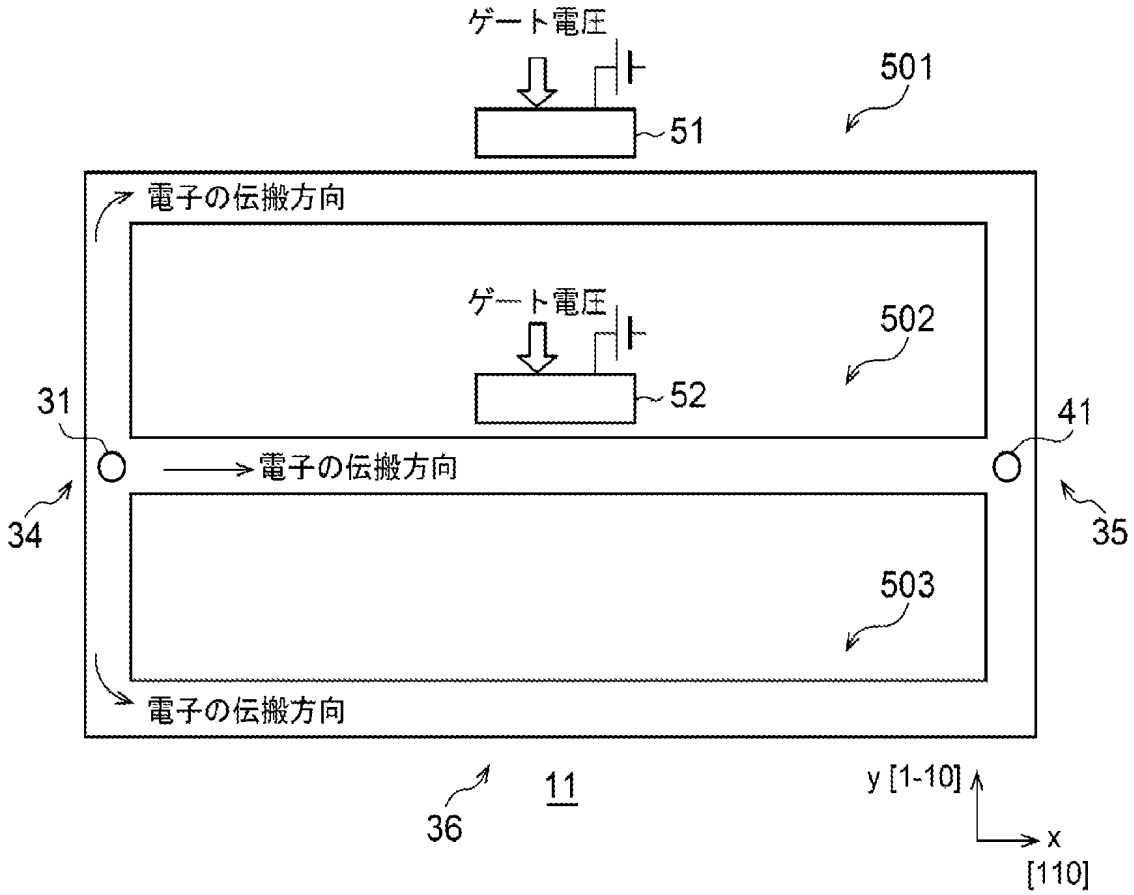
[図11]


8
L2
ゲート電圧
ゲート電極
24
10
スピン波の位相状態
45
W1
1次元細線構造
33
R1
R2
R3
L1
y [1 -1 0]
x
[1 1 0]

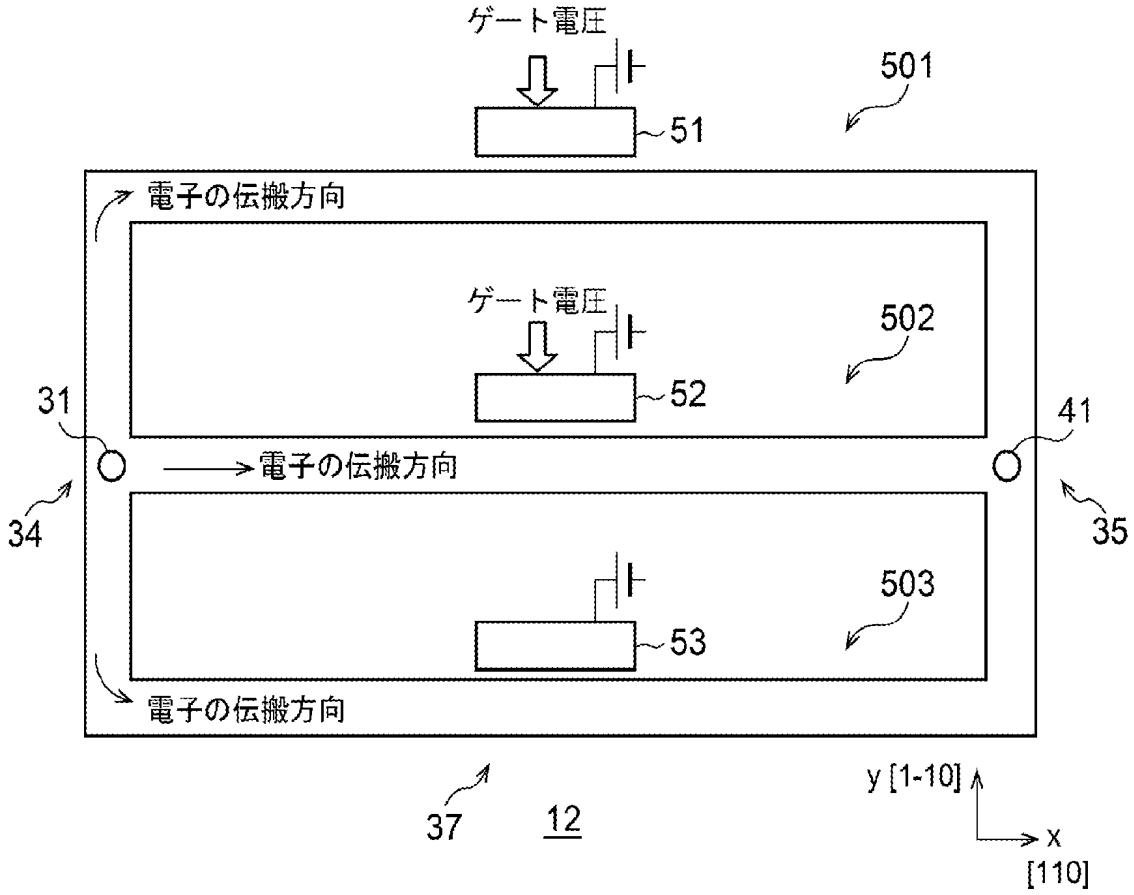
[図12]


9
W1
40
10
22
第２ゲート電極
ゲート電圧
21
第１ゲート電極
ゲート電圧
30
１次元細線構造
L4
L5
L6
L3
R4
R5
R6
R7
R8
y [1-10]
x [110]

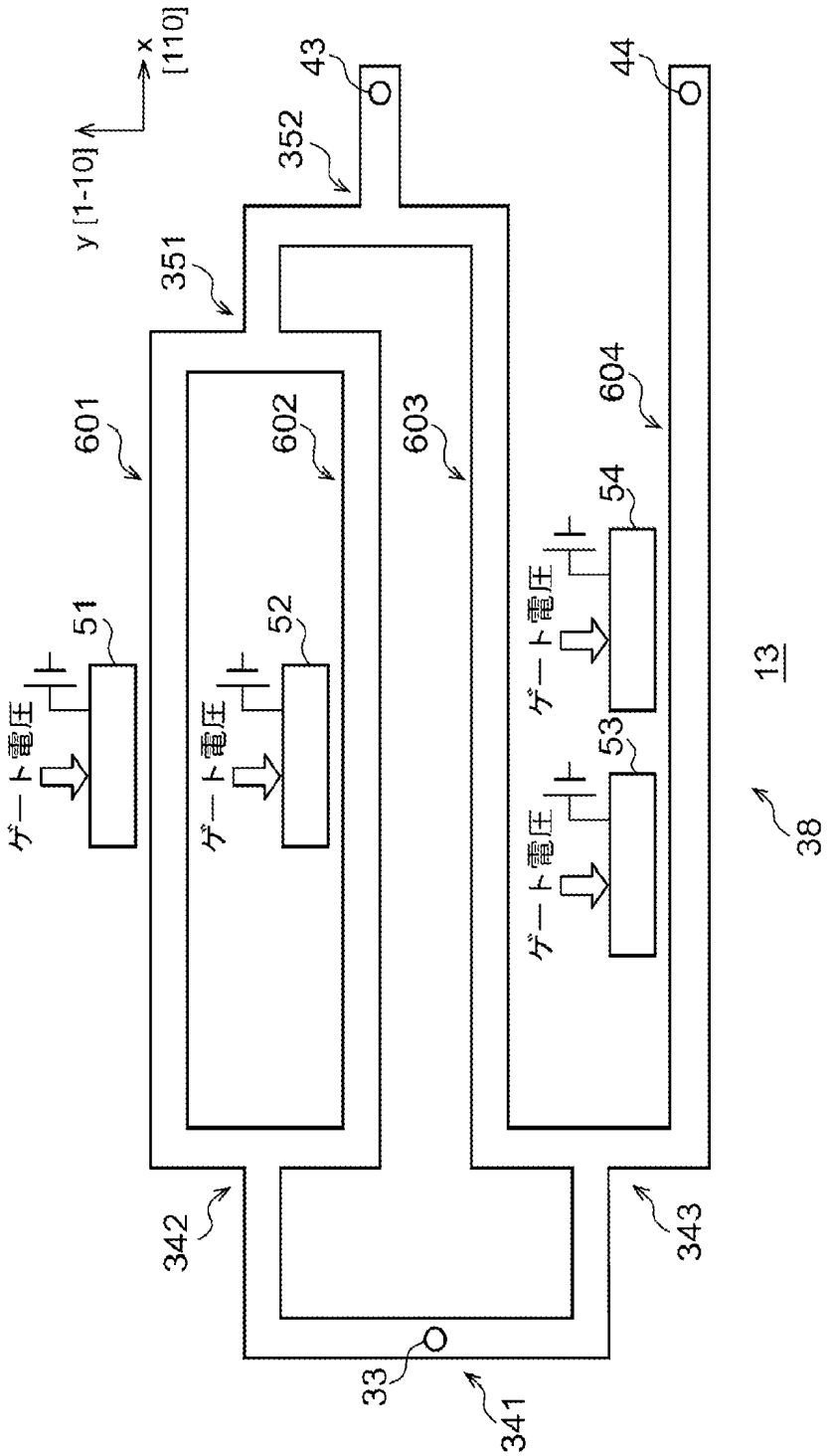
[図13]


ゲート電圧
501
51
電子の伝搬方向
ゲート電圧
502
52
31
41
電子の伝搬方向
34
35
503
電子の伝搬方向
11
36
y [1-10]
x
[110]

[図14]


ゲート電圧
501
51
電子の伝搬方向
ゲート電圧
502
52
31
41
電子の伝搬方向
34
35
503
53
電子の伝搬方向
12
37
y [1-10]
x
[110]

[図15]


x [110]
y [1-10]
43
44
352
351
601
602
603
604
54
53
51
52
ゲート電圧
ゲート電圧
ゲート電圧
13
38
342
343
33
341

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/021394

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/82(2006.01)i; ***G02F 3/00***(2006.01)i; ***H03K 19/18***(2006.01)i; ***H10N 50/20***(2023.01)i
FI: H01L29/82 Z; G02F3/00 501; H03K19/18; H10N50/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/82; G02F3/00; H03K19/18; H10N50/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	A. KHITUN et al., Spin Wave Magnetic NanoFabric: A New Approach to Spin-Based Logic Circuitry, IEEE Transactions on Magnetics, September 2008, vol. 44, no. 9, pp. 2141-2152, DOI: 10.1109/TMAG.2008.2000812 pp. 2141-2151	1
Y		11
A		2-7, 9, 10, 12-16
X	B. RANA et al., Voltage-Controlled Reconfigurable Spin-Wave Nanochannels and Logic Devices, Physical Review Applied, 30 January 2018, vol. 9, no. 1, p. 014033, pp. 1-15, DOI: 10.1103/PhysRevApplied.9.014033 pp. 1-14	8
Y		11
A		2-7, 9, 10, 12-16
A	WO 2014/188525 A1 (HITACHI, LTD.) 27 November 2014 (2014-11-27)	2-7, 9, 10, 12-16

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 August 2024	**03 September 2024**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 114975767 A (HUAWEI TECH CO., LTD.) 30 August 2022 (2022-08-30)	2-7, 9, 10, 12-16
A	D. KHOKHRIAKOV et al., Multifunctional Spin Logic Operations in Graphene Spin Circuits, Physical Review Applied, 21 December 2022, vol. 18, no. 6, p. 064063, pp. 1-9, DOI: 10.1103/PhysRevApplied.18.064063	2-7, 9, 10, 12-16
A	W. YU et al., Magnetic Logic Gate Based on Polarized Spin Waves, Physical Review Applied, 21 February 2020, vol. 13, no. 2, p. 024055, pp. 1-10, DOI: 10.1103/PhysRevApplied.13.024055	2-7, 9, 10, 12-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/021394

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2014/188525 A1	27 November 2014	US 2016/0105176 A1	
CN 114975767 A	30 August 2022	WO 2022/179618 A1	

国際調査報告

国際出願番号
PCT/JP2024/021394

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/82(2006.01)i; G02F 3/00(2006.01)i; H03K 19/18(2006.01)i; H10N 50/20(2023.01)i
FI: H01L29/82 Z; G02F3/00 501; H03K19/18; H10N50/20

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/82; G02F3/00; H03K19/18; H10N50/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	A. KHITUN et al., Spin Wave Magnetic NanoFabric: A New Approach to Spin-Based Logic Circuitry, IEEE Transactions on Magnetics, 2008.09, Vol. 44, No. 9, pp.2141-2152, DOI: 10.1109/TMAG.2008.2000812 pp.2141-2151	1
Y		11
A		2-7,9,10,12-16
X	B. RANA et al., Voltage-Controlled Reconfigurable Spin-Wave Nanochannels and Logic Devices, Physical Review Applied, 2018.01.30, Vol. 9, No. 1, p.014033, pp.1-15, DOI: 10.1103/PhysRevApplied.9.014033 pp.1-14	8
Y		11
A		2-7,9,10,12-16
A	WO 2014/188525 A1 (株式会社日立製作所) 27.11.2014 (2014-11-27)	2-7,9,10,12-16
A	CN 114975767 A (HUAWEI TECHNOLOGIES CO., LTD.) 30.08.2022 (2022-08-30)	2-7,9,10,12-16

☑ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
20.08.2024	03.09.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
境　周一　5F 3654
電話番号 03-3581-1101 内線 3514

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	D. KHOKHRIAKOV et al., Multifunctional Spin Logic Operations in Graphene Spin Circuits, Physical Review Applied, 2022.12.21, Vol. 18, No. 6, p.064063, pp.1-9, DOI: 10.1103/PhysRevApplied.18.064063	2-7,9,10,12-16
A	W. YU et al., Magnetic Logic Gate Based on Polarized Spin Waves, Physical Review Applied, 2020.02.21, Vol. 13, No. 2, p.024055, pp.1-10, DOI: 10.1103/PhysRevApplied.13.024055	2-7,9,10,12-16

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/021394

引用文献	公表日	パテントファミリー文献	公表日
WO 2014/188525 A1	27.11.2014	US 2016/0105176 A1	
CN 114975767 A	30.08.2022	WO 2022/179618 A1	