

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/252842 A1

(51) 国際特許分類:
H10B 51/30 (2023.01)

(21) 国際出願番号: PCT/JP2024/017271

(22) 国際出願日: 2024年5月9日(09.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
63/506,675 2023年6月7日(07.06.2023) US

(71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).

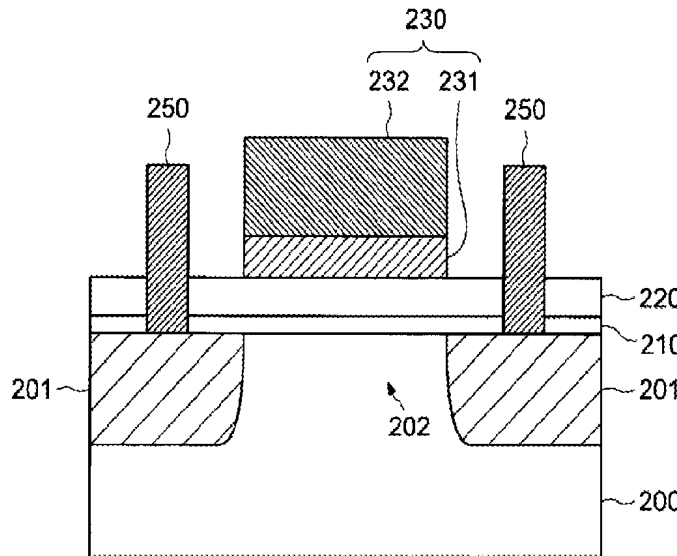
(72) 発明者: 蔡 作成(CAI Zuocheng); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). トープラサートポン カシディット(TOPRASERTPONG Kasidit); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 竹中 充(TAKENAKA Mitsuru); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 高本 信一(TAKAGI Shinichi); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP).

(74) 代理人: 弁理士法人高橋・林アンドパートナーズ(TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京

(54) Title: STORAGE DEVICE AND MEMORY SYSTEM

(54) 発明の名称: 記憶装置及びメモリシステム

10



(57) Abstract: A storage device according to the present invention is provided with: a semiconductor layer; a gate electrode that faces the semiconductor layer; an insulating layer that is provided between the semiconductor layer and the gate electrode; and a ferroelectric layer that is provided between the insulating layer and the gate electrode, and contains hafnium oxide. In this storage device, the film thickness of the ferroelectric layer is larger than 3 nm but smaller than 7 nm. Alternatively, a storage device according to the present invention is provided with: an oxide semiconductor layer;

[続葉有]



都大田区蒲田 5 - 2 4 - 2 損保ジャパン
蒲田ビル9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4. 17に規定する申立て:

— 不利にならない開示又は新規性喪失の例外に関する申立て (規則4. 17(v))

添付公開書類:

— 国際調査報告 (条約第21条(3))

a gate electrode that faces the oxide semiconductor layer; and a ferroelectric layer that is provided between the oxide semiconductor layer and the gate electrode, and contains hafnium oxide. In this storage device, the film thickness of the ferroelectric layer is larger than 3 nm but smaller than 30 nm.

(57) 要約: 記憶装置は、半導体層と、前記半導体層と対向するゲート電極と、前記半導体層と前記ゲート電極との間に設けられた絶縁層と、前記絶縁層と前記ゲート電極との間に設けられ、酸化ハフニウムを含む強誘電体層と、を備え、前記強誘電体層の膜厚は、3 nmより大きく7 nmより小さい、又は、酸化物半導体層と、前記酸化物半導体層と対向するゲート電極と、前記酸化物半導体層と前記ゲート電極との間に設けられ、酸化ハフニウムを含む強誘電体層と、を備え、前記強誘電体層の膜厚は、3 nmより大きく30 nmより小さい。

明 細 書

発明の名称： 記憶装置及びメモリシステム

技術分野

[0001] 本発明の一実施形態は、記憶装置及びメモリシステムに関する。特に、本発明の一実施形態は、強誘電体層を備えた記憶装置及び当該記憶装置を備えたメモリシステムに関する。

背景技術

[0002] 近年、強誘電体層を備えた記憶装置の開発が進められている。このような記憶装置として、トランジスタ（MOS FET）のゲート絶縁層に酸化ハフニウムが用いられたメモリセルの開発が進められている。このようなトランジスタ型のメモリセルはFeFET（Ferroelectric FET）と呼ばれている。FeFETは、不揮発性でありながら、高速プログラム及び消去が可能であり、かつ低消費電力で駆動可能な記憶装置として期待されている（例えば、特許文献1及び非特許文献1～3）。なお、非特許文献1～3は、本願においてパリ条約による優先権を主張する米国仮出願63／506675の出願後に公開された文献である。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-160374号公報

非特許文献

[0004] 非特許文献1：Bong Ho Kim, Seong Kwang Kim, Song-hyeon Kuk, Yoon-Je Suh, Jaeyong Jeong, Joon Pyo Kim, Dae-Myeong Geum, and Sanghyeon Kim, “IL Scavenging and Recovery Strategies to Improve the Performance and Reliability of HZO-Based FeFETs,” IEEE International Electron Devices Meeting (IEDM), 18-3, 2023.

非特許文献2：C.-H. Wu, J. Liu, X.-T. Zheng, Y.-M. Tseng, M. Kobayashi, V. P.-H. Hu, and C.-J. Su, “Robust Recovery Scheme for MFIS-FeFETs

at Optimal Timing with Prolonged Endurance: Fast-Unipolar Pulsing (100 ns), Nearly Zero Memory Window Loss (0.02 %), and Self-Tracking Circuit Design,” IEEE International Electron Devices Meeting (IEDM), 18-2, 2023.

非特許文献3：C.-H. Wu, J. Liu, X.-T. Zheng, H.-F. Chuang, Y.-M. Tseng, M. Kobayashi, C.-J. Su, and V. P.-H. Hu, “Innovative Recovery Strategy for MFIS-FeFETs at Optimal Timing With Robust Endurance: Fast-Unipolar Pulsing (100 ns), Nearly Zero Memory Window Loss (0.02%), and Self-Tracking Circuit Design,” IEEE Transactions on Electron Devices, 2024.

発明の概要

発明が解決しようとする課題

[0005] FeFETでは、メモリセルに対してデータをプログラムする際のプログラム電圧及びメモリセルのデータを消去する際の消去電圧の影響によって、FeFETを構成する積層薄膜間の界面（例えば、シリコン基板上の酸化シリコンと強誘電体層との間の界面）が劣化し、その結果、書き換え耐性（エンデュランス特性）が悪化する、という問題が起きる場合がある。

[0006] 本発明の課題の一つは、エンデュランス特性が高い記憶装置を提供することである。

課題を解決するための手段

[0007] 本発明の一実施形態における記憶装置は、半導体層と、前記半導体層と対向するゲート電極と、前記半導体層と前記ゲート電極との間に設けられた絶縁層と、前記絶縁層と前記ゲート電極との間に設けられ、酸化ハフニウムを含む強誘電体層と、を備え、前記強誘電体層の膜厚は、3 nmより大きく7 nmより小さい。

[0008] 本発明の一実施形態における記憶装置は、酸化物半導体層と、前記酸化物半導体層と対向するゲート電極と、前記酸化物半導体層と前記ゲート電極との間に設けられ、酸化ハフニウムを含む強誘電体層と、を備え、前記強誘電

体層の膜厚は、1 nmより大きく30 nmより小さい。

[0009] 本発明の一実施形態におけるメモリシステムは、記憶装置を備えたメモリセルがマトリクス状に配置されたメモリセルアレイと、前記メモリセルアレイを制御する制御回路と、を備え、前記制御回路は、前記メモリセルに対するプログラム動作又は消去動作の実行回数が所定数に達したか否かを判定し、前記実行回数が前記所定数に達したと判定した場合、第1極性の第1電圧と、前記第1極性とは逆の第2極性の第2電圧と、を前記強誘電体層に印加する電圧供給動作を実行し、前記第1電圧は、前記プログラム動作における最大電圧より大きく、前記第2電圧は、前記消去動作における最大電圧より大きい。

[0010] 本発明の一実施形態におけるメモリシステムは、記憶装置がマトリクス状に配置された複数のメモリセルアレイと、前記複数のメモリセルアレイを制御する制御回路と、を備え、前記制御回路は、プログラム動作又は消去動作を実行した後にビットエラー率が所定確率以上か否かを判定し、前記ビットエラー率が前記所定確率以上であると判定した場合、第1極性の第1電圧と、前記第1極性とは逆の第2極性の第2電圧と、を前記強誘電体層に印加する電圧供給動作を実行し、前記第1電圧は、前記プログラム動作における最大電圧より大きく、前記第2電圧は、前記消去動作における最大電圧より大きい。

図面の簡単な説明

[0011] [図1]本発明の一実施形態に係るF e F E Tを示す概略断面図である。

[図2]本発明の一実施形態に係るF e F E Tの製造方法を示すシーケンス図である。

[図3]本発明の一実施形態に係るF e F E Tの強誘電体層の断面T E M像である。

[図4]本発明の一実施形態に係るF e F E Tの I_d-V_g 特性を示す図である。

[図5]本発明の一実施形態に係るF e F E Tのメモリウインドウ(MW)を示す図である。

[図6]本発明の一実施形態に係る F e F E T のエンデュランス特性を示す図である。

[図7]本発明の一実施形態に係る F e F E T に対して低電圧駆動又は高電圧駆動を行った場合における $I_d - V_g$ 特性の変化を示す図である。

[図8]本発明の一実施形態に係る F e F E T に対して低電圧駆動又は高電圧駆動を行った場合における $P - V$ 特性の変化を示す図である。

[図9]本発明の一実施形態に係る F e F E T に対して高電圧駆動を行った場合における F e F E T の MW の狭小化のメカニズムを示す図である。

[図10]本発明の一実施形態に係る F e F E T に対して低電圧駆動を行った場合における F e F E T の MW の狭小化のメカニズムを示す図である。

[図11]本発明の一実施形態に係る F e F E T に対するサイクル駆動後の回復動作の概略を示す図である。

[図12]本発明の一実施形態に係る F e F E T に対する高電圧駆動後及び低電圧駆動後の回復動作による $I_d - V_g$ 特性の変化を示す図である。

[図13]本発明の一実施形態に係る F e F E T に対する回復動作前後のエンデュランス特性を示す図である。

[図14]本発明の一実施形態に係る F e F E T に対するサイクル駆動後の回復動作における回復パルスの極性を示す図である。

[図15]本発明の一実施形態に係る F e F E T に対するサイクル駆動後の回復動作における回復パルスの極性を示す図である。

[図16]本発明の一実施形態に係る F e F E T に対するサイクル駆動後の回復動作における回復パルスの極性を示す図である。

[図17]本発明の一実施形態に係る F e F E T の回復動作後の MW について、回復パルスの極性依存性を示す図である。

[図18]本発明の一実施形態に係る F e F E T の回復動作後の MW について、回復パルスの電圧依存性を示す図である。

[図19]本発明の一実施形態に係る F e F E T の回復動作後の MW について、回復パルスのパルス幅依存性を示す図である。

[図20]本発明の一実施形態に係るメモリチップの概略図である。

[図21]本発明の一実施形態に係るメモリチップの回路図である。

[図22]本発明の一実施形態に係るメモリシステムの概略図である。

[図23]本発明の一実施形態に係るメモリシステムの回復動作を示すフローチャートである。

[図24]本発明の一実施形態に係るメモリシステムの回復動作を示すフローチャートである。

[図25]H Z Oの膜厚が4.6 nm、6 nm、8 nm、11 nmであるF e F E Tのプロセスフロー、及びH Z Oの膜厚が4.6 nm及び11 nmであるH Z O F e F E TのT E M像である。

[図26A] (a) P-V測定の実験機構である。ドレイン、ソース及び基板は接続されている。

[図26B] (b) H Z Oの膜厚が11 nmであるF e F E TのP-V特性である。測定条件：4 k H z。

[図26C] (c) H Z Oの膜厚が8 nmであるF e F E TのP-V特性である。測定条件：4 k H z。

[図26D] (d) H Z Oの膜厚が6 nmであるF e F E TのP-V特性である。測定条件：4 k H z。

[図26E] (e) H Z Oの膜厚が4.6 nmであるF e F E TのP-V特性である。測定条件：4 k H z。

[図27A] (a) H Z Oの膜厚が11 nmであるF e F E TのD C I_d-V_g 曲線である。駆動電圧範囲は-0.5~2 Vから-2~3.5 Vである。デバイスサイズ： $W=10\mu m$ 、 $L=100\mu m$ 。測定条件： $V_D=50mV$ 。

[図27B] (b) H Z Oの膜厚が8 nmであるF e F E TのD C I_d-V_g 曲線である。駆動電圧範囲は-0.5~2 Vから-2~3.5 Vである。デバイスサイズ： $W=10\mu m$ 、 $L=100\mu m$ 。測定条件： $V_D=50mV$ 。

[図27C] (c) H Z Oの膜厚が6 nmであるF e F E TのD C I_d-V_g 曲線である。駆動電圧範囲は-0.25~1.75 Vから-1.5~3 Vである。

。デバイスサイズ： $W=10\mu\text{m}$ 、 $L=100\mu\text{m}$ 。測定条件： $V_D=50\text{mV}$ 。

[図27D] (d) HZOの膜厚が 4.6nm であるFeFETのDC I_d-V_g 曲線である。駆動電圧範囲は $-0.25\sim 1.75\text{V}$ から $-1.5\sim 3\text{V}$ である。デバイスサイズ： $W=10\mu\text{m}$ 、 $L=100\mu\text{m}$ 。測定条件： $V_D=50\text{mV}$ 。

[図28] HZO膜厚の関数として表示された、図27のDC I_d-V_g から得られたMWである。

[図29A] (a) プログラム（正）電圧及び消去（負）電圧の関数として表示された、HZOの膜厚が 11nm であるFeFETのMWである。パルス幅= $1\mu\text{s}$ 。

[図29B] (b) プログラム（正）電圧及び消去（負）電圧の関数として表示された、HZOの膜厚が 8nm であるFeFETのMWである。パルス幅= $1\mu\text{s}$ 。

[図29C] (c) プログラム（正）電圧及び消去（負）電圧の関数として表示された、HZOの膜厚が 6nm であるFeFETのMWである。パルス幅= $1\mu\text{s}$ 。

[図29D] (d) プログラム（正）電圧及び消去（負）電圧の関数として表示された、HZOの膜厚が 4.6nm であるFeFETのMWである。パルス幅= $1\mu\text{s}$ 。

[図30] (a) ファスト I_d-V_g 曲線（パルス幅= $1\mu\text{s}$ ）及び (b) HZOの膜厚が 11nm 、 8nm 、 6nm 、 4.6nm であるFeFETの膜厚の関数として表示された最小S値 (S_{min}) である。

[図31] (a) 図26に示されたP-Vにおいて得られた $2V_0$ から計算され、HZOを横切る電界が同じである場合（高電圧サイクル）、(b) 初期のMWが同じ 0.5V である場合（低電圧サイクル）、において駆動するHZOの膜厚が 11nm 、 8nm 、 6nm 、 4.6nm であるFeFETのMWのエンデュランス特性である。パルス幅= $1\mu\text{s}$ 。

[図32A] 2つのMW狭小化のメカニズム及び提案する回復信号である。(a) HZOの膜厚が4.6 nmのFeFETに対する V_g への回復信号は $-2\text{ V} / 3\text{ V}$ 、20 sであり、他のFeFETに対する V_g への回復信号は $-2\text{ V} / 3.5\text{ V}$ 、22 sである。

[図32B] 2つのMW狭小化のメカニズム及び提案する回復信号である。(b) 高電圧サイクルによる劣化メカニズムを説明する図である。

[図32C] 2つのMW狭小化のメカニズム及び提案する回復信号である。(c) 初期、サイクル後、及び高電圧(3.1 V / -2.1 V)による回復の後のファスト $I_d - V_g$ である。パルス幅は1 $\mu\text{ s}$ である。HZOの膜厚が6 nmのFeFETが用いられた。

[図32D] 2つのMW狭小化のメカニズム及び提案する回復信号である。(d) 初期、サイクル後、及び高電圧(3.1 V / -2.1 V)による回復の後のDC $I_d - V_g$ である。パルス幅は1 $\mu\text{ s}$ である。HZOの膜厚が6 nmのFeFETが用いられた。

[図32E] 2つのMW狭小化のメカニズム及び提案する回復信号である。(e) 初期、サイクル後、及び高電圧(3.1 V / -2.1 V)による回復の後のP-Vである。パルス幅は1 $\mu\text{ s}$ である。HZOの膜厚が6 nmのFeFETが用いられた。

[図32F] 2つのMW狭小化のメカニズム及び提案する回復信号である。(f) 低電圧サイクルによる劣化メカニズムを説明する図である。

[図32G] 2つのMW狭小化のメカニズム及び提案する回復信号である。(g) 初期、サイクル後、及び低電圧(2.7 V / -1.7 V)による回復の後のファスト $I_d - V_g$ である。パルス幅は1 $\mu\text{ s}$ である。HZOの膜厚が6 nmのFeFETが用いられた。

[図32H] 2つのMW狭小化のメカニズム及び提案する回復信号である。(h) 初期、サイクル後、及び低電圧(2.7 V / -1.7 V)による回復の後のDC $I_d - V_g$ である。パルス幅は1 $\mu\text{ s}$ である。HZOの膜厚が6 nmのFeFETが用いられた。

[図32I] 2つのMW狭小化のメカニズム及び提案する回復信号である。(1) 初期、サイクル後、及び低電圧 ($2.7\text{ V} / -1.7\text{ V}$) による回復の後の $P-V$ である。パルス幅は $1\text{ }\mu\text{ s}$ である。HZOの膜厚が 6 nm の FeFET が用いられた。

[図33A] (a) 回復パルス (3回の回復サイクル) 後の、HZOの膜厚が 11 nm である FeFET におけるMWのエンデュランス特性である。

[図33B] (b) 回復パルス (3回の回復サイクル) 後の、HZOの膜厚が 8 nm である FeFET におけるMWのエンデュランス特性である。

[図33C] (c) 回復パルス (3回の回復サイクル) 後の、HZOの膜厚が 6 nm である FeFET におけるMWのエンデュランス特性である。

[図33D] (d) 回復パルス (3回の回復サイクル) 後の、HZOの膜厚が 4.6 nm である FeFET におけるMWのエンデュランス特性である。

[図34A] (a) HZOの膜厚が 11 nm である FeFET の $\text{DC } I_d-V_g$ 回復特性である。挿入された S 値 (S, S_{min}) は、初期状態から3回目の回復の後の状態までの最小 S 値 (S, S_{min}) 劣化量を示す。単位は mV/dec である。

[図34B] (b) HZOの膜厚が 8 nm である FeFET の $\text{DC } I_d-V_g$ 回復特性である。挿入された S 値 (S, S_{min}) は、初期状態から3回目の回復の後の状態までの最小 S 値 (S, S_{min}) 劣化量を示す。単位は mV/dec である。

[図34C] (c) HZOの膜厚が 6 nm である FeFET の $\text{DC } I_d-V_g$ 回復特性である。挿入された S 値 (S, S_{min}) は、初期状態から3回目の回復の後の状態までの最小 S 値 (S, S_{min}) 劣化量を示す。単位は mV/dec である。

[図34D] (d) HZOの膜厚が 4.6 nm である FeFET の $\text{DC } I_d-V_g$ 回復特性である。挿入された S 値 (S, S_{min}) は、初期状態から3回目の回復の後の状態までの最小 S 値 (S, S_{min}) 劣化量を示す。単位は mV/dec である。

[図35]本研究の新たな発見である、2つのMW狭小化のメカニズム及び膜厚スケーリングの影響のまとめである。

[図36]本発明の一実施形態に係るF e F E Tを示す概略断面図である。

[図37]本発明の一実施形態に係るメモリセルの構成を示す斜視図である。

[図38]本発明の一実施形態に係るF e F E Tに対する高電圧駆動における高電圧と低電圧駆動における低電圧との境界を示す図である。

[図39]本発明の一実施形態に係るF e F E Tに対する高電圧駆動における高電圧と低電圧駆動における低電圧との境界を示す図である。

発明を実施するための形態

[0012] 以下、本発明の実施形態について、図面等を参照しつつ説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができる。本発明は、以下に例示する実施形態の記載内容に限定して解釈されない。図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、膜厚、形状等について模式的に表される場合がある。しかしながら、図面は、あくまで一例であって、本発明の解釈を限定するものではない。

[0013] 本発明の実施形態を説明する場合、基板からゲート電極に向かう方向を「上」と表現し、その逆の方向を「下」と表現する。ただし、「上に」又は「下に」という表現は、単に、各要素の上下関係を説明しているにすぎない。例えば、基板の上にゲート電極が配置されるという表現は、基板とゲート電極との間に他の部材が介在する場合も含む。さらに、「上に」又は「下に」という表現は、平面視において各要素が重畳する場合だけでなく、重畳しない場合を含む。「直上」又は「直下」という表現は、平面視において各要素が重畳する場合を指す。

[0014] 本明細書において「 α はA、B又はCを含む」、「 α はA、B及びCのいずれかを含む」、「 α はA、B及びCからなる群から選択される一つを含む」といった表現は、特に明示が無い限り、 α はA～Cの複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、 α が他の要素を含む場合も排除しない。

[0015] [1. 第1実施形態]

図1～図19を用いて、本発明の一実施形態に係る記憶装置10の構成について説明する。以下の実施形態では、メモリ機能を備える層として強誘電体層220が用いられた記憶装置10が例示されている。記憶装置10は、強誘電体層220がゲート絶縁層として用いられたMOSFETであり、「FeFET」と呼ばれている。

[0016] [1-1. 記憶装置10の構成]

図1は、本発明の一実施形態に係るFeFETを示す概略断面図である。図1に示すように、記憶装置10は、半導体層200、酸化物絶縁層210、強誘電体層220、ゲート電極230、及び電極250を有する。半導体層200は、半導体基板の一部（上層部分）であってもよく、例えばSOI（Silicon on Insulator）のように絶縁層基板の上に形成された半導体層であってもよい。酸化物絶縁層210は、半導体層200の上に設けられている。強誘電体層220は、酸化物絶縁層210の上に設けられている。酸化物絶縁層210及び強誘電体層220を併せてゲート絶縁層という場合がある。ゲート電極230は、強誘電体層220の上に設けられている。ゲート電極230は、第1導電層231及び第2導電層232を含む。なお、本実施形態では、ゲート電極230は2層構造であるが、ゲート電極230は1層構造であってもよく、3層以上の構造であってもよい。

[0017] 上記の構成を換言すると、以下のように表現することができる。ゲート電極230は半導体層200と対向する。酸化物絶縁層210は、半導体層200とゲート電極230との間に設けられている。強誘電体層220は、酸化物絶縁層210とゲート電極230との間に設けられている。なお、酸化物絶縁層210は界面層（an interface layer）ともいい、半導体層200はチャネル層（a channel layer）ともいう。

[0018] 半導体層200には、低抵抗領域201及びチャネル領域202が設けられている。低抵抗領域201は、平面視でゲート電極230とは重ならない

領域である。低抵抗領域201の半導体層200には、半導体層200の抵抗を下げる不純物が導入されている。例えば、半導体層200がシリコンを含む場合、記憶装置10がN型のMOSFETであれば、当該不純物としてリン(P)が用いられ、記憶装置10がP型のMOSFETであれば、ボロン(B)が用いられる。チャネル領域202は、離隔された2つの低抵抗領域201に挟まれた領域である。2つの低抵抗領域201のうち、一方はソース領域として機能し、他方はドレイン領域として機能する。チャネル領域202の半導体層200は、ゲート電極230に供給される電圧によってオン状態とオフ状態とが切り替えられる性質を備えている。

[0019] 酸化物絶縁層210は、チャネル領域202の半導体層200と接する。酸化物絶縁層210の膜厚は、5nm未満、3nm以下、2nm以下、1nm以下、又は0.7nm以下である。いずれの場合においても、酸化物絶縁層210の膜厚は0nmより大きい。酸化物絶縁層210は、例えば、半導体層200が酸化された層である。半導体層200がシリコン基板である場合、酸化物絶縁層210は酸化シリコンを含む。例えば、酸化物絶縁層210は、塩酸水、過酸化水素水、及び水の混合溶液を半導体層200に塗布する、又は当該混合溶液に半導体層200を浸漬させることで得られる。より具体的には、酸化物絶縁層210は、RCA洗浄に含まれるSC2(Standard Clean 2)処理によって形成される。ただし、酸化物絶縁層210は、半導体層200に対する熱酸化によって形成されてもよい。

[0020] 強誘電体層220は、外部から電界が印加されていない状態であっても電気双極子が整列している誘電体層である。強誘電体層220は、外部から電界が印加されることによって、電気双極子の向きが変化する誘電体層である。このような強誘電体層220がゲート絶縁層として用いられることで、強誘電体層220の電気双極子の向きによって記憶装置10の I_d-V_g 特性(I_d :ドレイン電流、 V_g :ゲート電圧)における閾値電圧がシフトする。このような特性を利用して、記憶装置10はメモリセルとして利用される。本実施形態では、強誘電体層220として、酸化ハフニウムを含む強誘電体が

用いられる。例えば、強誘電体層 220 として、酸化ハフニウム及び酸化ジルコニウムの混晶 ($\text{HZO} ; \text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$) が用いられる。強誘電体層 220 は酸化物絶縁層 210 と接する。強誘電体層 220 の膜厚は、3 nm より大きく 7 nm より小さい又は 4、6 nm 以上 6 nm 以下である。

[0021] 本実施形態では、強誘電体層 220 が酸化物絶縁層 210 と接する構成が例示されているが、強誘電体層 220 と酸化物絶縁層 210 との間に他の層が設けられていてもよい。強誘電体層 220 は、ハフニウム及び酸素に加えて、少なくともシリコン、マグネシウム、アルミニウム、バリウム、ジルコニウム、ガドリニウム、ランタン、サマリウム、窒素、及びイットリウムのいずれかを含んでもよい。

[0022] ゲート電極 230 は、記憶装置 10 のオン状態とオフ状態とを切り替えるための電圧（ゲート電圧）、又は強誘電体層 220 の電気双極子の向きを変化させるための電圧（プログラム電圧又は消去電圧）が供給される電極である。例えば、第 1 導電層 231 として窒化チタン、タングステン、窒化タングステン、ルテニウム、及び酸化ルテニウムを用いることができる。第 2 導電層 232 としてアルミニウム及び多結晶シリコンを用いることができる。

[0023] 酸化物絶縁層 210 及び強誘電体層 220 には、コンタクトが設けられている。当該コンタクトは、半導体層 200 の低抵抗領域 201 に達する。当該コンタクトの内部に導電層が成膜されることによって、電極 250 が形成されている。2 つの電極 250 のうち、ソース領域に接続される電極はソース電極であり、ドレイン領域に接続される電極はドレイン電極である。電極 250 として、一般的な金属材料が用いられる。例えば、電極 250 として、CVD (Chemical Vapor Deposition) 法で成膜することが可能なタングステンが用いられる。

[0024] [1-2. 記憶装置 10 の製造方法]

図 2 は、本発明の一実施形態に係る F e F E T の製造方法を示すシーケンス図である。図 2 に示すように、まず、半導体層 200 を含む基板に対して基板クリーニングを行う（ステップ S1001；基板クリーニング）。例え

ば、基板クリーニングとしてRCA洗浄を行う。RCA洗浄は、SC1処理（Standard Clean 1）及び上記のSC2処理を含む洗浄である。SC1処理は、水酸化アンモニウム水、過酸化水素水、及び水の混合溶液を半導体層200に塗布する、又は当該混合溶液に半導体層200を浸漬させる処理である。

[0025] 次に、フォトリソグラフィ工程によって、後のステップで低抵抗領域201になる領域が開口されたマスクを形成し、開口された領域の半導体層200に対して不純物のイオン注入を行う（ステップS1002；S/Dイオン注入）。次に、注入された不純物に対する熱活性化を行う（ステップS1003；熱活性化）。S1003における熱活性化は、例えば1000℃の熱処理によって行われる。

[0026] 次に、半導体層200の表面にSC2処理を行う。このSC2処理によって、半導体層200の表面に酸化物絶縁層210を形成する（ステップS1004；酸化物絶縁層形成）。このような薬液による酸化（ケミカル酸化）によって酸化物絶縁層210が形成される場合、形成された酸化物絶縁層210の膜厚は非常に薄い。詳細は後述するが、本実施形態では、形成された酸化物絶縁層210の膜厚は約0.7nmである。

[0027] 次に、酸化物絶縁層210の上に強誘電体層220を形成する（ステップS1005；強誘電体層形成）。強誘電体層220は、例えば原子層堆積法（ALD；Atomic Layer Deposition）によって形成される。ただし、強誘電体層220をその他の方法で形成してもよい。次に、強誘電体層220の上に第1導電層231及び第2導電層232（ゲート電極230）を形成する（ステップS1006；導電層形成）。S1006で形成された導電層に対してマスクを形成し、マスクを介して当該導電層に対してエッチングを行うことで、ゲート電極230のパターンを形成する（ステップS1007；ゲートパターニング）。S1007によって、ゲート電極230のパターンが形成された領域以外の強誘電体層220が露出される。

[0028] 次に、S1007で露出された強誘電体層220及びその下の酸化物絶縁層210にコンタクトを開孔し（ステップS1008；コンタクト開孔）、コンタクトの内部に導電層を成膜することで、電極250を形成する（ステップS1009；S/D電極形成）。S1009で電極250が形成された後に、熱処理を行う（ステップS1010；熱処理）。当該熱処理は、例えば、400℃、30秒の条件で行われる。

[0029] なお、本実施形態では、酸化物絶縁層210を形成する前にS1002のイオン注入を行う製造方法が例示されているが、この製造方法に限定されない。例えば、S1007のゲートパターンニングの後に、ゲートパターンをマスクとして半導体層200にイオン注入を行ってもよい。

[0030] [1-3. 強誘電体層220の断面TEM像]

本実施形態において、図1に示す記憶装置10であって、強誘電体層220の膜厚が異なる記憶装置10を作製して、各種評価を行った。図3は、本発明の一実施形態に係るFeFETの強誘電体層の断面TEM像である。図3では4つの断面TEM像が示されている。図3において、左から強誘電体層220の膜厚が11nm、8nm、6nm、及び4.6nmである記憶装置10の断面TEM像である。図3に示す断面TEM像から、本実施形態において用いられた強誘電体層220の膜厚がほぼ上記の数値通りであること、及び強誘電体層220が良好な結晶性を示すことが確認される。なお、図3に示す断面TEM像から、酸化物絶縁層210の膜厚が約0.7nmであることが確認される。

[0031] [1-4. 記憶装置10の I_d-V_g 特性]

図4は、本発明の一実施形態に係るFeFETの I_d-V_g 特性を示す図である。図4に示す4つのグラフは、それぞれ強誘電体層220の膜厚が異なる4種類の記憶装置10に対して測定された I_d-V_g 特性である。 V_g はゲート電極230に印加される電圧である。 I_d はソース電極として機能する電極250とドレイン電極として機能する電極250との間に流れる電流である。なお、ソース領域として機能する低抵抗領域201とドレイン領域として

機能する低抵抗領域201と間の距離（チャネル長）は $10\mu\text{m}$ であり、チャネル長に直交するチャネル幅は $100\mu\text{m}$ である。 I_d-V_g 特性測定時における電極250間のドレイン電圧は 0.05V である。図4に示す I_d-V_g 特性は、ゲート電極230に電圧を印加し続けた状態で V_g のスキャンを行っており、 V_g に高電圧が印加されると強誘電体層220において分極反転が起きる。このような I_d-V_g 特性を「DC I_d-V_g 」という場合がある。

[0032] 図4に示す各グラフにおいて、ゲート電圧のスキャン範囲が異なる複数の I_d-V_g 特性が表示されている。強誘電体層220の膜厚が 11nm （左上のグラフ）、 8nm （右上のグラフ）である記憶装置10のグラフでは、ゲート電圧のスキャン範囲が「 $-2\sim 3.5\text{V}$ （細い点線）」、「 $-1.5\sim 3\text{V}$ （細い破線）」、「 $-1\sim 2.5\text{V}$ （細い実線）」、及び「 $-0.5\sim 2\text{V}$ （太い破線）」である場合における I_d-V_g 特性が表示されている。強誘電体層220の膜厚が 6nm （左下のグラフ）である記憶装置10のグラフでは、ゲート電圧のスキャン範囲が「 $-2\sim 3.5\text{V}$ （細い点線）」、「 $-1.5\sim 3\text{V}$ （細い破線）」、「 $-1\sim 2.5\text{V}$ （細い実線）」、「 $-0.5\sim 2\text{V}$ （太い破線）」、及び「 $-0.25\sim 1.75\text{V}$ （太い実線）」である場合における I_d-V_g 特性が表示されている。強誘電体層220の膜厚が 4.6nm （右下のグラフ）である記憶装置10のグラフでは、ゲート電圧のスキャン範囲が「 $-1.5\sim 3\text{V}$ （細い破線）」、「 $-1\sim 2.5\text{V}$ （細い実線）」、「 $-0.5\sim 2\text{V}$ （太い破線）」、及び「 $-0.25\sim 1.75\text{V}$ （太い実線）」である場合における I_d-V_g 特性が表示されている。

[0033] 図4に示す I_d-V_g 特性の測定は、各スキャン範囲において、まず最小値から最大値に向かう方向（順方向；A）にスキャンされ、最大値で折り返し、最大値から最小値に向かう方向（逆方向；B）にスキャンされることにより行われる。 V_g に最小値の電圧（負の最大電圧）が印加されている場合、強誘電体層220の電気双極子は、正の電荷がゲート電極230に近づくように分極する。 V_g に印加される電圧が負の電圧から正の電圧に向かって変化し

、 V_g が所定の正の電圧より大きくなると電気双極子の向きが反転する。電気双極子の向きが反転すると、半導体層200に形成される電界が変化するため、記憶装置10の閾値電圧がシフトする。そのため、順方向Aにおける I_d-V_g 特性と逆方向Bにおける I_d-V_g 特性との間にヒステリシスが発生する。このヒステリシスによって、 I_d-V_g 特性の閾値電圧（例えば、 I_d が 10^{-6} Aであるときの V_g ）は、順方向と逆方向の場合で異なる。この閾値電圧の差をメモリウインドウ（MW）という。

[0034] ゲート電圧のスキャン範囲が「 $-0.5 \sim 2$ V（太い破線）」である場合について、強誘電体層220の各膜厚におけるMWを比較すると、以下のよう、強誘電体層220の膜厚が4.6 nm及び6 nmである条件では、十分なMWが得られる。なお、以下のMWの値は、順方向と逆方向の I_d-V_g 特性の閾値電圧（ I_d が 10^{-6} Aであるときの V_g ）の差である。

- ・ 4.6 nm : MW = 約0.8 V
- ・ 6 nm : MW = 約0.7 V
- ・ 8 nm : MW = 約0.3 V
- ・ 11 nm : MW = 約0.05 V

[0035] ゲート電圧のスキャン範囲が「 $-0.25 \sim 1.75$ V（太い実線）」である場合について、強誘電体層220の各膜厚におけるMWを評価すると、強誘電体層220の膜厚が4.6 nmである場合、MWは約0.5 Vであるのに対して、強誘電体層220の膜厚が8 nm及び11 nmである場合、MWはゼロである。したがって、強誘電体層220の膜厚が11 nm（左上のグラフ）及び8 nm（右上のグラフ）である記憶装置10では、太い実線の I_d-V_g 特性は表示されていない。

[0036] 強誘電体層220の膜厚が7 nmより小さければ、 $-0.5 \sim 2$ Vの低電圧範囲であっても十分なMWを得ることができる。他方、強誘電体層220強誘電体層の分極特性（強誘電特性）を確保するためには、強誘電体層220の膜厚が3 nmより大きいことが好ましい。

[0037] 記憶装置10のプログラム電圧及び消去電圧の絶対値を小さくするために

は、強誘電体層220の膜厚を小さくすることが必要であるが、上記のように、記憶装置10に要求される性能を考慮すると、強誘電体層220の膜厚は3 nmより大きく7 nmより小さいことが好ましい。

[0038] 図5は、本発明の一実施形態に係るFeFETのメモリウインドウ(MW)を示す図である。図5に示すプロットは、図4のグラフから算出されたMWである。図4においてゲート電圧のスキャン範囲が「-2~3.5 V(細い点線)」である場合のMWは、図5において「×」で示されている。図4においてゲート電圧のスキャン範囲が「-1.5~3 V(細い破線)」である場合のMWは、図5において「□」で示されている。図4においてゲート電圧のスキャン範囲が「-1~2.5 V(細い実線)」である場合のMWは、図5において「◇」で示されている。図4においてゲート電圧のスキャン範囲が「-0.5~2 V(太い破線)」である場合のMWは、図5において「△」で示されている。図4においてゲート電圧のスキャン範囲が「-0.25~1.75 V(太い実線)」である場合のMWは、図5において「○」で示されている。

[0039] 図5に示すように、ゲート電圧のスキャン範囲が相対的に高電圧である場合(特に「×」及び「□」)、強誘電体層220の膜厚が小さくなるほどMWが小さくなる傾向が確認される。同様に、強誘電体層220の膜厚が11 nm及び8 nmである条件では、ゲート電圧のスキャン範囲を狭くするほど(「×」→「○」に伴い)MWが小さくなる傾向が確認される。一方で、ゲート電圧のスキャン範囲が相対的に低電圧である場合(特に「△」及び「○」)、強誘電体層220の膜厚が小さくなるほどMWが大きくなる傾向が確認される。つまり、上記のように強誘電体層220の膜厚が薄く、スキャン範囲が低電圧であってもMWを確保することができるという効果は、強誘電体層220の膜厚が3 nmより大きく7 nmより小さい、かつゲート電圧のスキャン範囲が「-0.5~2 V」である特異な範囲で初めて認識される効果である。当該効果は、特に強誘電体層220の膜厚が4.6 nm以上6 nm以下であり、かつゲート電圧のスキャン範囲が「-0.25~1.75 V

」である範囲で、より顕著に現れる。

[0040] [1-5. 記憶装置10のエンデュランス特性]

図6は、本発明の一実施形態に係るF e F E Tのエンデュランス特性を示す図である。図6の2つのグラフは、いずれも記憶装置10のサイクル駆動によるエンデュランス特性を示す。これらのグラフにおいて、横軸はサイクル回数 (Cycling number) を示し、縦軸はMWを示す。サイクル駆動では、プログラム動作及び消去動作に相当するパルス電圧 (正のパルス電圧及び負のパルス電圧) が記憶装置10に繰り返し印加される。正のパルス電圧及び負のパルス電圧は、それぞれ電極250に0Vを印加した状態でゲート電極230に印加される。これらのパルス電圧のパルス幅は1 μ secである。図6の2つのグラフはサイクル駆動の条件が異なる。「High Voltage Same E」と記載された上のグラフは、相対的に高電圧 (以下の表1に示す電圧) でサイクル駆動が行われた場合のエンデュランス特性である。「Low Voltage Same MW (~0.5 V)」と記載された下のグラフは、相対的に低電圧 (以下の表2に示す電圧) でサイクル駆動が行われた場合のエンデュランス特性である。以下の実施形態において、サイクル駆動を開始してからMWがゼロになるまでの駆動期間をサイクル回数という。

[0041] 図6の上のグラフは、強誘電体層220にかかる電界の影響を抑制するために、強誘電体層220における電界強度が一定になるようにパルス電圧が調整されている。本実施形態において、まず強誘電体層220に対するP-V測定において、分極が反転しない領域からニュートラル電圧を求め、そのニュートラル電圧との電位差を強誘電体層220の膜厚で割ることで、強誘電体層220に係る電界強度が求められる。なお、ニュートラル電圧は、例えば後述する図8に示すP-V特性において、ゲート電圧 V_g を負電圧から正電圧に走査した場合に分極Polarizationがゼロになる電圧と、ゲート電圧 V_g を正電圧から負電圧に走査した場合に分極Polarizationがゼロになる電圧との中間点の電圧である。このように電界強度を求

めることで、強誘電体層 220 の膜厚の違いに起因する電界の影響を小さくすることができる。強誘電体層 220 の膜厚に対する「正のパルス電圧／負のパルス電圧」は表 1 の通りである。本実施形態において、「高電圧駆動」又は「高電圧サイクル」という場合、強誘電体層 220 の各膜厚に対して表 1 に示す電圧が印加されることを意味する。

[0042] [表1]

強誘電体層 220 の膜厚	正のパルス電圧	負のパルス電圧
4.6 nm	2.71 V	-1.71 V
6 nm	3.1 V	-2.1 V
8 nm	3.39 V	-2.39 V
11 nm	3.5 V	-2.5 V

[0043] 図 6 の下のグラフは、例えば図 4 に示す I_d-V_g 特性に基づいて、記憶装置 10 の MW が一定 (MW=約 0.5) になるようにパルス電圧が調整されている。具体的には、強誘電体層 220 の膜厚に対する「正のパルス電圧／負のパルス電圧」は表 2 の通りである。本実施形態において、「低電圧駆動」又は「低電圧サイクル」という場合、強誘電体層 220 の各膜厚に対して表 2 に示す電圧が印加されることを意味する。

[0044] [表2]

強誘電体層 220 の膜厚	正のパルス電圧	負のパルス電圧
4.6 nm	2.5 V	-1.5 V
6 nm	2.7 V	-1.7 V
8 nm	3.1 V	-2.15 V
11 nm	3.15 V	-2.3 V

[0045] 図 6 の上のグラフに示すように、強誘電体層 220 の膜厚が 8 nm 及び 11 nm である記憶装置 10 のサイクル回数 (MW が 0 V に達するときのサイ

クル駆動の回数)が約 5×10^4 サイクルであるのに対して、強誘電体層220の膜厚が4.6 nm及び6 nmである記憶装置10のサイクル回数は約 10^5 サイクルである。さらに、図6の下グラフに示すように、強誘電体層220の膜厚が4.6 nm及び6 nmである記憶装置10のサイクル回数は 10^6 サイクルに達している。

[0046] 上記のように、強誘電体層220の膜厚を薄膜化(4.6 nm及び6 nm)することによって、相対的に高電圧の条件であっても約 10^5 サイクル回数のエンデュランス特性を得ることができた。さらに、記憶装置10に印加するパルス電圧を低電圧化することによって、約 10^6 サイクル回数のエンデュランス特性を得ることができた。

[0047] [1-6. 高電圧駆動と低電圧駆動との境界]

上記の高電圧駆動における高電圧と低電圧駆動における低電圧との境界について説明する。詳細は後述するが、高電圧と低電圧との境界は、強誘電体層220のP-V特性又は強誘電体層220の膜厚に基づいて特定することができる。図38及び図39は、それぞれ本発明の一実施形態に係るFeFETに対する高電圧駆動における高電圧と低電圧駆動における低電圧との境界を示す図である。

[0048] まず、高電圧と低電圧との境界を強誘電体層220のP-V特性に基づいて特定する方法について説明する。この場合、まずは強誘電体層220のP-V特性から抗電圧 V_0 が導出される。抗電圧 V_0 は、分極(電気双極子)がある方向を向いた状態からその反対の方向を向いた状態に切り替わり始めるために必要な電圧である。つまり、抗電圧 V_0 は、例えば後述する図8に示すP-V特性において、ゲート電圧 V_g を負電圧から正電圧に走査した場合における、上記のニュートラル電圧と、分極の値が負の値から上昇してゼロになったときの電圧との差に相当する。

[0049] 表1及び表2に示す正のパルス電圧と負のパルス電圧との差を「書き込み電圧の範囲」と表現した場合、高電圧と低電圧との境界は抗電圧 V_0 に係数3.4を乗じた値によって特定される、という規則性があることが確認されて

いる。つまり、当該境界に基づいて、高電圧に区分される書き込み電圧の範囲と抗電圧 V_c との関係、及び低電圧に区分される書き込み電圧の範囲と抗電圧 V_c との関係は、それぞれ以下のような規則性があることが確認されている。

- ・高電圧に区分される書き込み電圧の範囲 $>3.4 \times V_c$ 。
- ・低電圧に区分される書き込み電圧の範囲 $<3.4 \times V_c$ 。

[0050] 図38において、縦軸は書き込み電圧の範囲($V_{g,n} - V_{g,p}$ [V])であり、横軸は強誘電体層220の膜厚(Thickness [nm])である。表1及び表2に基づいて、低電圧に区分される書き込み電圧の範囲は図38において「○」で示されており、高電圧に区分される書き込み電圧の範囲は図38において「×」で示されている。抗電圧 $V_c \times 3.4$ は、図38において「□」で示されている。図38に示すように、強誘電体層220の各膜厚において、抗電圧 $V_c \times 3.4$ 「□」より大きい書き込み電圧の範囲は高電圧に区分され、抗電圧 $V_c \times 3.4$ 「□」より小さい書き込み電圧の範囲は低電圧に区分される。

[0051] 次に、高電圧と低電圧との境界を強誘電体層220の膜厚に基づいて特定する方法について説明する。この場合、図39の実線に示すように、高電圧と低電圧との境界は、強誘電体層220の膜厚を関数とする以下の式で導出することができる。

$$y = -0.03x^2 + 0.7x + 1.65$$

[0052] なお、上記の式において「 x 」は強誘電体層220の膜厚(Thickness [nm])であり、「 y 」は書き込み電圧の範囲($V_{g,n} - V_{g,p}$ [V])である。図39において、縦軸及び横軸は図38の縦軸及び横軸と同じである。

[0053] 図39に示すように、強誘電体層220の各膜厚において、上記の式(図39の実線)より大きい書き込み電圧の範囲は高電圧に区分され、上記の式より小さい書き込み電圧の範囲は低電圧に区分される。

[0054] [1-7. サイクル駆動による記憶装置10の疲労メカニズム]

図7～図10を用いて、サイクル駆動による記憶装置10の疲労メカニズムについて説明する。従来、強誘電体層を用いたメモリセルに対するサイクル駆動でMWが小さくなる現象（MWの狭小化）は、例えば半導体層200と酸化物絶縁層210との界面及び酸化物絶縁層210と強誘電体層220との界面の劣化に起因すると考えられていた。具体的には、サイクル駆動によってこれらの界面に電荷のトラップ準位が発生し、そのトラップ準位に電荷がトラップされることによってMWの狭小化が起きると考えられていた。そして、この界面劣化は、その後の処理で回復しないという認識が技術常識だった。

[0055] 本発明に至る過程において、発明者らは、メモリセルに対して高電圧のサイクル駆動を行った場合と低電圧のサイクル駆動を行った場合とでMWの狭小化のメカニズムが異なることをつきとめた。そして、発明者らは、低電圧のサイクル駆動によってMWが小さくなる原因が、従来の技術常識とは異なる強誘電体層の疲労によるものであることを明らかにした。さらに、発明者らは、この強誘電体層の疲労に対する回復方法を確認し、サイクル駆動によって一度小さくなったMWを回復によって大きくすることに成功した。

[0056] 図7は、本発明の一実施形態に係るF e F E Tに対して低電圧駆動又は高電圧駆動を行った場合における I_d-V_g 特性の変化を示す図である。図7に示す I_d-V_g 特性は、サイクル駆動開始前の I_d-V_g 特性（実線；Initial）及びサイクル駆動後の I_d-V_g 特性（破線；After cycling）である。図7の上のグラフは、高電圧サイクル（High Voltage）前後の I_d-V_g 特性を示し、下のグラフは、低電圧サイクル（Low Voltage）前後の I_d-V_g 特性を示す。図7に示す I_d-V_g 特性は、強誘電体層220の膜厚が6 nmである記憶装置10の I_d-V_g 特性である。つまり、高電圧サイクルにおける正のパルス電圧は3.1 Vであり、負のパルス電圧は-2.1 Vである。一方、低電圧サイクルにおける正のパルス電圧は2.7 Vであり、負のパルス電圧は-1.7 Vである。図7に示す I_d-V_g 特性は、ゲート電極230に1 μ secのパルス電圧を印加す

ることで電気双極子の向きを変化させたあと、同じゲート電極に 0.1 sec の V_g のスキャンを行って $I_d - V_g$ 特性を評価している。このように V_g のスキャンを行うことで、 $I_d - V_g$ 特性の評価中における強誘電体層 220 の分極特性への影響は小さい。このような $I_d - V_g$ 特性を「ファスト $I_d - V_g$ 」という場合がある。

[0057] 図 7 に示す実線／点線の直角三角形の斜線は、サイクル駆動前／後の $I_d - V_g$ 特性において、閾値電圧付近の傾きを示す。図 7 の上のグラフに示すように、高電圧サイクル前後の $I_d - V_g$ 特性において、MW の狭小化とともに S 値が大きく変化している。実線及び点線の直角三角形の斜線から判るように、高電圧サイクル前に比べて、高電圧サイクル後の S 値は大きい。つまり、高電圧サイクルによって、 $I_d - V_g$ 特性における電流値の立ち上がりが緩やかになっている。一方、図 7 の下のグラフに示すように、低電圧サイクル前後の $I_d - V_g$ 特性において、MW が狭小化しているにも拘わらず S 値はほとんど変化していない。このような現象から、低電圧サイクルによる MW の狭小化のメカニズムは、高電圧サイクルによる MW の狭小化のメカニズムと異なると考えられる。

[0058] そこで、高電圧サイクル及び低電圧サイクルの各々の前後で $P - V$ 特性を測定し、強誘電体層 220 の分極特性を調べた結果を図 8 に示す。図 8 は、本発明の一実施形態に係る $FeFeT$ に対して低電圧駆動又は高電圧駆動を行った場合における $P - V$ 特性の変化を示す図である。図 8 に示す $P - V$ 特性は、サイクル駆動開始前の $P - V$ 特性（実線；*Initial*）とサイクル駆動後の $P - V$ 特性（破線；*After cycling*）である。各 $P - V$ 特性を示すグラフの横軸はゲート電圧 V_g [V] であり、縦軸は分極 *Polarization* [$\mu C/cm^2$] である。図 8 の上のグラフ（*High Voltage*）は、高電圧サイクル前後の $P - V$ 特性を示し、下のグラフ（*Low Voltage*）は、低電圧サイクル前後の $P - V$ 特性を示す。図 8 に示す $P - V$ 特性は、強誘電体層 220 の膜厚が 6 nm である記憶装置 10 の $P - V$ 特性である。高電圧サイクル及び低電圧サイクルにおけるパ

ルス電圧は図7で説明したパルス電圧と同じである。

[0059] 図8の上のグラフに示すように、高電圧サイクルの前後でP-V特性の大きな変化はない。一方、図8の下グラフに示すように、低電圧サイクルの前後でP-V特性は大きく変化している。つまり、低電圧サイクルによって強誘電体層220の分極特性に変化が生じている。このような現象を強誘電体の「疲労」という。強誘電体の疲労は分極反転の繰り返しによって、残留分極の電荷量が低下することに起因すると考えられる。

[0060] 高電圧サイクルによって記憶装置10に印加されるパルス電圧は、従来のメモリセルに対するパルス電圧と同じである。したがって、高電圧サイクルによって生じるMWの狭小化は、図9に示すように、半導体層200と酸化物絶縁層210との界面及び酸化物絶縁層210と強誘電体層220との界面に発生する電荷のトラップ準位（図9の「X」）によって起きていると考えられる。なお、図9は、本発明の一実施形態に係るFeFETに対して高電圧駆動を行った場合におけるFeFETのMWの狭小化のメカニズムを示す図である。図7に示すように、高電圧サイクルの後にS値が大きくなる現象は、ドレイン電流 I_d の立ち上がり付近で半導体層200と酸化物絶縁層210との界面付近に発生した電荷のトラップ準位に電子がトラップされたことに起因すると考えられる。一方、図8に示すように、高電圧サイクルの前後でP-V特性はほとんど変化していないことから、高電圧サイクルによって強誘電体層220の疲労は起きていないと考えられる。

[0061] 一方、図7に示すように、低電圧サイクルの前後でS値はほとんど変化していない。したがって、低電圧サイクルによって生じるMWの狭小化は、上記の界面劣化に起因するものではないと考えられる。図8に示すように、低電圧サイクルの前後でP-V特性が大きく変化したことから、図10に示すように、低電圧サイクルによって強誘電体層220に疲労が起きたと考えられる。したがって、低電圧サイクルによって生じるMWの狭小化は、強誘電体層220の疲労によって起きたと考えられる。なお、図10は、本発明の一実施形態に係るFeFETに対して低電圧駆動を行った場合におけるFe

F E TのMWの狭小化のメカニズムを示す図である。

[0062] 上記のように、発明者らは、本発明に至る過程において、低電圧サイクルによるMWの狭小化のメカニズムが高電圧サイクルによるMWの狭小化のメカニズムとは異なることをつきとめた。さらに、発明者らは、低電圧サイクルによるMWの狭小化が強誘電体層の疲労によるものであることを明らかにした。

[0063] [1-8. 強誘電体層220の疲労の回復動作]

図11を用いて、強誘電体層220の疲労の回復動作について説明する。図11は、本発明の一実施形態に係るF e F E Tに対するサイクル駆動後の回復動作の概略を示す図である。図11において、「P」はプログラム動作に相当する正のパルス電圧を示す。「R」は読み出し動作（ファスト I_d-V_g の測定）に相当する印加電圧を示す。「E」は消去動作に相当する負のパルス電圧を示す。正のパルス電圧及び負のパルス電圧のパルス幅はともに1 μ secである。「cycle 1」は、1回目のサイクル駆動を示す。「cycle 2」は、2回目のサイクル駆動を示す。「Recovery」は、回復動作を示す。

[0064] 回復動作において、強誘電体層220の膜厚が4.6 nmである場合、20秒の間に、-2 Vから3 Vまでの昇圧及び3 Vから-2 Vまでの降圧が実行される。強誘電体層220の膜厚が6 nm、8 nm、又は11 nmである場合、22秒の間に、-2 Vから3.5 Vまでの昇圧及び3.5 Vから-2 Vまでの降圧が実行される。図11の例では、回復動作が実行される時間が秒オーダーであるが、図11に示す回復動作は試験的な処理であり、詳細は後述するが、現実的にはもっと短い時間で回復動作を行うことができる。

[0065] 1回目のサイクル駆動の前に実行されるプログラム動作、消去動作、及びこれらの動作後の読み出し動作によって、後述する図12の初期（Initial）の I_d-V_g 特性が得られる。1回目のサイクル駆動では、正のパルス電圧及び負のパルス電圧が交互に印加され、所定の回数毎に読み出し動作が実行されることでエンデュランス特性が得られる。サイクル駆動は、エン

デュランス特性において、MWがゼロと判定されると終了する。1回目のサイクル駆動の後に実行されるプログラム動作、消去動作、及びこれらの動作後の読み出し動作によって、後述する図12のサイクル後（After cycling）の I_d-V_g 特性が得られる。回復動作の後かつ2回目のサイクル駆動の前に実行されるプログラム動作、消去動作、及びこれらの動作後の読み出し動作によって、後述する図12の回復動作後（Recovery）の I_d-V_g 特性が得られる。その後、1回目のサイクル駆動と同様に2回目のサイクル駆動が実行される。

[0066] 図12は、本発明の一実施形態に係るFeFETに対する高電圧駆動または低電圧駆動後の回復動作による I_d-V_g 特性の変化を示す図である。図12に示す I_d-V_g 特性は、サイクル駆動開始前の I_d-V_g 特性（細い実線；Initial）、サイクル駆動後の I_d-V_g 特性（細い破線；After cycling）、及び回復動作後の I_d-V_g 特性（太い実線；Recovery）である。図12の上のグラフは、高電圧サイクル（High Voltage）前後の I_d-V_g 特性を示し、下のグラフは、低電圧サイクル（Low Voltage）前後の I_d-V_g 特性を示す。図12に示す I_d-V_g 特性は、強誘電体層220の膜厚が6 nmである記憶装置10の I_d-V_g 特性である。つまり、高電圧サイクルにおける正のパルス電圧は3.1 Vであり、負のパルス電圧は-2.1 Vである。一方、低電圧サイクルにおける正のパルス電圧は2.7 Vであり、負のパルス電圧は-1.7 Vである。

[0067] 図12に示す I_d-V_g 特性は、図7と同様にファスト I_d-V_g である。図12に示すグラフにおけるサイクル駆動開始前（Initial）及びサイクル駆動後（After cycling）の I_d-V_g 特性は、図7に示すこれらの I_d-V_g 特性と同じである。図12に示すように、高電圧サイクル及び低電圧サイクルの両方において、回復動作後（Recovery）にMWが大きくなっている。

[0068] 高電圧サイクル後の回復動作によって回復したMWは約0.2 Vである。低電圧サイクル後の回復動作によって回復したMWは約0.4 Vである。た

だし、低電圧サイクル前後のMWの変化は、高電圧サイクル前後のMWの変化に比べて小さい。つまり、低電圧サイクルの方が回復動作による効果が高い。このように、低電圧サイクルによるMWの狭小化は、上記の回復動作によって回復可能である。つまり、強誘電体層220の疲労は上記の回復動作で回復可能である。

[0069] 図13は、本発明の一実施形態に係るFeFETに対する回復動作後のエンデュランス特性を示す図である。図13に示す4つのエンデュランス特性は、いずれも低電圧サイクルによるMWの変化に基づいて得られたエンデュランス特性である。これらのグラフにおいて、横軸はサイクル回数(Cycling number)を示し、縦軸はMWを示す。4つのグラフは、強誘電体層220の膜厚が異なる記憶装置10に対するエンデュランス特性である。左上、右上、左下、及び右下のグラフは、それぞれ強誘電体層220の膜厚が11nm、8nm、6nm、4.6nmである記憶装置10に対するエンデュランス特性である。

[0070] サイクル駆動におけるパルス電圧として、各膜厚条件によって表2に示す電圧が印加される。各グラフにおいて、1回目のサイクル駆動(サイクル1)におけるエンデュランス特性(細い破線; Cycle 1)、2回目のサイクル駆動(サイクル2)におけるエンデュランス特性(細い実線; Cycle 2)、及び3回目のサイクル駆動(サイクル3)におけるエンデュランス特性(太い実線; Cycle 3)が表示されている。1回目と2回目のサイクル駆動の間及び2回目と3回目のサイクル駆動の間で、図11に示す回復動作が実行されている。

[0071] 強誘電体層220の膜厚が11nmである記憶装置10のエンデュランス特性(左上のグラフ)を参照すると、サイクル2及びサイクル3の初期のMWは、サイクル1の初期のMWの半分以下である。さらに、サイクル2及びサイクル3のサイクル回数は、いずれもサイクル1のサイクル回数と比べて約1桁少ない。つまり、この条件では、上記の回復動作を行ってもエンデュランス特性の十分な回復効果を得ることができない。

- [0072] 強誘電体層 220 の膜厚が 8 nm である記憶装置 10 のエンデュランス特性（右上のグラフ）を参照すると、サイクル 2 及びサイクル 3 の初期の MW は、サイクル 1 の初期の MW の半分程度である。さらに、サイクル 2 及びサイクル 3 のサイクル回数は、いずれもサイクル 1 のサイクル回数と比べて少ない。しかし、11 nm の条件に比べると、サイクル 2 及びサイクル 3 のサイクル回数は多い。つまり、この条件では、上記の回復動作を行ってもエンデュランス特性の十分な回復効果を得ることができないが、11 nm の条件に比べると回復効果を得ることができる。
- [0073] 強誘電体層 220 の膜厚が 6 nm である記憶装置 10 のエンデュランス特性（左下のグラフ）を参照すると、サイクル 2 及びサイクル 3 の初期の MW は、サイクル 1 の初期の MW より小さい。しかし、サイクル 2 及びサイクル 3 の初期の MW は、上記の 11 nm の条件及び 8 nm の条件のサイクル 2 及びサイクル 3 の初期の MW より大きい。一方で、サイクル 1 ～サイクル 3 のサイクル回数には有意差はなく、いずれのサイクルにおいてもサイクル回数は 10^6 サイクルに達している。つまり、この条件では、上記の回復動作によってエンデュランス特性の十分な回復効果を得ることができる。
- [0074] 強誘電体層 220 の膜厚が 4.6 nm である記憶装置 10 のエンデュランス特性（右下のグラフ）を参照すると、サイクル 2 及びサイクル 3 の初期の MW は、サイクル 1 の初期の MW より小さい。しかし、6 nm の条件に比べると、サイクル回数が増加しても MW は低下しにくい。サイクル 2 及びサイクル 3 のサイクル回数はサイクル 1 のサイクル回数に比べて少なくなっているが、サイクル 2 及びサイクル 3 においてもサイクル回数は 10^6 サイクルに近い結果が得られている。つまり、この条件では、上記の回復動作によってエンデュランス特性の十分な回復効果を得ることができる。
- [0075] 上記のように、強誘電体層 220 の膜厚が 6 nm 以下である記憶装置 10 に対して低電圧サイクルを実行した場合、回復動作によってエンデュランス特性の十分な回復効果を得ることができる。
- [0076] [1-9. 回復動作におけるパルス電圧の印加方法]

図14～図19を用いて、回復動作におけるパルス電圧の印加方法及び各方法による回復動作後のエンデュランス特性を評価した結果について説明する。図14～図16は、本発明の一実施形態に係るF e F E Tに対するサイクル駆動後の回復動作における回復パルスの極性を示す図である。図17～図19は、本発明の一実施形態に係るF e F E Tの回復動作後のMWについて、回復パルスの極性依存性、電圧依存性、及びパルス幅依存性を示す図である。なお、図14～図19は、強誘電体層220の膜厚が5.2nmである記憶装置10に対するパルス電圧の印加方法及び評価結果である。回復動作におけるパルス電圧を「回復パルス」という。

[0077] 図14は、回復動作として「正のパルス電圧 (Positive Pulse)」を印加する方法を示す。図14において、回復動作 (Recovery) はサイクル1 (cycle1) の後に実行される。図14のサイクル1は、図11のサイクル1と同じである。ただし、上記のように、図14～図19で説明する記憶装置10の強誘電体層220の膜厚が5.2nmであり、サイクル1における正のパルス電圧は2.5Vであり、負のパルス電圧は-1.5Vである。図14に示す回復パルスとして、正のパルス電圧のみを強誘電体層220に印加する。回復動作における正のパルス電圧は3Vであり、パルス幅は1μsecである。当該パルス波形は略矩形である。

[0078] 図15は、回復動作として「負のパルス電圧 (Negative Pulse)」を印加する方法を示す。図15に示す回復パルスとして、負のパルス電圧のみを強誘電体層220に印加する。この点を除き、図15に示す印加方法は図14の印加方法と同じである。回復動作における負のパルス電圧は-2Vであり、パルス幅は1μsecである。当該パルス波形は略矩形である。

[0079] 図16は、回復動作として「バイポーラパルス電圧 (Bipolar Pulse)」を印加する方法を示す。図16に示す回復パルスとして、正のパルス電圧及び負のパルス電圧を強誘電体層220に交互に印加する。この点を除き、図16に示す印加方法は図14の印加方法と同じである。回復動

作における正のパルス電圧は3 Vであり、負のパルス電圧は-2 Vであり、これらのパルス幅は1 μ secである。当該パルス波形は略矩形である。

[0080] 図17は、図14～図16に示す回復動作におけるパルス電圧（回復パルス）について評価した結果を示す。図17は、サイクル駆動後に、特定のパルス数で回復動作を行ったあとのMWを示す。図17のグラフにおいて、一番左のプロットはサイクル駆動開始前（Initial）のMWを示し、左から二番目のプロットはサイクル駆動後（After cycling）のMWを示す。左から三番目以降（パルス数（Pulse number）が1（1. E+00）以降）のプロットは、それぞれ所定回数のパルス電圧を印加した後に測定されたMWを示す。図17において、「○」はバイポーラパルス電圧を印加した場合の評価結果を示す。「□」は負のパルス電圧を印加した場合の評価結果を示す。「×」は正のパルス電圧を印加した場合の評価結果を示す。各条件において、正のパルス電圧又は負のパルス電圧が1回印加されると、パルス数が1カウントされる。なお、1回のバイポーラパルス電圧には、正のパルス電圧及び負のパルス電圧が1回ずつ含まれるため、バイポーラパルス電圧の最小パルス数は2である。

[0081] 図17に示すように、回復動作においてバイポーラパルス電圧を印加した条件で最もMWが大きくなる結果が得られた。一方、正のパルス電圧を印加した条件で最もMWが小さくなる結果が得られた。回復動作においてバイポーラパルス電圧を印加した条件及び負のパルス電圧を印加した条件では、狭小化したMWを効率的に回復することができる。特に、バイポーラパルス電圧を印加した条件では、パルス数が2（2. E+0）だけで顕著なMWの回復効果が得られている。一方、回復動作において正のパルス電圧を印加した条件では、0から10⁴回のパルス電圧を印加した場合において、最大でも0.1 V程度のMWの回復効果しか得られなかった。つまり、回復動作において、バイポーラパルス電圧を印加することで、良好なMWを得ることができる。

[0082] 図18は、回復動作においてバイポーラパルス電圧を印加する方法におい

て、正のパルス電圧及び負のパルス電圧について電圧依存性を評価した結果を示す。図18において、回復動作における「正のパルス電圧／負のパルス電圧」は $[2.7\text{ V} / -1.7\text{ V}]$ 、 $[3\text{ V} / -2\text{ V}]$ 、及び $[3.3\text{ V} / -2.3\text{ V}]$ である。これらのパルス幅は $1\text{ }\mu\text{sec}$ である。図18において、「□」は、回復動作におけるパルス電圧として $[3.3\text{ V} / -2.3\text{ V}]$ が印加された場合の評価結果を示す。「○」は、パルス電圧として $[3\text{ V} / -2\text{ V}]$ が印加された場合の評価結果を示す。「×」は、パルス電圧として $[2.7\text{ V} / -1.7\text{ V}]$ が印加された場合の評価結果を示す。

[0083] 図18に示すように、 $[2.7\text{ V} / -1.7\text{ V}]$ の条件における回復動作後のMWに比べて $[3\text{ V} / -2\text{ V}]$ 及び $[3.3\text{ V} / -2.3\text{ V}]$ の条件における回復動作後のMWの方が大きい結果が得られた。つまり、回復動作において、正のパルス電圧として3V以上の電圧を印加し、負のパルス電圧として-2V以下の電圧を印加することで、良好なMWを得ることができる。

[0084] 上記の正のパルス電圧を「第1パルス電圧」といい、負のパルス電圧を「第2パルス電圧」という場合がある。また、第1パルス電圧によって印加される電圧を「第1電圧」といい、第2パルス電圧によって印加される電圧を「第2電圧」という場合がある。この場合、上記のように回復動作後に良好なMWを得るためのパルス電圧の条件を以下のように表現することができる。第1電圧は正極性であり、第1電圧の絶対値は3.0V以上である。第2電圧は負極性であり、第2電圧の絶対値は2.0V以上である。

[0085] なお、酸化物絶縁層210及び強誘電体層220の耐圧を考慮すると、第1電圧及び第2電圧の絶対値は8.0V以下であることが好ましい。つまり、正のパルス電圧は3.0V以上8.0V以下であることが好ましい。負のパルス電圧は-8.0V以上-2.0V以下であることが好ましい。

[0086] 図19は、回復動作においてバイポーラパルス電圧を印加する方法において、パルス幅依存性を評価した結果を示す。図19において、回復動作における「正のパルス電圧／負のパルス電圧」は $[2.7\text{ V} / -1.7\text{ V}]$ であり、各パルス電圧のパルス幅は $1\text{ }\mu\text{sec}$ 、 $10\text{ }\mu\text{sec}$ 、 $100\text{ }\mu\text{sec}$

、及び1 msecである。図19において、「◇」は、パルス幅が1 msecである場合の評価結果を示す。「○」は、パルス幅が100 μ secである場合の評価結果を示す。「□」は、パルス幅が10 μ secである場合の評価結果を示す。「△」は、パルス幅が1 μ secである場合の評価結果を示す。

[0087] 図19に示すように、パルス幅が大きいほど回復動作後のMWが大きい傾向があるが、パルス幅が1 μ sec～1 msecの範囲では、パルス幅に対するMWの変化は大きくはなく、いずれの条件においても良好なMWを得ることができる。なお、図19におけるパルス幅の最小値は1 μ secであるが、本実施形態において回復動作の効果が得られるパルス幅は0.1 μ sec以上である。なお、パルス幅は、0.2 μ sec以上、0.3 μ sec以上、又は0.5 μ sec以上であってもよい。

[0088] 図17に示す結果から、回復動作において、負の電圧を強誘電体層220に印加することでMWの回復効果を得ることができる。さらに、負のパルス電圧と正のパルス電圧とを交互に繰り返し強誘電体層220に印加することで、より高いMWの回復効果を得ることができる。

[0089] 図19の結果からも判るように、回復動作による強誘電体層220の疲労回復の効果は、強誘電体層220に印加されるパルス電圧の総時間の影響を受ける。したがって、例えば、正のパルス電圧の印加回数をm回（mは1以上の整数）、負のパルス電圧の印加回数をn回（nは1以上の整数）とし、正のパルス電圧のパルス幅をa μ sec、負のパルス電圧のパルス幅をb μ secとすると、回復動作に適した条件は「式1」及び「式2」のように表すことができる。

$$0.1 \mu\text{sec} \leq a \times m < 250 \mu\text{sec} \quad (\text{式1})$$

$$0.1 \mu\text{sec} \leq b \times n < 250 \mu\text{sec} \quad (\text{式2})$$

[0090] a $\times$ mの値が式1の下限未満であり、b $\times$ nの値が式2の下限未満である場合、強誘電体層220の疲労回復が不十分であり、MWが十分に回復しない。a $\times$ mの値が式1の上限以上であり、b $\times$ nの値が式2の上限以上であ

る場合、後述するメモリシステム20において、回復動作にかかる時間が長くなってしまうため、ユーザに不快感を与えてしまう。

[0091] 上記のように、強誘電体層220の膜厚が3nmより大きく7nmより小さいことで、低電圧のサイクル駆動が可能になるため、エンデュランス特性が高い記憶装置10を実現することができる。さらに、低電圧のサイクル駆動によってMWが狭小化した場合であっても、回復動作におけるパルス電圧として、バイポーラパルス電圧が印加され、当該バイポーラパルス電圧における正のパルス電圧が3V以上であり、負のパルス電圧が-2V以下であり、これらのパルス電圧のパルス幅が0.1μsec以上であることで、狭小化したMWを回復（大きく）することができ、回復動作後であってもエンデュランス特性が高い記憶装置10を実現することができる。

[0092] [2. 第2実施形態]

図20～図24を用いて、第1実施形態で説明した記憶装置10が用いられたメモリチップ300について説明する。

[0093] [2-1. メモリチップ300の構成]

図20は、本発明の一実施形態に係るメモリセルアレイの概略図である。図20に示すように、メモリチップ300は、メモリセルアレイ310及び周辺回路320を備える。周辺回路320は、メモリセルアレイ310の周辺に設けられている。本実施形態では、周辺回路320は、メモリセルアレイ310のX方向及びY方向に設けられている。

[0094] メモリセルアレイ310は、Y方向に配列された複数のメモリブロックMB0～MBjを備える（jは自然数である）。メモリブロックMB0～MBjの各々は、複数のページを備えている。各ページには、上記の記憶装置10を備えたメモリセルがマトリクス状に配置されている。ページはデータの読み出し動作及びプログラム動作を実行する単位である。一方、メモリブロックMBi（iは0以上j以下の整数である）はデータの消去動作を実行する単位である。

[0095] 周辺回路320は、外部から受信した命令に応じて電圧を生成し、生成さ

れた電圧をメモリセルアレイ 310 に印加することで、当該命令によって指定されたページ又はメモリブロックに対するプログラム動作、読み出し動作、又は消去動作を実行する。

[0096] 図 21 は、本発明の一実施形態に係るメモリセルアレイの回路図である。図 21 に示す回路図は、1つのメモリブロック MB_i の構成を示す等価回路図である。メモリブロック MB_i は、メモリセル MC、選択トランジスタ STD、STS、ビット線 BL (BL₁ ~ BL_m)、ソース線 SL、ワード線 WL (WL₁ ~ WL_n)、及び選択ゲート線 SGD、SGS を備えている。メモリセル MC として、第 1 実施形態で説明した記憶装置 10 が用いられる。なお、m 及び n は 2 以上の自然数である。

[0097] メモリセル MC 及び選択トランジスタ STD、STS は、ビット線 BL とソース線 SL との間で直接に接続されている。このように、ビット線 BL とソース線 SL との間で直接に接続された複数のメモリセル MC をメモリストリングという場合がある。

[0098] 周辺回路 320 がビット線 BL、ソース線 SL、ワード線 WL、及び選択ゲート線 SGD、SGS に供給される電圧を制御することで、命令によって指定されたページ又はメモリブロックに対するプログラム動作、読み出し動作、又は消去動作が実行される。

[0099] [2-2. メモリシステム 20 の構成]

図 22 は、本発明の一実施形態に係るメモリシステムの概略図である。図 22 に示すように、メモリシステム 20 は、メモリチップ 300 及びメモリコントローラ 400 を含む。メモリコントローラ 400 はホスト 500 と通信し、ホスト 500 からの命令に基づいてメモリチップ 300 を制御する。

[0100] メモリコントローラ 400 は、論物変換テーブル 410、MPU 420、動作回数保持部 430、ECC 回路 440、及びエラー率保持部 450 を備えている。論物変換テーブル 410 は、ホスト 500 から受信した命令に含まれる論理アドレスと、メモリセルアレイ 310 の各ページに割り当てられた物理アドレスとを関連付けて保持する。動作回数保持部 430 は、メモリ

ブロックMB i 又はページに対応する物理アドレスと、メモリブロックMB i 又はページに対して実行されたプログラム動作、読み出し動作、又は消去動作の回数とを関連付けて保持する。ECC回路440は、メモリチップ300から読み出されたデータの誤りを検出し、データに誤りがある場合、データの訂正を行う。エラー率保持部450は、メモリブロックMB i 又はページに対応する物理アドレスと、メモリブロックMB i 又はページに対応するビットエラー率とを関連付けて保持する。当該ビットエラー率は、各ページについて算出されたビットエラー率の平均値であってもよく、その最大値であってもよい。MPU420は、論物変換テーブル410、動作回数保持部430、ECC回路440、及びエラー率保持部450と協働してメモリチップ300の制御を行う。メモリコントローラ400又はMPU420を制御回路という場合がある。この場合、制御回路がメモリセルアレイ310を制御する、ということができる。

[0101] [2-3. メモリシステム20の動作]

図23は、本発明の一実施形態に係るメモリシステムの回復動作を示すフローチャートである。図23に示すフローチャートにおける各ステップは、メモリコントローラ400の論物変換テーブル410、MPU420、動作回数保持部430、ECC回路440、及びエラー率保持部450が協働することで実行される。

[0102] まず、メモリコントローラ400がホスト500からプログラム命令又は消去命令を受信すると（ステップS1101；プログラム／消去コマンド）、MPU420は、当該命令によって指定された論理アドレスに基づき、プログラム可能又は消去対象のメモリブロックMB i 又はページに対応する物理アドレスを取得する（ステップS1102；物理アドレス取得）。次に、MPU420は、取得した物理アドレス及びプログラム命令又は消去命令をメモリチップ300に送信し、プログラム動作又は消去動作を実行する（ステップS1103；プログラム／消去命令）。次に、MPU420は、動作回数保持部430を参照して、上記の動作を実行した物理アドレスに対応す

るメモリブロックMB_i又はページのプログラム回数又は消去回数を更新する（ステップS1104；プログラム／消去回数更新）。

[0103] 続いて、MPU420は、更新された動作回数保持部430を参照して、更新後のメモリブロックMB_i又はページ（に含まれるメモリセル）に対するプログラム動作又は消去動作の実行回数が所定数（閾値）に達したか否かを判定する（ステップS1105； $\geq$ 閾値？）。S1105で当該実行回数が閾値に達していると判定した場合（S1105の「Yes」）、MPU420はメモリチップ300に対して第1実施形態で説明した回復動作を実行させる（ステップS1106；回復動作実行）。一方、S1105で上記実行回数が閾値未満であれば（S1105の「No」）、MPU420は図23のフローチャートを終了する。

[0104] 回復動作は、第1極性の第1電圧と、第1極性とは逆の第2極性の第2電圧と、を強誘電体層220に印加する電圧供給動作である。第1実施形態の図16では、第1極性が正極性であり、第1電圧が正のパルス電圧である。正極性において、プログラム動作における最大電圧（2.5V）より大きい3Vのパルス電圧が供給される。一方、図16では、第2極性が負極性であり、第2電圧が負のパルス電圧である。負極性において、消去動作における最大電圧（-1.5V）より大きい-2Vのパルス電圧が供給される。なお、上記の正極性又は負極性における電圧の大小関係は、各動作における電圧の絶対値の大小関係を意味する。つまり、仮にプログラム動作において負の電圧（例えば、-2.5V）が印加され、消去動作において正の電圧（例えば1.5V）が印加される場合、第1極性が負極性であり、第1電圧が負のパルス電圧であり、第1極性の第1電圧として-3Vのパルス電圧が供給され、第2極性の第2電圧として2Vのパルス電圧が供給される。

[0105] 図24は、本発明の一実施形態に係るメモリシステムの回復動作を示すフローチャートである。図24に示すフローチャートにおける各ステップは、図23の各ステップと同様に、メモリコントローラ400の論物変換テーブル410、MPU420、動作回数保持部430、ECC回路440、及び

エラー率保持部450が協働することで実行される。

[0106] 図24のフローチャートのうちステップS1201～S1203は、図23のS1101～S1103と同じなので、説明を省略する。ただし、MPU420は、S1201～S1203の前における読み出し動作において、メモリチップ300から受信したデータをECC回路440に送信し、このデータのビットエラー率を取得する（ステップS1200；読み出し・ビットエラー率取得）。ECC回路440は、取得したビットエラー率を適切な物理アドレスと関連付けてエラー率保持部450に保持させる。

[0107] S1203の次に、MPU420は、プログラム動作又は消去動作を実行した後で、エラー率保持部450を参照し、プログラム動作又は消去動作を実行したメモリブロックMB_i又はページのビットエラー率が所定の確率（閾値）に達しているか否かを判定する（ステップS1204； $\geq$ 閾値？）。S1204で当該ビットエラー率が閾値に達していると判定した場合（S1204の「Yes」）、MPU420はメモリチップ300に対して第1実施形態で説明した回復動作を実行させる（ステップS1205；回復動作実行）。一方、S1204で上記ビットエラー率が閾値未満であれば（S1204の「No」）、MPU420は図24のフローチャートを終了する。

[0108] [3. 第3実施形態]

図36を用いて、本発明の一実施形態に係る記憶装置10の構成について説明する。以下の実施形態では、第1実施形態と同様に、メモリ機能を備える層として強誘電体層が用いられた記憶装置30が例示されている。記憶装置30は、チャンネルとして機能する層に酸化物半導体層が用いられたFeFETである。

[0109] 図36は、本発明の一実施形態に係るFeFETを示す概略断面図である。図36に示すように、記憶装置30は、基板110、ゲート電極120、強誘電体層130、チャンネル層140、保護絶縁層150、ソース電極170及びドレイン電極180を含む。ゲート電極120は基板110の上に設けられている。チャンネル層140はゲート電極120と対向する位置に設け

られている。強誘電体層 130 はゲート電極 120 とチャネル層 140 との間に設けられている。保護絶縁層 150 はチャネル層 140 の上において、チャネル層 140 のパターン端部を覆うように設けられている。保護絶縁層 150 にはチャネル層 140 に達する開口が設けられている。その開口にソース電極 170 及びドレイン電極 180 が設けられている。

[0110] 基板 110 として、半導体基板又は絶縁性基板が用いられる。半導体基板として、例えばシリコン基板又は SOI 基板が用いられる。絶縁性基板として、例えばガラス基板又は石英基板が用いられる。ゲート電極 120、ソース電極 170、及びドレイン電極 180 として、一般的な金属材料が用いられる。例えば、ゲート電極 120、ソース電極 170、及びドレイン電極 180 として、モリブデン、タングステン、チタン、及びアルミニウムなどの材料が用いられる。

[0111] 強誘電体層 130 として、例えば HZO を用いることができる。強誘電体層 130 として、ハフニウム及び酸素に加えて、少なくともシリコン、マグネシウム、アルミニウム、バリウム、ジルコニウム、ガドリニウム、ランタン、サマリウム、窒素、及びイットリウムのいずれかを含む層が用いられてもよい。なお、基板 110 に含まれる不純物がチャネル層 140 に拡散することを抑制するために、基板 110 と強誘電体層 130 との間に、当該不純物の拡散を抑制するバリア層が設けられていてもよい。当該バリア層として、例えば窒化シリコンが用いられてもよい。

[0112] チャネル層 140 として、酸化物半導体が用いられる。酸化物半導体として、インジウム、ガリウム、及び亜鉛を含む酸化物半導体 (IGZO)、インジウム、錫、及び亜鉛を含む酸化物半導体 (ITZO)、インジウム及び亜鉛を含む酸化物半導体 (IZO)、インジウム及び錫を含む酸化物半導体 (ITO)、又は酸化インジウムが用いられる。

[0113] 保護絶縁層 150 として、一般的な絶縁性材料が用いられる。例えば、保護絶縁層 150 として、酸化シリコン、窒化シリコン、酸化アルミニウム、及び窒化アルミニウムなどの無機絶縁層が用いられる。保護絶縁層 150 と

して、ポリイミド基板、アクリル基板、シロキサン基板、及びフッ素樹脂基板などの有機絶縁層が用いられてもよい。保護絶縁層150は、上記の材料が積層された構造であってもよい。

[0114] 図36に示す記憶装置30では、強誘電体層130の膜厚を1nmより大きく30nmより小さくすることができる。強誘電体層130の膜厚が上記の範囲であれば、第1実施形態の記憶装置10に対する低電圧駆動と同様の低電圧駆動を実行することができる。その結果、記憶装置30に対するサイクル駆動によってMWが狭小化した場合であっても、第1実施形態で説明した回復動作によってMWを回復することができる。なお、強誘電体層130の分極特性（強誘電特性）を確保するために、強誘電体層130の膜厚を3nmより大きくしてもよい。さらに、強誘電体層130の膜厚を4nmより大きく15nmより小さくすることで、第1実施形態において強誘電体層220の膜厚が4.6nm以上6nm以下の場合と同様に、回復動作後の良好なエンデュランス特性が得られる。

[0115] [4. 第4実施形態]

図37を用いて、上記の実施形態とは異なる形態のFeFETについて説明する。第1実施形態及び第3実施形態では、基板の主面に平行な方向に電流が流れる横型のFeFETを例示したが、本実施形態では縦型FeFETについて説明する。

[0116] 図37は、本発明の一実施形態に係るメモリセルの構成を示す斜視図である。図37に示すように、メモリセルMCは、導電層610、半導体層620、酸化物絶縁層630、及び強誘電体層640を有する。導電層610は、基板の主面に沿って形成されている。つまり、導電層610は、XY平面に拡がっている。導電層610は、Z方向に積層されている。Z方向に隣接する2つの導電層610は絶縁層（図示せず）によって離隔されている。つまり、基板の上には導電層610と絶縁層とが交互に積層されている。

[0117] 半導体層620は、積層された導電層610及び絶縁層を貫通するメモリホール内部に設けられる。半導体層620は柱状又は筒状である。図37

では、半導体層620が円柱状である構成が例示されているが、半導体層620は多角柱状又は円錐台形であってもよい。半導体層620が筒状である場合、筒状の中空部は酸化シリコンなどのフィラーによって埋められる。酸化物絶縁層630は、半導体層620の周囲に設けられている。強誘電体層640は、酸化物絶縁層630の周囲に設けられている。酸化物絶縁層630は半導体層620に接しており、強誘電体層640は酸化物絶縁層630と導電層610とに接している。なお、半導体層620と酸化物絶縁層630との間に他の層が設けられていてもよい。酸化物絶縁層630と強誘電体層640との間に他の層が設けられていてもよい。強誘電体層640と導電層610との間に他の層が設けられていてもよい。

[0118] 上記の構成において、半導体層620は、チャネルとして機能する。導電層610は、ゲート電極として機能する。酸化物絶縁層630及び強誘電体層640は、ゲート絶縁層として機能する。つまり、導電層610に電圧を印加すると、酸化物絶縁層630及び強誘電体層640を介して半導体層620に電界が形成され、その電界によって半導体層620にキャリアが生成される。Z方向における半導体層620の両端部に電位差を生じさせることで、電界によって生成されたキャリアがZ方向に移動する。つまり、メモリセルMCは縦方向（Z方向）に電流を流す縦型FeFETである。

[0119] 図1と図37とを対比すると、導電層610はゲート電極230に対応する。半導体層620は半導体層200に対応する。酸化物絶縁層630は、酸化物絶縁層210に対応する。強誘電体層640は強誘電体層220に対応する。したがって、メモリセルMCは、記憶装置10と同様に動作する。

[0120] 上記のメモリセルMCがピラー状の半導体層620に沿ってZ方向に複数設けられている。つまり、半導体層620に沿って複数のメモリセルMCが直列に接続されている。

[0121] [5. 第5実施形態]

以下、本発明に係る一実施形態に関連する研究結果について説明する。

[0122] [タイトル]

H Z O スケーリング及び F e F E T における低電圧駆動による疲労回復：
界面劣化から強誘電体の疲労への遷移の証拠。

[0123] [抄訳]

11 nm から 4.6 nm まで小さくした $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$ (H Z O) を用いた F e F E T の膜厚スケーリングについて、メモリ特性及びメモリウィンドウ (MW) の狭小化のメカニズムに関して体系的な研究がなされた。H Z O 膜厚スケーリングは、低電圧駆動、高い I_{on}/I_{off} 比、低い S 値 (S. S.)、及び良好なエンデュランスにつながる。サイクル電圧の低下に伴い、支配的な狭小化のメカニズムが界面劣化から、高電圧パルスによって回復する強誘電体の疲労に変化することが初めて確認された。この発見に基づき、薄膜 H Z O の F e F E T において、より効果的な回復動作を利用することによってエンデュランスを改善する方法の提案及び実証を行う。

[0124] [序論]

H Z O ベースの F e F E T は、不揮発性メモリ、ロジック、及び A I アクセラレータの有望な候補として認識されている。しかし、高電圧駆動及び低エンデュランス (典型的には $< 10^5$) を含むさまざまな課題が、それらの適用の大きな妨げとなっている。F e R A M における M F M キャパシタにおいて、H Z O 膜厚のスケーリングが低電圧化及びエンデュランス改善に対する効果的なアプローチであることが証明されている。さらに、M F M キャパシタにおける疲労による劣化は回復可能であり、エンデュランスも改善可能である。しかし、F e F E T において、デバイス特性及び MW の狭小化における H Z O 膜厚のスケーリングの影響について、体系的な研究は、いまだ不足したままである。本研究では、H Z O 膜厚が 11 nm から 4.6 nm の範囲における F e F E T のメモリ特性の体系的な研究を行い、MW の劣化メカニズムを分析した。そして、低電圧駆動下の F e F E T において、新たな MW の回復が確認された。この膜厚スケーリング及び疲労回復によって、より良いエンデュランスを実現することができる。

[0125] [デバイス製作]

図25は、本研究において採用された、 $\text{TiN}/\text{HZO}/\text{SiO}_2$ FeFETのプロセスフロー及びTEM像である。ALD HZOの膜厚は、11 nm、8 nm、6 nm、4.6 nmである。薄膜HZOにおける最適な界面状態及び強誘電性を得るために、RTA温度は450°Cに設定された。

[0126] [低電圧駆動]

図26Aは、FeFETに対するP-V測定の測定機構を示す。図26B～図26Eの結果は、同じ電圧範囲において薄膜であるほど高い $2P_r$ であることから分かるように、低電圧駆動に対して有利な低い V_g を提供することを示す。 I_d-V_g 特性(図27A～図27D)及び抽出されたMW(図28)は、 $-0.5\text{ V}/2\text{ V}$ の低い V_g 範囲であっても、6 nm及び4.6 nmのFeFETが、11 nm及び8 nmのFeFETにおける0.3 V及び0.05 VのMWよりも大きな0.7 V及び0.8 VのMWを有することを示す。図29A～図29Dは、 $1\text{ }\mu\text{s}$ のプログラム/消去パルスの条件下における V_{th} 及びファスト I_d-V_g 特性から決定されたMWマッピングを示し、薄膜HZO FeFETが低電圧で動作することを明らかにする。図30(a)は、0.8 VのMWにおける、4つの異なるHZO膜厚を有するFeFETの I_d-V_g 曲線を対比する。消去/プログラムパルス電圧は $-2.4\text{ V}/3.2\text{ V}$ (11 nm) から $-1.6\text{ V}/2.7\text{ V}$ (4.6 nm) に低減される。さらに、小さいS値(図30(b))に起因して、薄膜HZO FeFETは同じMWにおいて、4.6 nm HZO FeFETにおける値が11 nmのものにおける値の $\times 9.5$ という、高い I_{on}/I_{off} 比を示す。

[0127] [エンデュランス特性]

図31は、(a) 同じ電界及び(b) 0.5 Vの同じメモリウインドウにおける、異なるHZO膜厚を有するFeFETのエンデュランス特性を示す。同じ電界において、6 nm及び4.6 nm膜厚のHZO FeFETは、11 nm膜厚のもの(5×10^4)に比べて約2倍のエンデュランス($\sim 10^5$)を示す。また、0.5 Vの同じMWにおいて、6 nm及び4.6 nm膜厚のHZO FeFETのエンデュランスは、11 nm膜厚のデバイスよりも

大きく、 1×10^6 に達している。これらの結果は、H Z O スケーリングが F e F E T のエンデュランスの改善につながることを示す。

[0128] [MW狭小化のメカニズム及び疲労回復]

F e F E T の MW 狭小化は、従来、高い駆動電圧によって悪化する M O S 界面の劣化に起因すると考えられていた。本研究では、F e F E T の MW 狭小化を引き起こす、図 3 2 B、図 3 2 F に示される高電圧による界面の劣化とは区別される、低い駆動電圧によってもたらされる強誘電体の疲労という、別のメカニズムを新たに特定した。ここで、従来の $I_d - V_g$ 測定に加えて、分極特性を評価するための F e F E T の P - V 測定を行った。図 3 2 C、図 3 2 D に示す高電圧における及び図 3 2 G、図 3 2 H に示す低電圧におけるファスト及び D C の $I_d - V_g$ から、サイクル後に MW が大きく減少し、S 値が大きく悪化することが判明した。一方、図 3 2 E 及び図 3 2 I の P - V は、高電圧のサイクル後には低下しないが、低電圧のサイクル後に強誘電体分極特性が劇的に低下することを示す。これらの結果は、高電圧サイクルによる、M O S 界面の劣化に起因する MW 狭小化と同時に、低電圧サイクルによる、強誘電体の疲労に起因する分極特性の低下による MW 狭小化を強く示唆している。

さらに、界面劣化に起因する MW 狭小化は回復させることができないのに対して、この強誘電体の疲労による F e F E T の MW 狭小化は、M F M キャパシタと同様の方法で、高い V_g 信号によって回復させることができる。ここで、図 3 2 A に示すように、低下した F e F E T を回復させるために、長期間の三角信号が印加される。低電圧サイクル後の F e F E T における MW 及び分極特性が十分に回復することが判明し（図 3 2 G ~ 図 3 2 I ）、これは強誘電体の疲労が回復可能であることを強く示唆する。これに対して、MW 低下及び S 値の悪化は、高電圧サイクルに対する回復パルスの後でも未だに観察され（図 3 2 C、図 3 2 D ）、これは界面劣化が回復不可能であることを示す。結果として、MW 狭小化は、F e F E T 内部の異なる位置（強誘電体層の内部又は界面）で発生する、高電圧サイクルにおける界面劣化及び低

電圧サイクルにおける強誘電体の疲労という2つの異なるメカニズムを有していると結論付けられる。この事実は、強誘電体が疲労したFeFETに対するMWを復帰させるために、回復パルスを利用することができることを示唆する。

[0129] [疲労回復を利用したエンデュランス改善]

図33A～図33Dは、繰り返し回復パルス後のFeFETのエンデュランス特性を初期のMWとともに示す。6nm及び4.6nmのHZO FeFETが1回目及び2回目の回復パルス後に十分回復しており、2回目及び3回目のサイクルにおいて 10^6 サイクルのエンデュランスが得られている。それに対して、11nm及び8nmのHZO FeFETでは回復が弱く、回復動作後のMWは0.25V未満であり、サイクル数も 10^6 に遠く及ばない。この差は、厚いHZO FeFETにおけるMOS界面の劣化に起因するものである(図34A～図34D)。ここで、厚いHZO FeFETにおいて、S値及びMWは大きく劣化している。HZOにおける電界は、MWが固定されたHZO FeFETでは厚いほど小さく見積もられるため、厚いFeFETにおける深刻な劣化が高電圧駆動に起因する。界面がより改善されることで、FeFETに対して上記の方法を適用することによって、より高いエンデュランスを期待することができる。

[0130] [結論]

本研究は図35にまとめられている。膜厚スケールは低電圧駆動だけでなく、 I_{on}/I_{off} 比及びエンデュランスの改善も実現する。さらに、 V_g を低減することで、MW狭小化のメカニズムが、回復不可能なMOS界面の劣化から回復可能な強誘電体の疲労に変化することを初めて証明した。この発見に基づいて、このMWの特性回復を利用することでエンデュランスを改善する方法を提案及び実証した。

[0131] 図35に示すように、強誘電体の疲労及び界面劣化が、それぞれ低電圧サイクル及び高電圧サイクルにおける支配的なMW狭小化のメカニズムであることを解明した。また、強誘電体の疲労は回復可能であることを特定し、こ

れは新たに提唱する F e F E T 回復の方法につながる。さらに、H Z O 膜厚スケーリングによってもたらされる低電圧駆動を示す。F e F E T の低電圧駆動に基づく、これらの2つの戦略の組み合わせは、高いエンデュランス特性に効果的に寄与する。

[0132] [6, 第6実施形態]

以下、本発明に係る一実施形態に関連する構成について説明する。第6実施形態に係る構成を特許請求の範囲として記載することができる。

[0133] [構成要件1]

シリコンを含むチャネル層と、
前記チャネル層と接する界面層と、
前記界面層と接し、酸化ハフニウムを含む強誘電体層と、
前記強誘電体層及び前記界面層を介して前記チャネル層と対向するゲート電極と、を備え、

前記強誘電体層の膜厚は3 nmより大きく7 nmより小さい強誘電体メモリ装置。

[0134] [構成要件2]

前記強誘電体層の膜厚は4.6 nm以上6 nm以下である、構成要件1に記載の強誘電体メモリ装置。

[0135] [構成要件3]

前記界面層は酸化シリコンを含む、構成要件1に記載の強誘電体メモリ装置。

[0136] [構成要件4]

前記界面層の膜厚は5 nm未満である、構成要件1に記載の強誘電体メモリ装置。

[0137] [構成要件5]

前記強誘電体層は、ハフニウム及び酸素に加えて、少なくともシリコン、マグネシウム、アルミニウム、バリウム、ジルコニウム、ガドリニウム、ランタン、サマリウム、窒素、及びイットリウムのいずれかを含む、構成要件

1 に記載の強誘電体メモリ装置。

[0138] [構成要件 6]

構成要件 1 に記載の前記強誘電体メモリ装置を含むメモリセルと、
前記メモリセルを制御する制御回路と、を備え、
前記制御回路は、

前記メモリセルに対するプログラム動作又は消去動作の実行回数が所定
数に達したか否かを判定し、

前記実行回数が前記所定数に達したと判定した場合、第 1 極性の第 1 電
圧と、前記第 1 極性とは逆の第 2 極性の第 2 電圧と、を前記強誘電体層に印
加する電圧供給動作を実行し、

前記第 1 電圧は、前記プログラム動作における最大電圧より大きく、
前記第 2 電圧は、前記消去動作における最大電圧より大きい。

[0139] [構成要件 7]

構成要件 1 に記載の前記強誘電体メモリ装置を含む複数のメモリセルと、
前記複数のメモリセルを制御する制御回路と、を備え、
前記制御回路は、

ビットエラー率が所定確率以上か否かを判定し、

前記ビットエラー率が前記所定確率以上であると判定した場合、第 1 極
性の第 1 電圧と、前記第 1 極性とは逆の第 2 極性の第 2 電圧と、を前記強誘
電体層に印加する電圧供給動作を実行し、

前記第 1 電圧は、前記プログラム動作における最大電圧より大きく、
前記第 2 電圧は、前記消去動作における最大電圧より大きい。

[0140] [構成要件 8]

金属酸化物を含むチャネル層と、
前記チャネル層と接し、酸化ハフニウムを含む強誘電体層と、
前記強誘電体層を介して前記チャネル層と対向するゲート電極と、を備え
、
前記強誘電体層の膜厚は 1 nm より大きく 30 nm より小さい強誘電体メ

メモリ装置。

[0141] [構成要件 9]

前記強誘電体層の膜厚は 4 nm より大きく 15 nm より小さい、構成要件 8 に記載の強誘電体メモリ装置。

[0142] [構成要件 10]

前記金属酸化物は IGZO、ITZO、IZO、ITO、又は酸化インジウムである、構成要件 8 に記載の強誘電体メモリ装置。

[0143] [構成要件 11]

前記強誘電体層は、ハフニウム及び酸素に加えて、少なくともシリコン、マグネシウム、アルミニウム、バリウム、ジルコニウム、ガドリニウム、ランタン、サマリウム、窒素、及びイットリウムのいずれかを含み、構成要件 8 に記載の強誘電体メモリ装置。

[0144] [構成要件 12]

構成要件 8 に記載の前記強誘電体メモリ装置を含むメモリセルと、
前記メモリセルを制御する制御回路と、を備え、
前記制御回路は、

前記メモリセルに対するプログラム動作又は消去動作の実行回数が所定数に達したか否かを判定し、

前記実行回数が前記所定数に達したと判定した場合、第 1 極性の第 1 電圧と、前記第 1 極性とは逆の第 2 極性の第 2 電圧と、を前記強誘電体層に印加する電圧供給動作を実行し、

前記第 1 電圧は、前記プログラム動作における最大電圧より大きく、

前記第 2 電圧は、前記消去動作における最大電圧より大きい。

[0145] [構成要件 13]

構成要件 8 に記載の前記強誘電体メモリ装置を含む複数のメモリセルと、
前記複数のメモリセルを制御する制御回路と、を備え、
前記制御回路は、

ビットエラー率が所定確率以上か否かを判定し、

前記ビットエラー率が前記所定確率以上であると判定した場合、第1極性の第1電圧と、前記第1極性とは逆の第2極性の第2電圧と、を前記強誘電体層に印加する電圧供給動作を実行し、

前記第1電圧は、前記プログラム動作における最大電圧より大きく、

前記第2電圧は、前記消去動作における最大電圧より大きい。

[0146] 本発明の実施形態として上述した各実施形態（変形例を含む）は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。各実施形態を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0147] また、上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

符号の説明

[0148] 10：記憶装置、 20：メモリシステム、 30：記憶装置、 110：基板、 120：ゲート電極、 130：強誘電体層、 140：チャンネル層、 150：保護絶縁層、 170：ソース電極、 180：ドレイン電極、 200：半導体層、 201：低抵抗領域、 202：チャンネル領域、 210：酸化物絶縁層、 220：強誘電体層、 230：ゲート電極、 231：第1導電層、 232：第2導電層、 240：層間絶縁層、 250：電極、 300：メモリチップ、 310：メモリセルアレイ、 320：周辺回路、 400：メモリコントローラ、 410：論物変換テーブル、 420：MPU、 430：動作回数保持部、 440：ECC回路、 450：エラー率保持部、 500：ホスト、 BL：ビット線、 MB：メモリブロック、 MC：メモリセル、 MW：メモリウインドウ、 SGD：選択ゲート線、 SGS：選択ゲート線、 SL：ソース線、 STD：選択トランジスタ、 STS：選択トランジスタ、 WL：ワ

一下線

請求の範囲

- [請求項1] 半導体層と、
前記半導体層と対向するゲート電極と、
前記半導体層と前記ゲート電極との間に設けられた絶縁層と、
前記絶縁層と前記ゲート電極との間に設けられ、酸化ハフニウムを含む強誘電体層と、を備え、
前記強誘電体層の膜厚は、3 nmより大きく7 nmより小さい記憶装置。
- [請求項2] 前記半導体層はシリコンを含み、
前記絶縁層は前記半導体層と接し、
前記強誘電体層は前記絶縁層と接する、請求項1に記載の記憶装置。
- [請求項3] 前記強誘電体層の膜厚は4.6 nm以上6 nm以下である、請求項2に記載の記憶装置。
- [請求項4] 前記絶縁層は酸化シリコンを含む、請求項2に記載の記憶装置。
- [請求項5] 前記絶縁層の膜厚は5 nm未満である、請求項2に記載の記憶装置。
- [請求項6] 前記強誘電体層は、ハフニウム及び酸素に加えて、少なくともシリコン、マグネシウム、アルミニウム、バリウム、ジルコニウム、ガドリニウム、ランタン、サマリウム、窒素、及びイットリウムのいずれかを含む、請求項2に記載の記憶装置。
- [請求項7] 酸化物半導体層と、
前記酸化物半導体層と対向するゲート電極と、
前記酸化物半導体層と前記ゲート電極との間に設けられ、酸化ハフニウムを含む強誘電体層と、を備え、
前記強誘電体層の膜厚は、1 nmより大きく30 nmより小さい記憶装置。
- [請求項8] 前記強誘電体層の膜厚は4 nmより大きく15 nm以下より小さい

、請求項7に記載の記憶装置。

[請求項9] 前記酸化物半導体層は、IGZO、ITZO、IZO、ITO、又は酸化インジウムである、請求項7に記載の記憶装置。

[請求項10] 前記強誘電体層は、ハフニウム及び酸素に加えて、少なくともシリコン、マグネシウム、アルミニウム、バリウム、ジルコニウム、ガドリニウム、ランタン、サマリウム、窒素、及びイットリウムのいずれかを含む、請求項7に記載の記憶装置。

[請求項11] 請求項1乃至10のいずれかに記載の記憶装置を備えたメモリセルがマトリクス状に配置されたメモリセルアレイと、

前記メモリセルアレイを制御する制御回路と、を備え、

前記制御回路は、

前記メモリセルに対するプログラム動作又は消去動作の実行回数が所定数に達したか否かを判定し、

前記実行回数が前記所定数に達したと判定した場合、第1極性の第1電圧と、前記第1極性とは逆の第2極性の第2電圧と、を前記強誘電体層に印加する電圧供給動作を実行し、

前記第1電圧は、前記プログラム動作における最大電圧より大きく、

前記第2電圧は、前記消去動作における最大電圧より大きいメモリシステム。

[請求項12] 前記制御回路は、

前記電圧供給動作において、 m 回（ m は1以上の整数）の第1パルス電圧によって前記第1電圧を前記強誘電体層に印加し、 n 回（ n は1以上の整数）の第2パルス電圧によって前記第2電圧を前記強誘電体層に印加し、

前記第1パルス電圧のパルス幅を a （ μsec ）とし、前記第2パルス電圧のパルス幅を b （ μsec ）とした場合に、

$$0.1\mu\text{sec} \leq a \times m < 250\mu\text{sec} \quad (\text{式1})$$

$$0.1 \mu \text{sec} \leq b \times n < 250 \mu \text{sec} \quad (\text{式} 2)$$

式1及び式2が成り立つように、前記第1パルス電圧及び前記第2パルス電圧を前記強誘電体層に印加する、請求項11に記載のメモリシステム。

[請求項13] 前記第1パルス電圧及び前記第2パルス電圧の波形は略矩形である、請求項12に記載のメモリシステム。

[請求項14] 前記制御回路は、前記第1パルス電圧と前記第2パルス電圧とを、前記強誘電体層に交互に印加する、請求項12に記載のメモリシステム。

[請求項15] 前記第1電圧は正極性であり、
前記第1電圧の絶対値は3.0V以上であり、
前記第2電圧は負極性であり、
前記第2電圧の絶対値は2.0V以上である、請求項12に記載のメモリシステム。

[請求項16] 請求項1乃至10のいずれかに記載の記憶装置がマトリクス状に配置された複数のメモリセルアレイと、

前記複数のメモリセルアレイを制御する制御回路と、を備え、
前記制御回路は、

プログラム動作又は消去動作を実行した後にビットエラー率が所定確率以上か否かを判定し、

前記ビットエラー率が前記所定確率以上であると判定した場合、
第1極性の第1電圧と、前記第1極性とは逆の第2極性の第2電圧と、
を前記強誘電体層に印加する電圧供給動作を実行し、

前記第1電圧は、前記プログラム動作における最大電圧より大きく、

前記第2電圧は、前記消去動作における最大電圧より大きいメモリシステム。

[請求項17] 前記制御回路は、

前記電圧供給動作において、 m 回（ m は1以上の整数）の第1パルス電圧によって前記第1電圧を前記強誘電体層に印加し、 n 回（ n は1以上の整数）の第2パルス電圧によって前記第2電圧を前記強誘電体層に印加し、

前記第1パルス電圧のパルス幅を a （ μsec ）とし、前記第2パルス電圧のパルス幅を b （ μsec ）とした場合に、

$$0.1\mu\text{sec} \leq a \times m < 250\mu\text{sec} \quad (\text{式1})$$

$$0.1\mu\text{sec} \leq b \times n < 250\mu\text{sec} \quad (\text{式2})$$

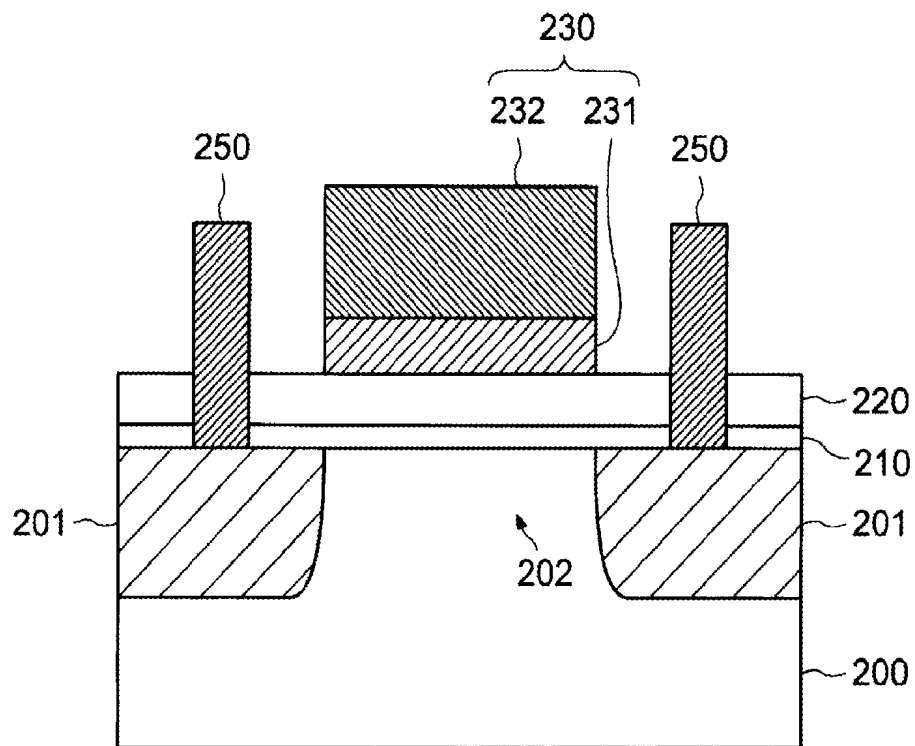
式1及び式2が成り立つように、前記第1パルス電圧及び前記第2パルス電圧を前記強誘電体層に印加する、請求項16に記載のメモリシステム。

[請求項18] 前記第1パルス電圧及び前記第2パルス電圧の波形は略矩形である、請求項17に記載のメモリシステム。

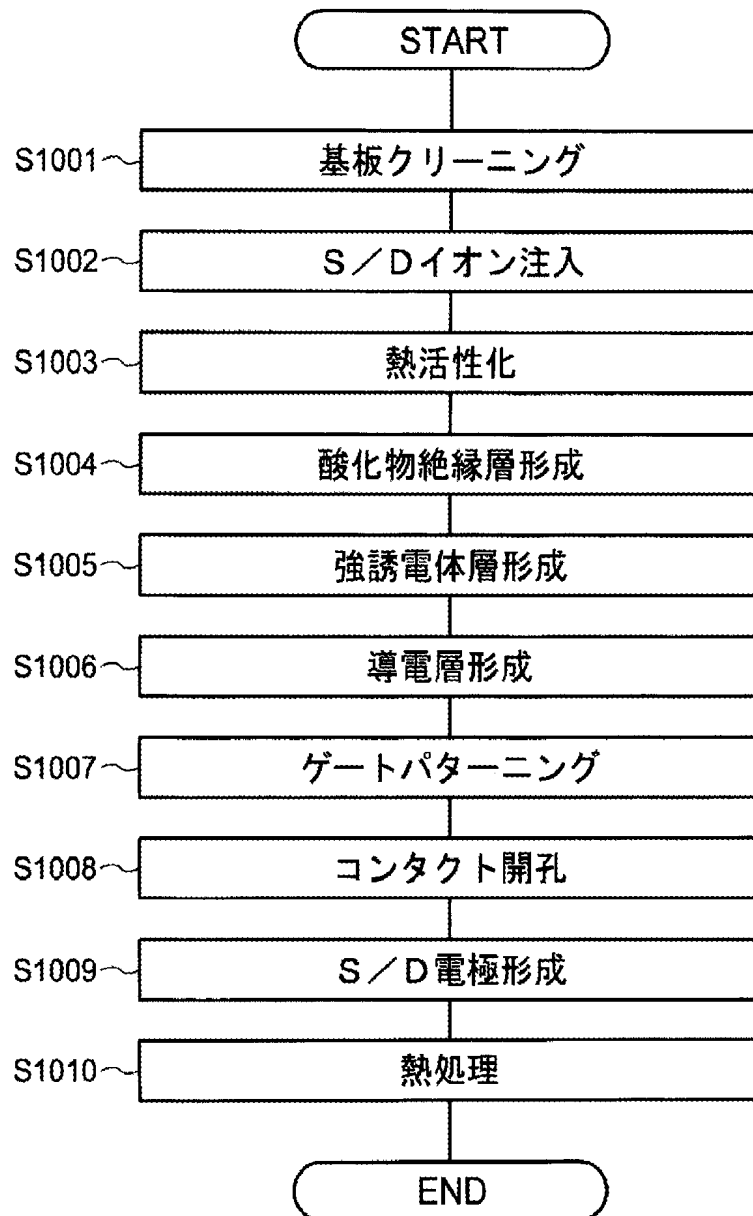
[請求項19] 前記制御回路は、前記第1パルス電圧と前記第2パルス電圧とを、前記強誘電体層に交互に印加する、請求項17に記載のメモリシステム。

[請求項20] 前記第1電圧は正極性であり、
前記第1電圧の絶対値は3.0V以上であり、
前記第2電圧は負極性であり、
前記第2電圧の絶対値は2.0V以上である、請求項17に記載のメモリシステム。

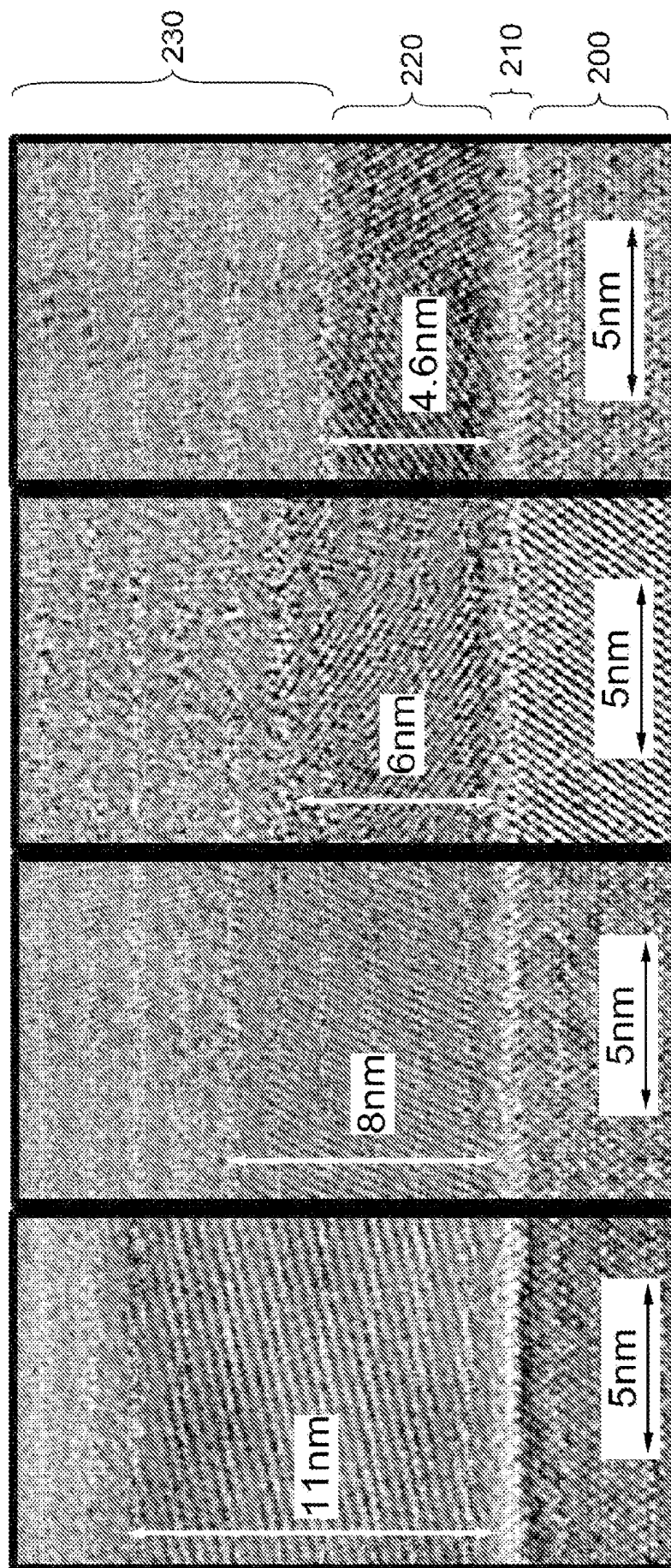
[図1]

10

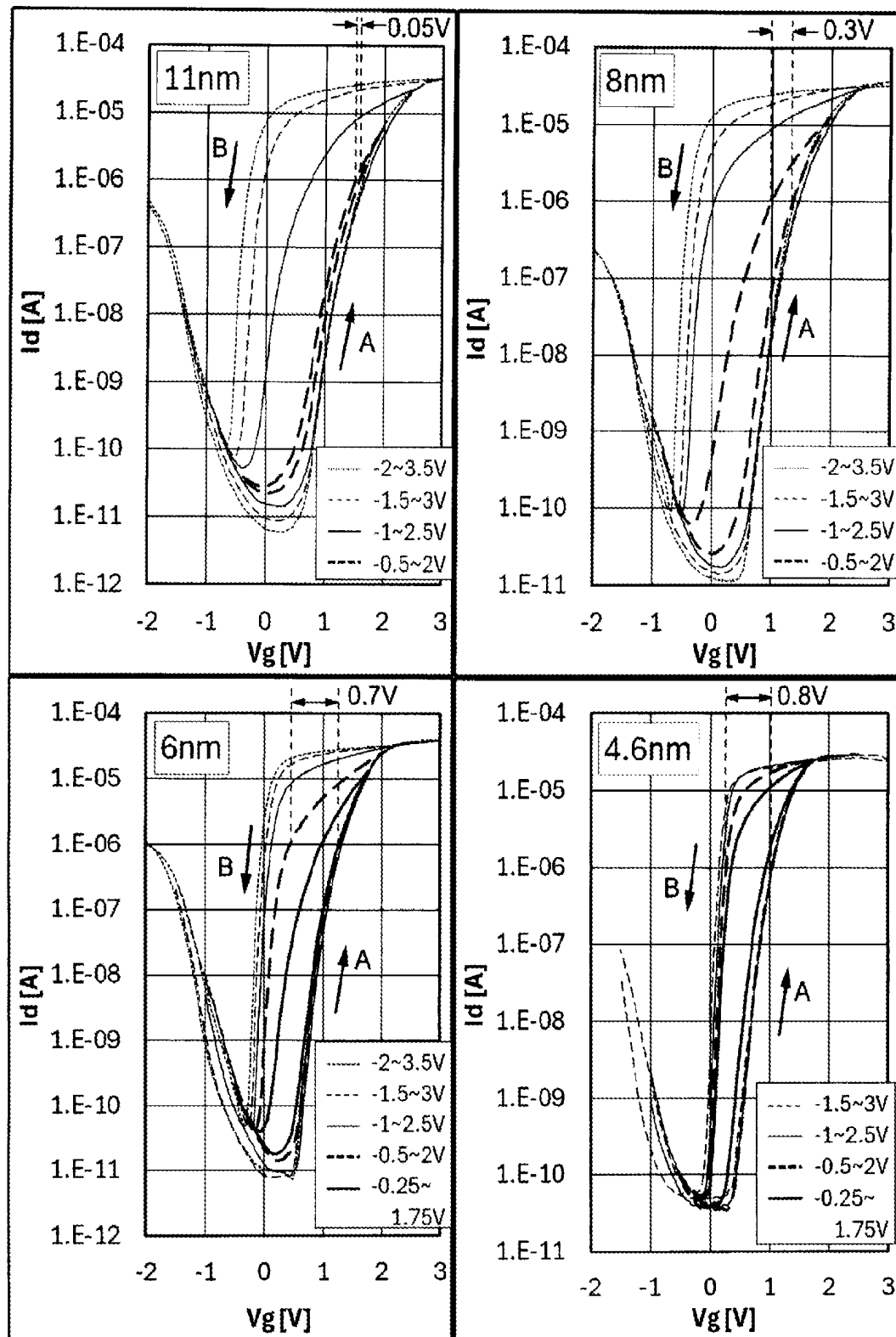
[図2]



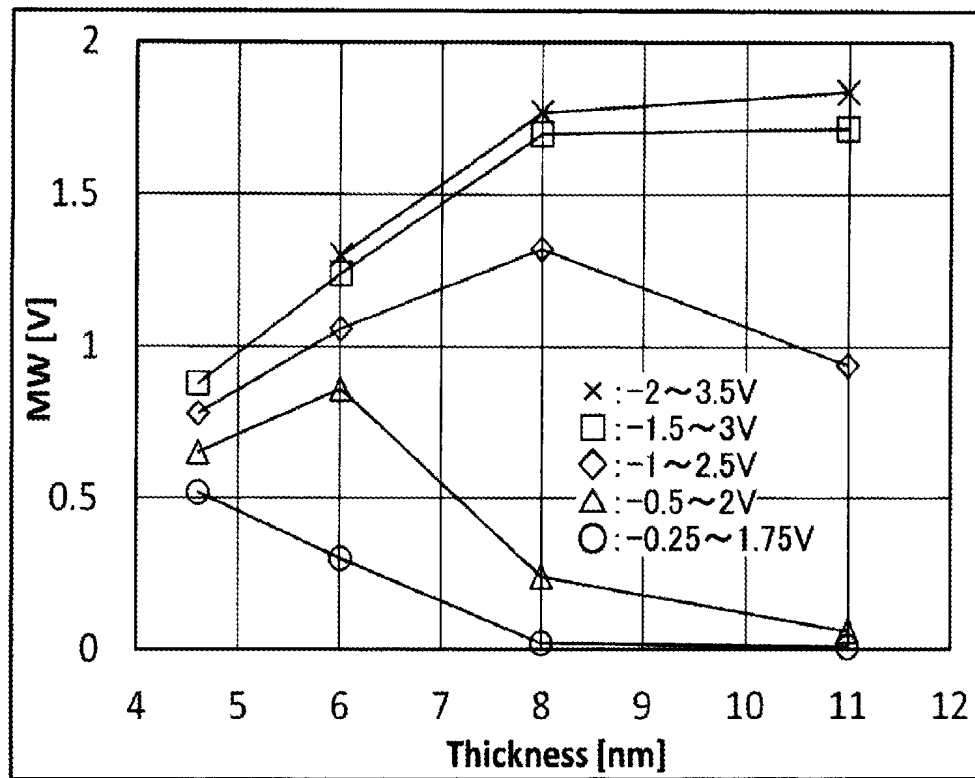
[図3]



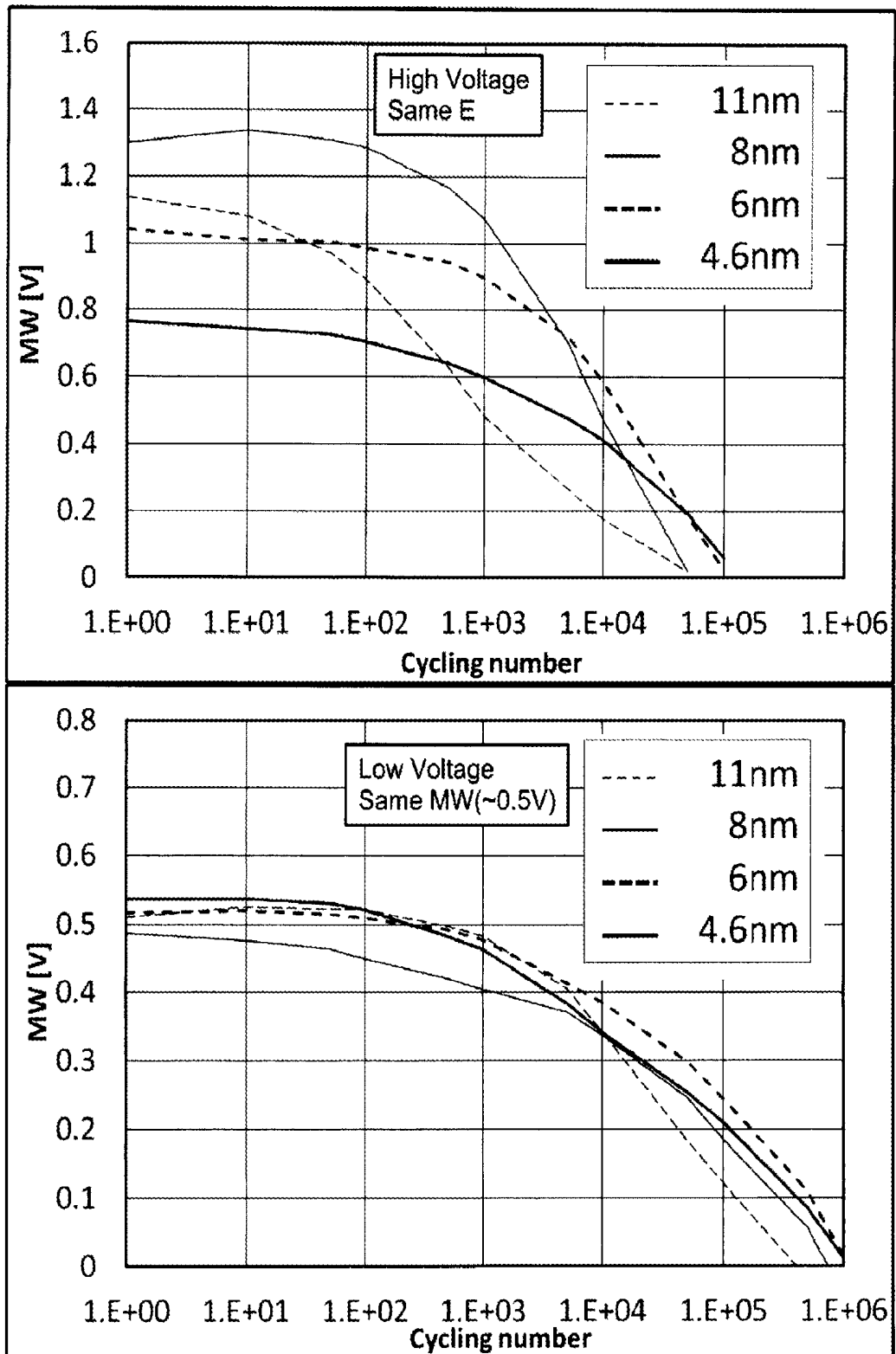
[図4]



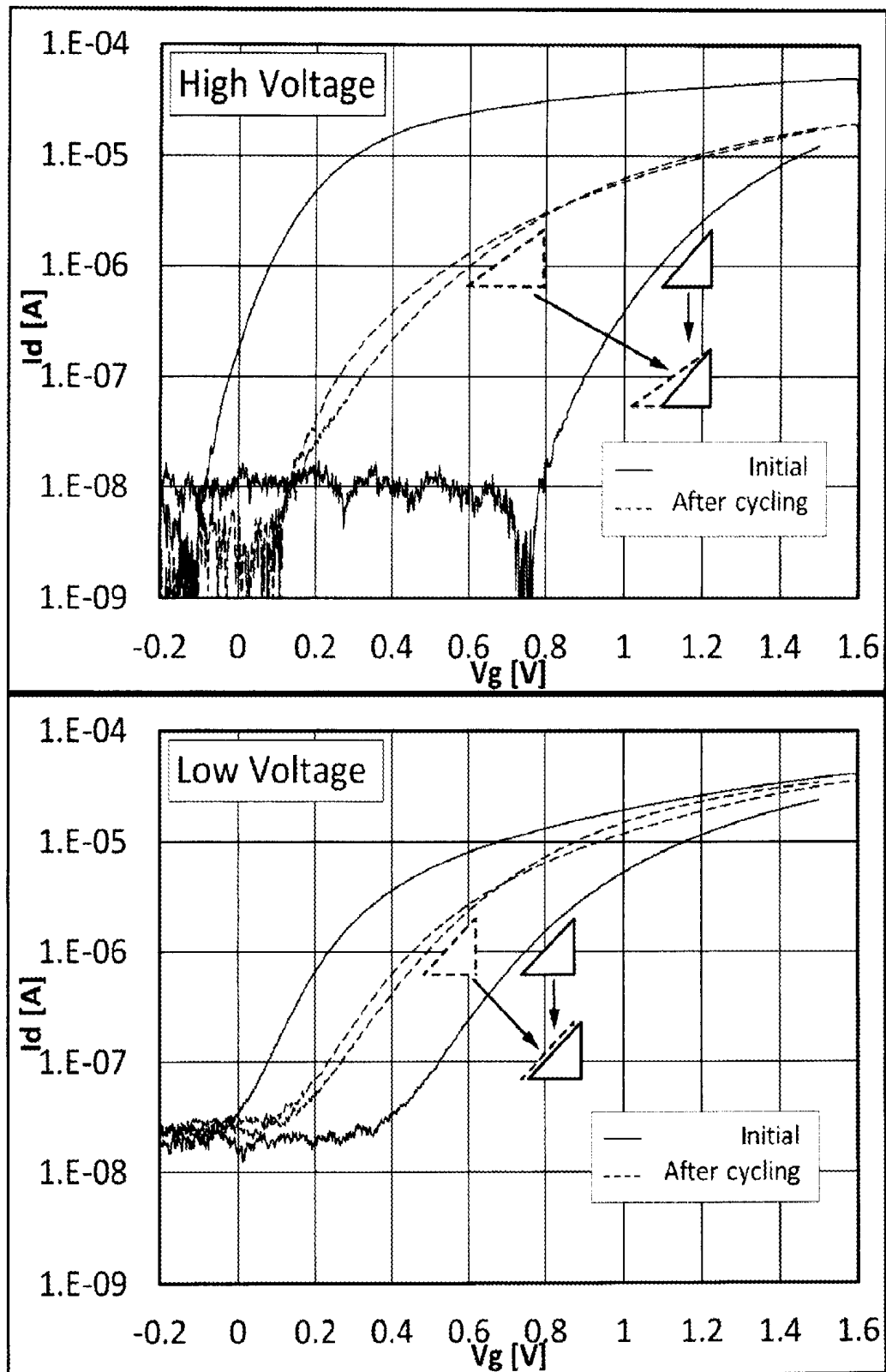
[図5]



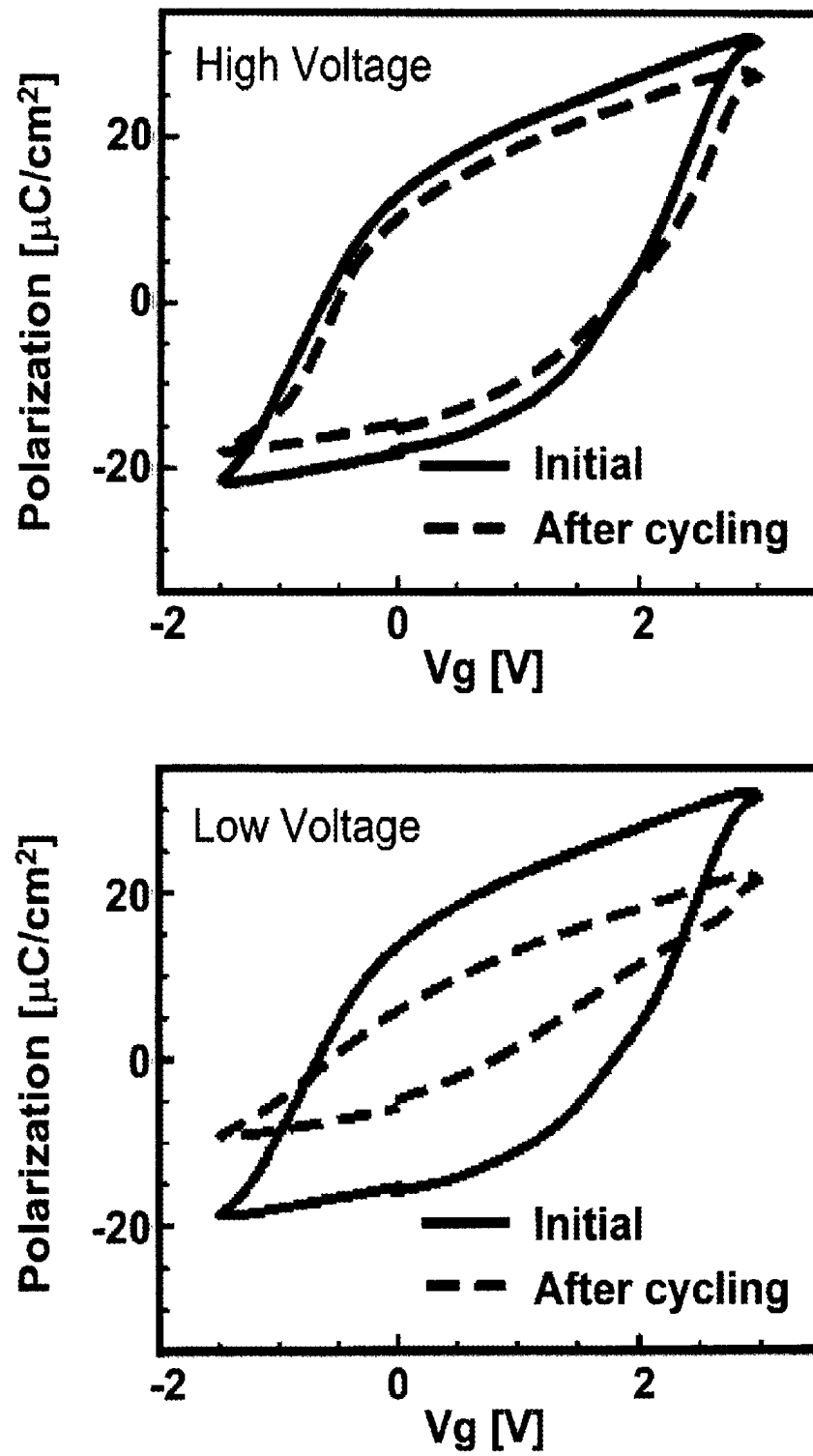
[図6]



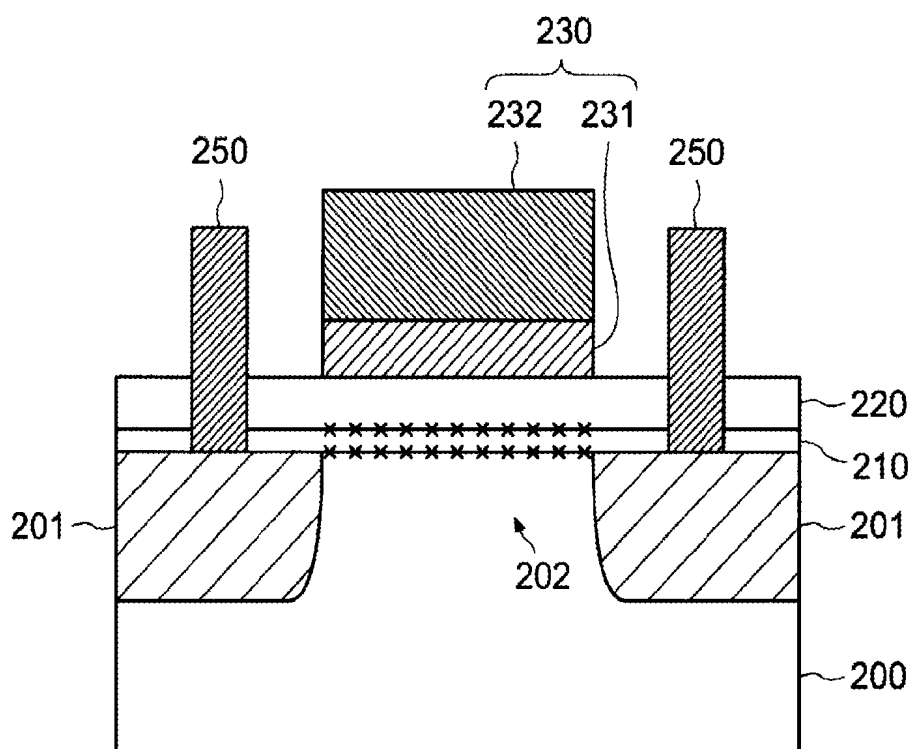
[図7]



[図8]

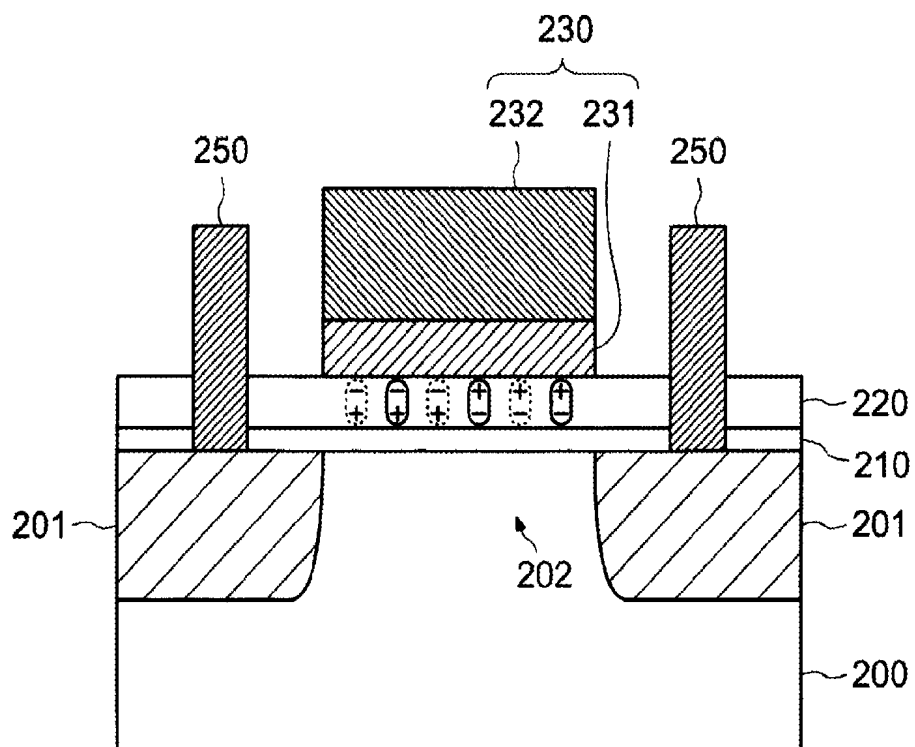


[図9]

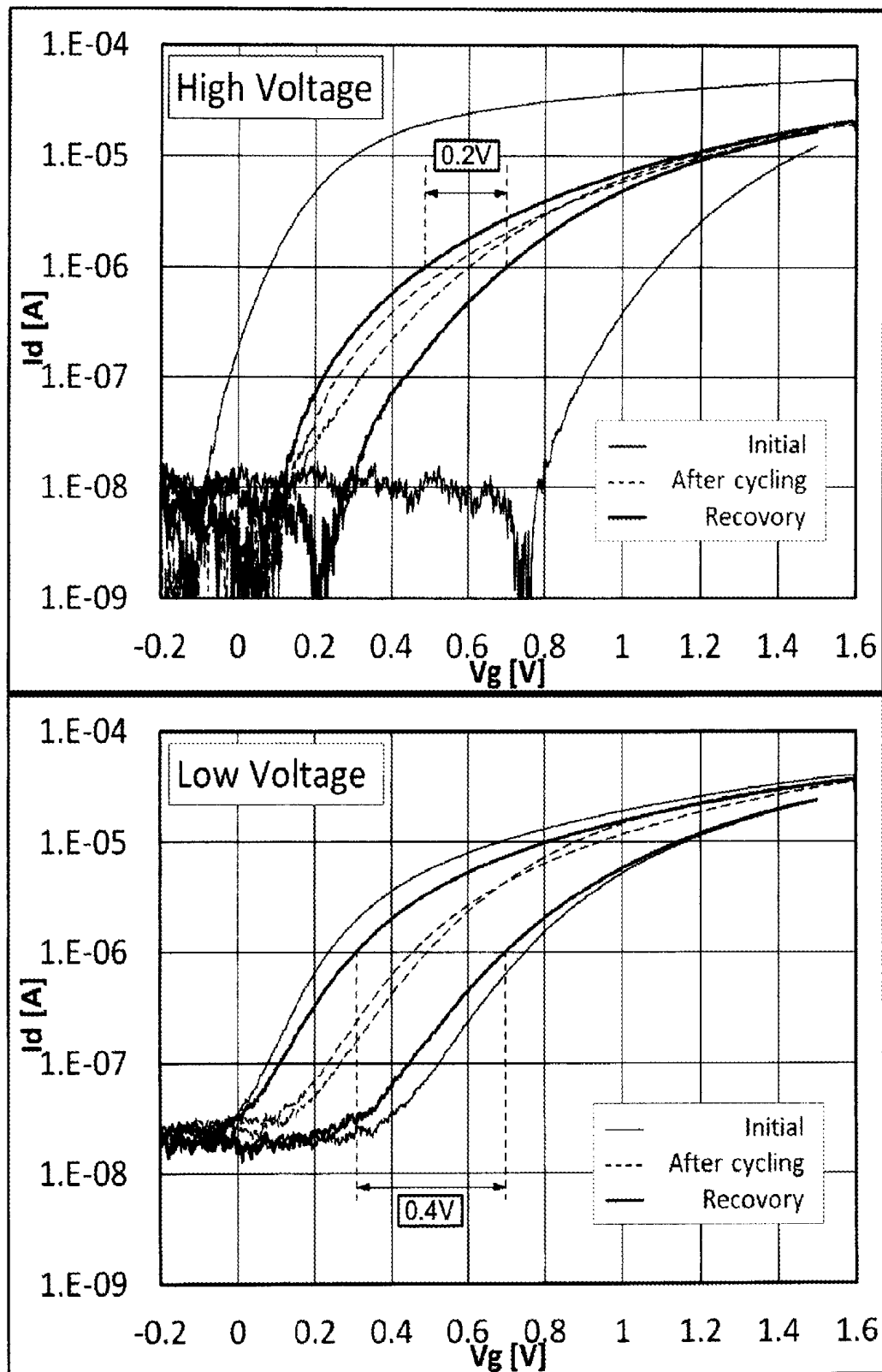
10

[圖10]

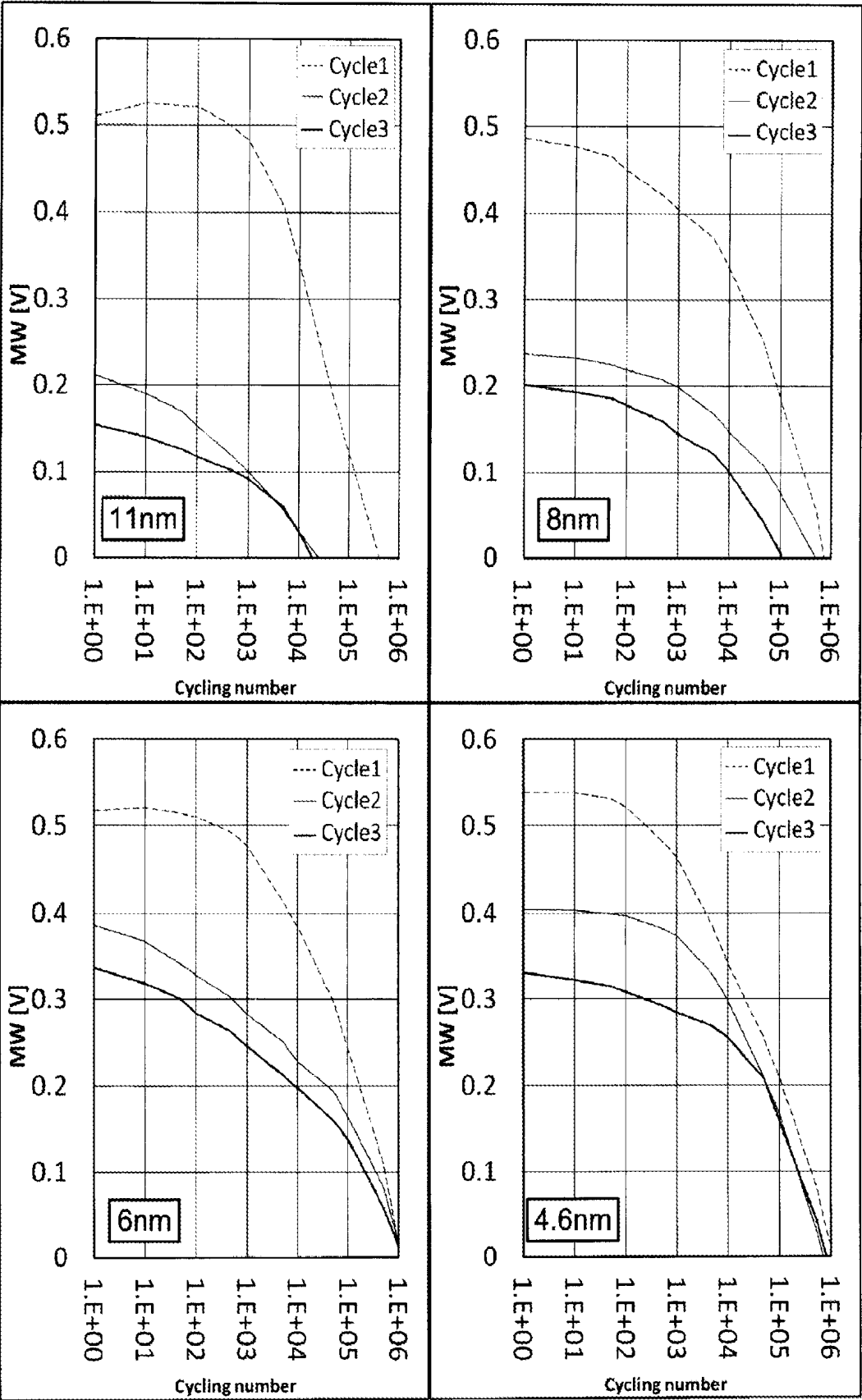
10



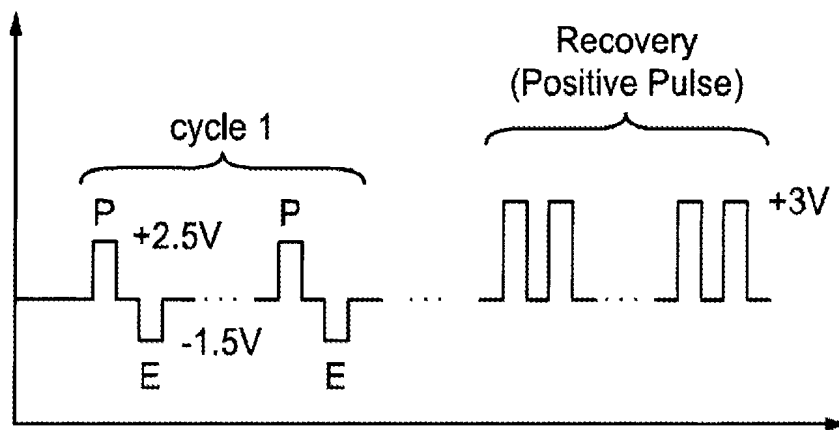
[図12]



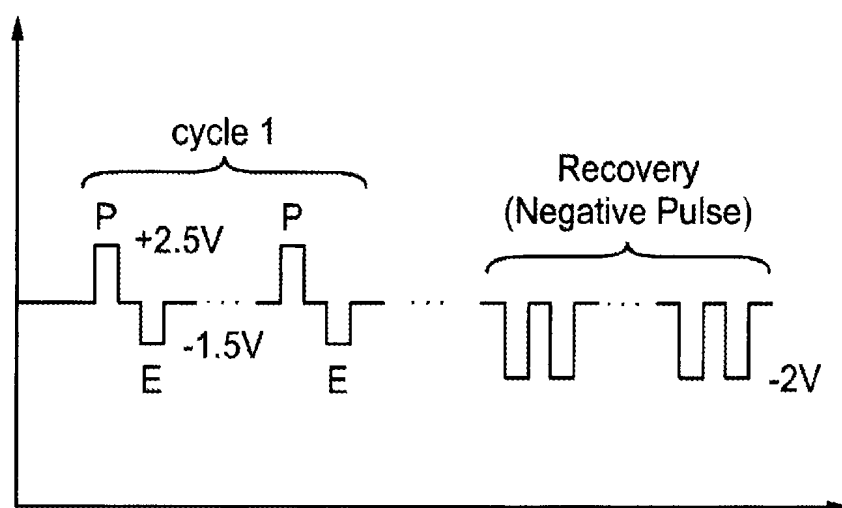
[図13]



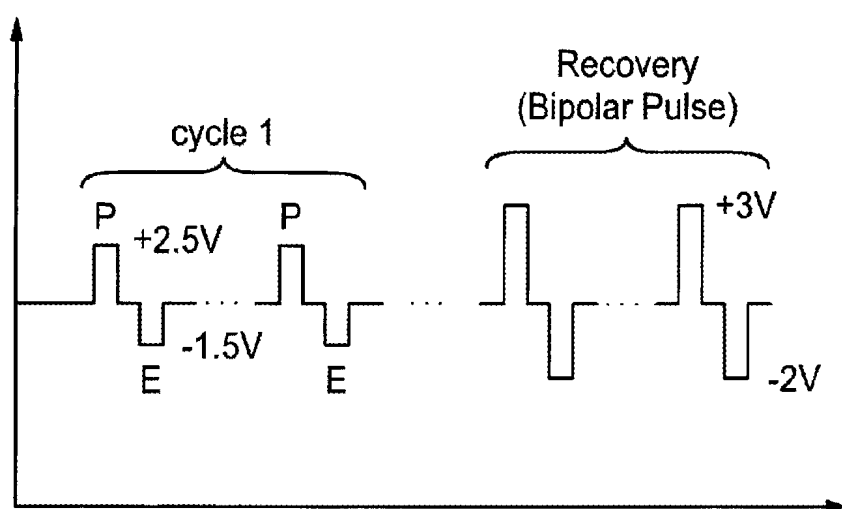
[図14]



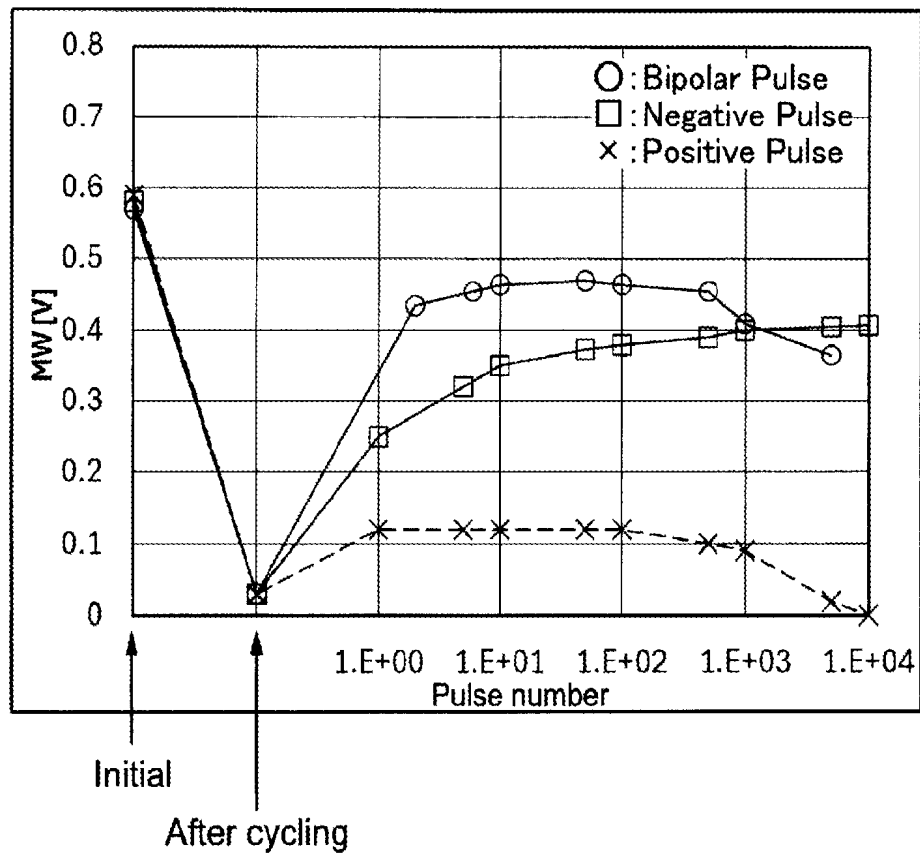
[図15]



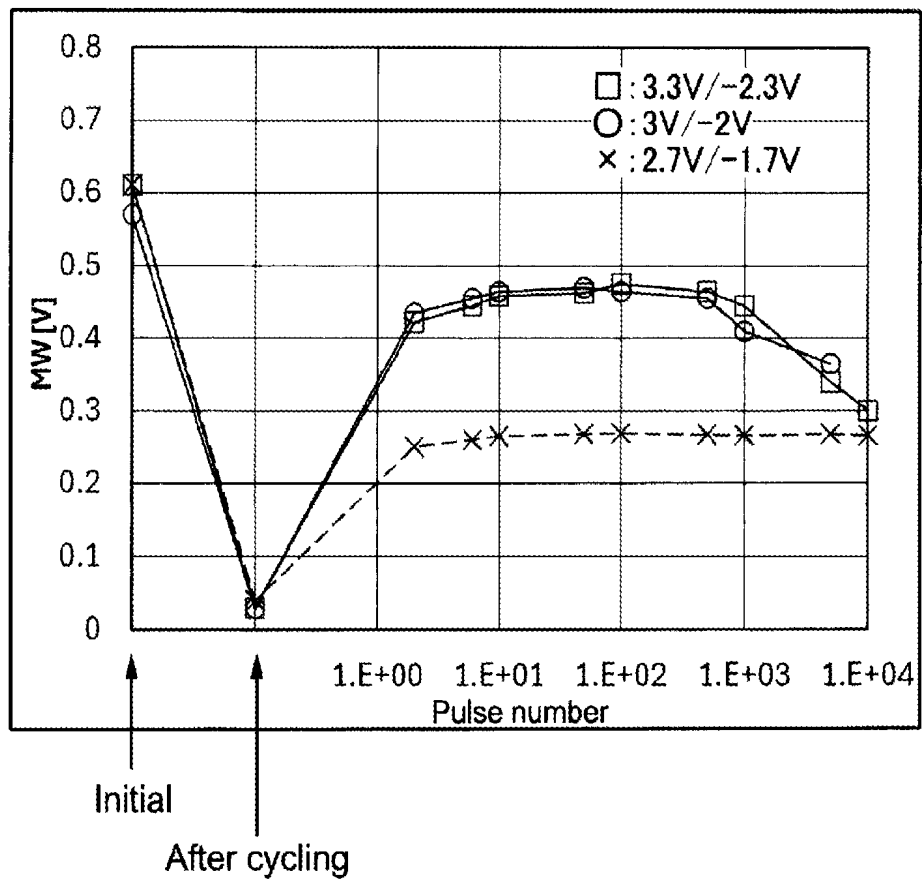
[図16]



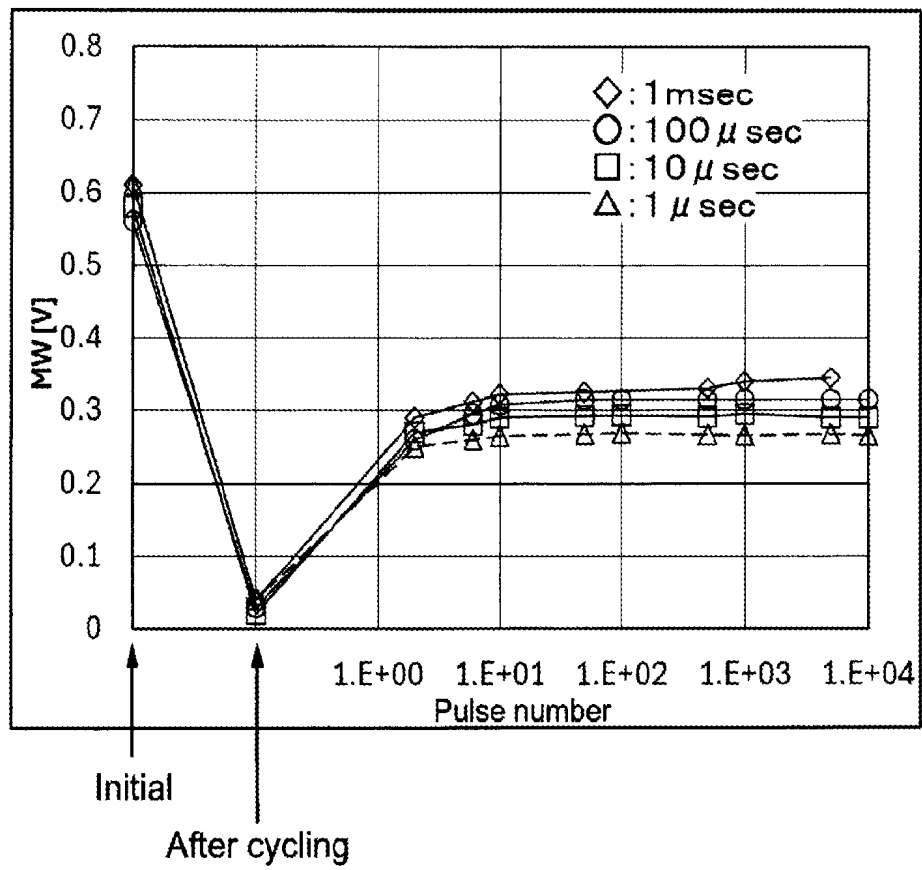
[図17]



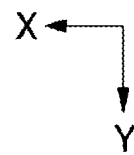
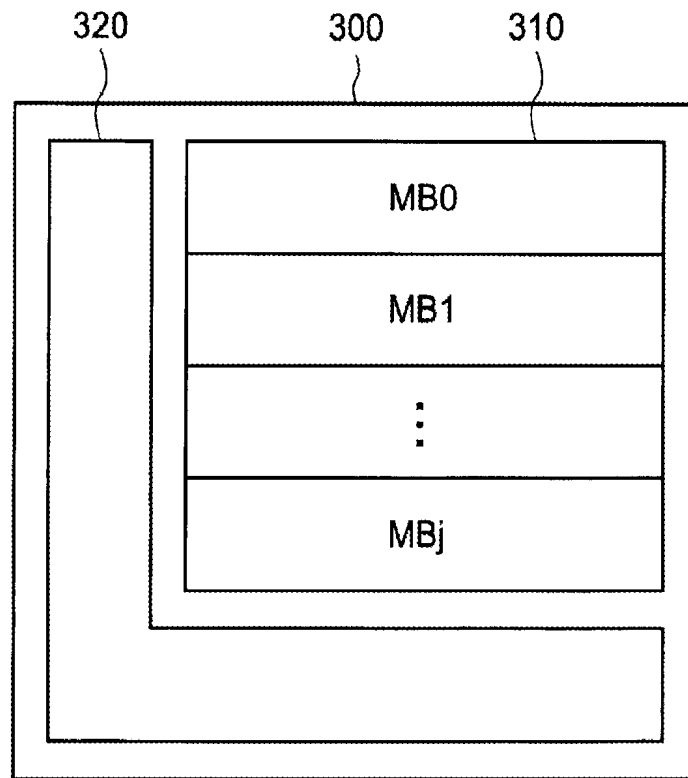
[図18]



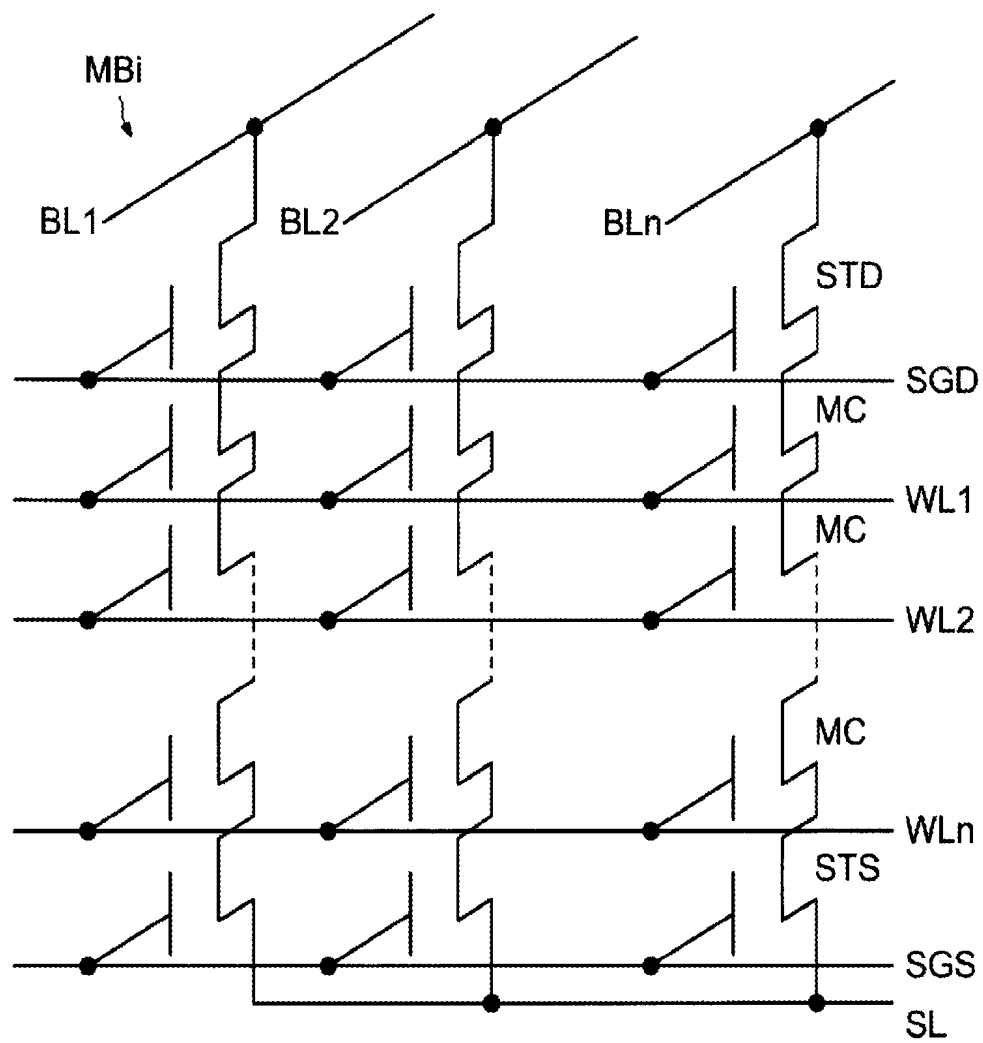
[図19]



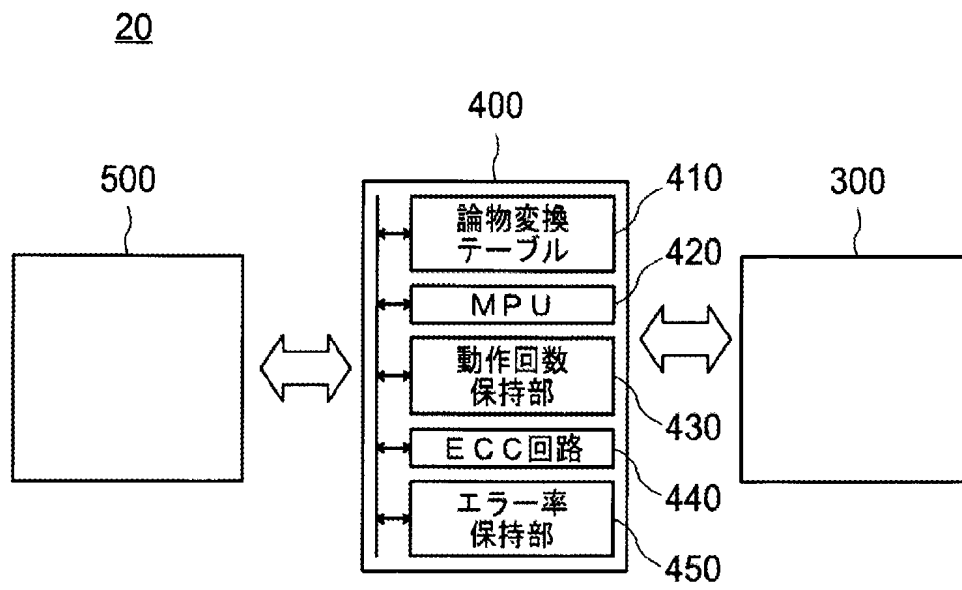
[図20]



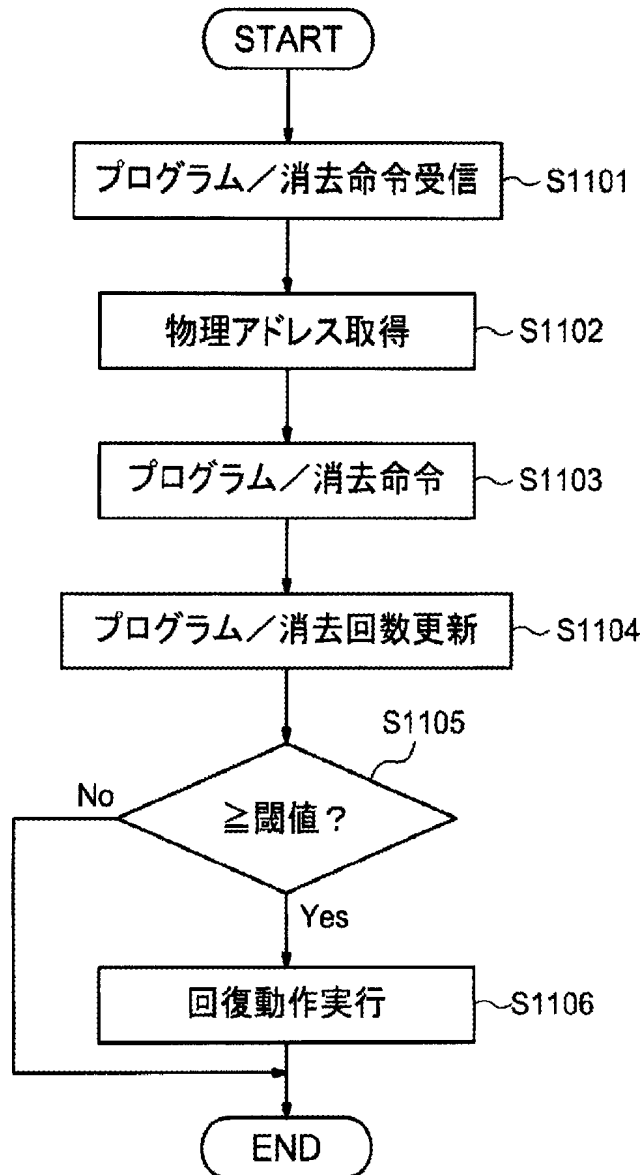
[図21]



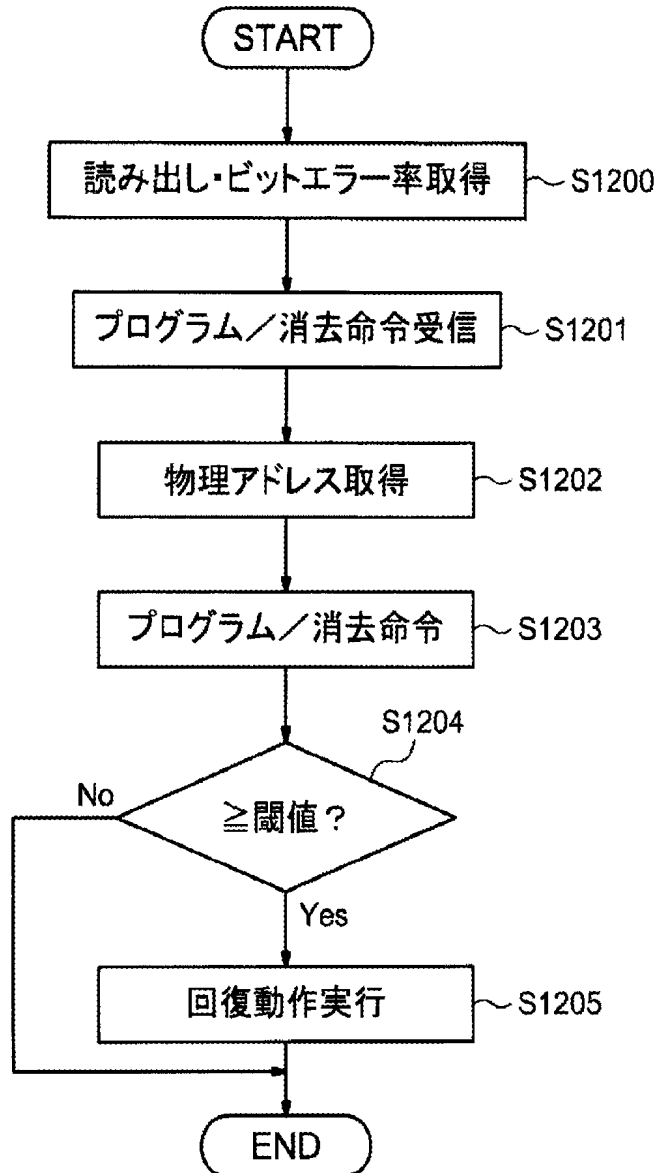
[図22]



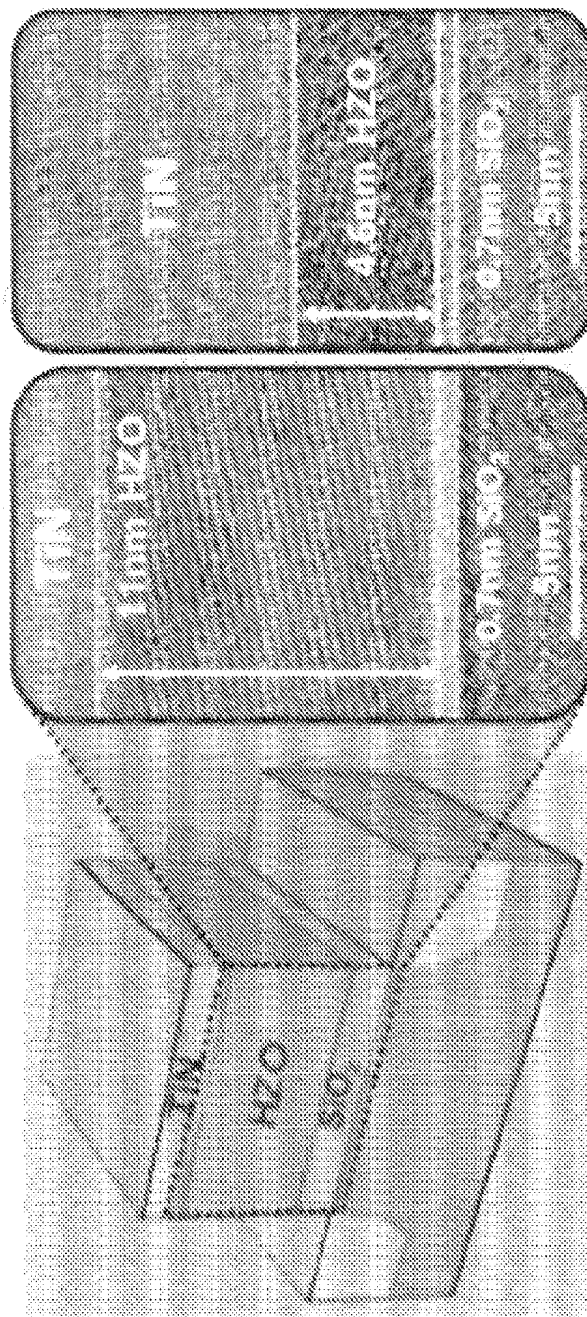
[図23]



[図24]

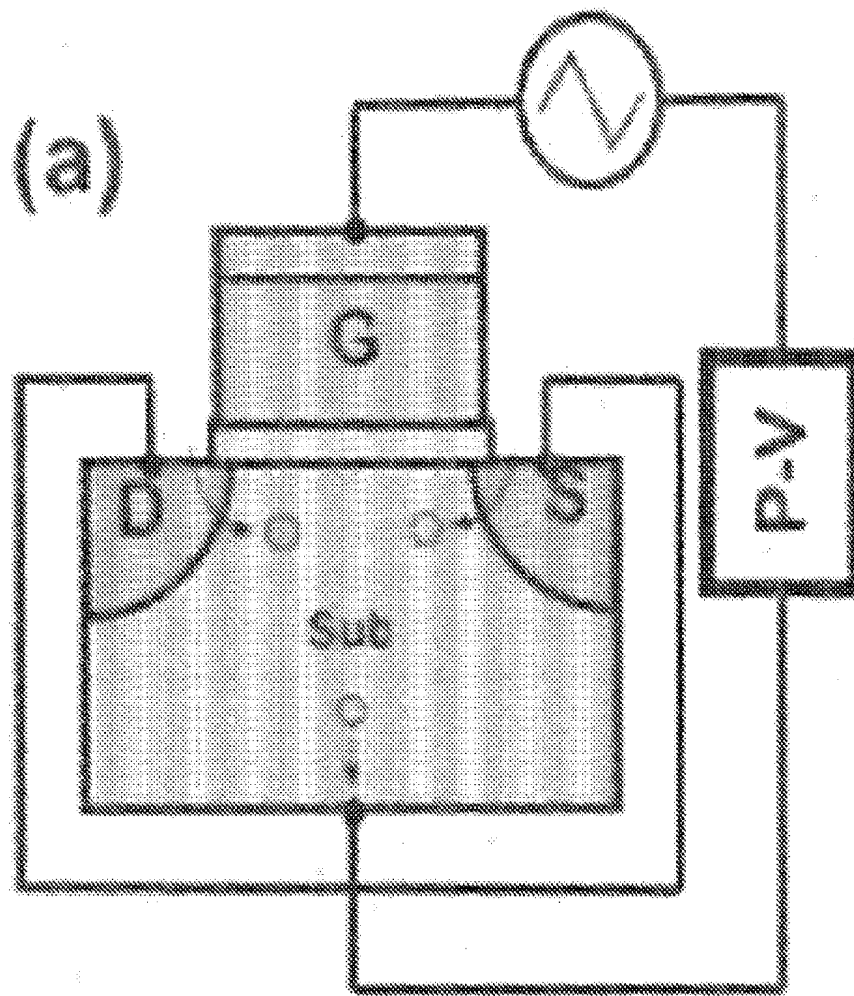


[図25]

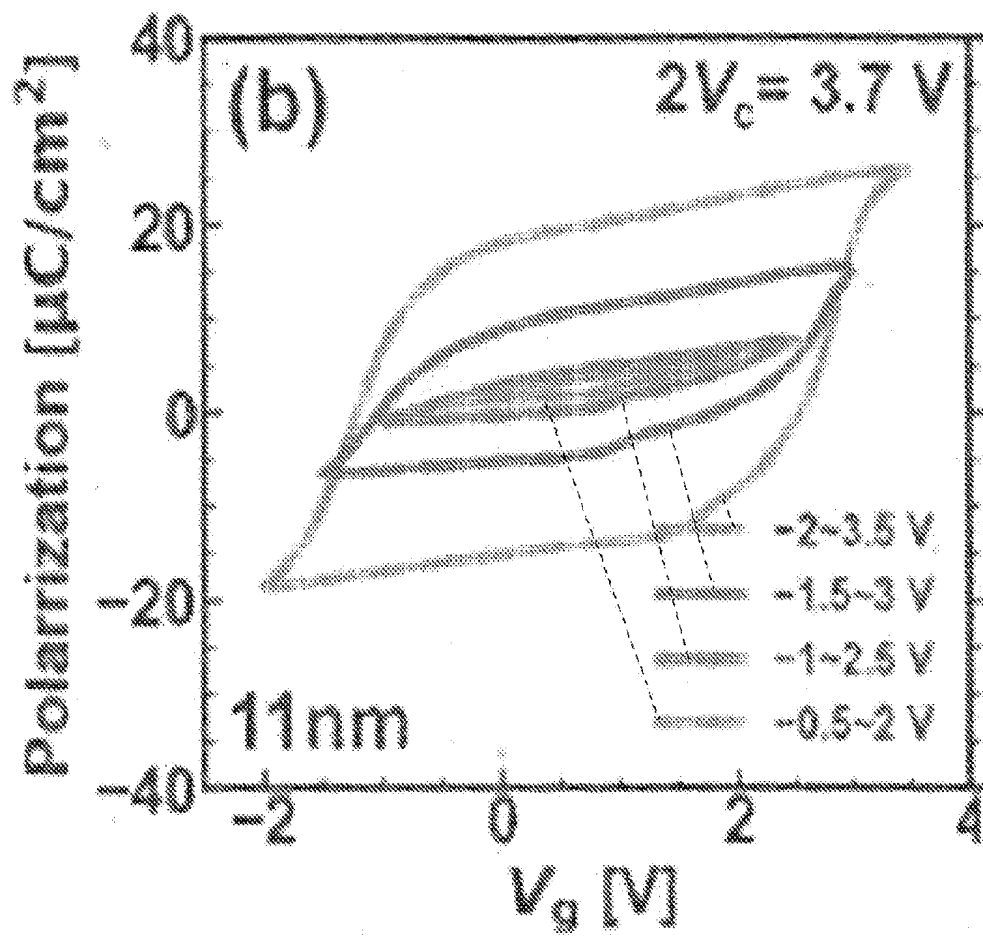


Si substrate cleaning
 Active area definition
 S/D P Ion Implantation
 Thermal activation
 SiO₂ 0.7 nm with SC2
 HZO 4.5, 6.5, 8, 11 nm
 TIN 30 nm
 Al 300 nm
 Gate patterning
 S/D etching & contact
 RTA 450 degC 30s

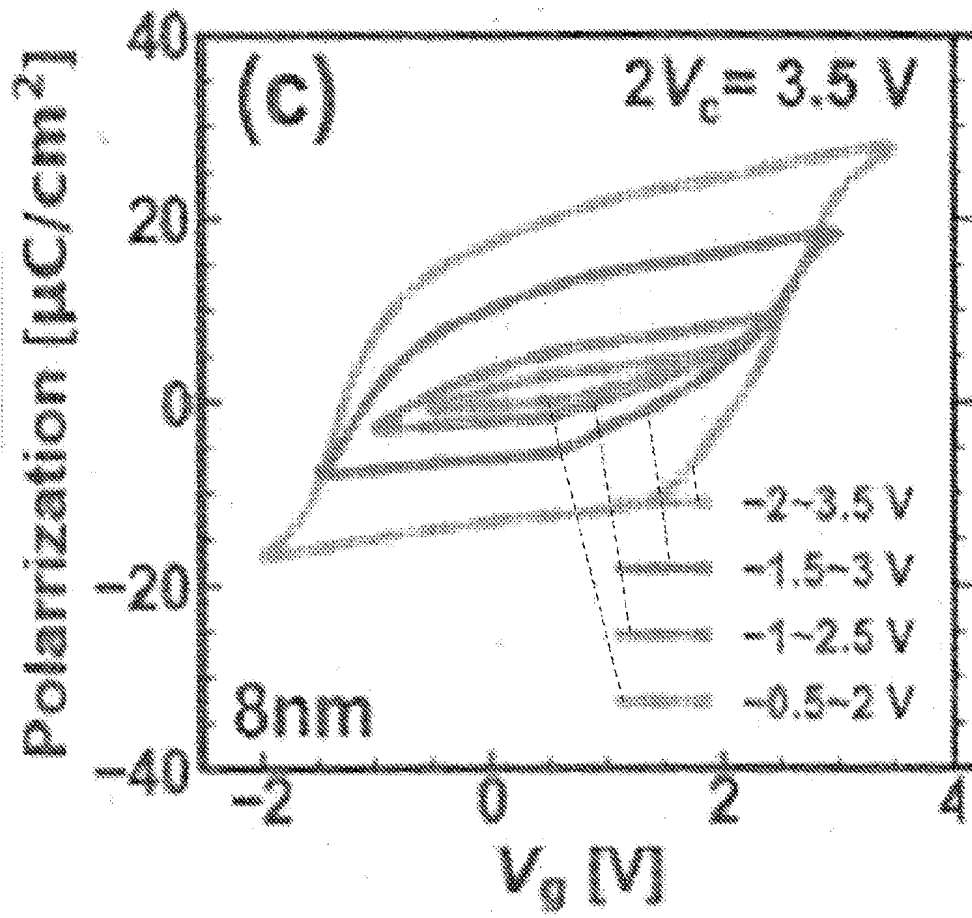
[図26A]



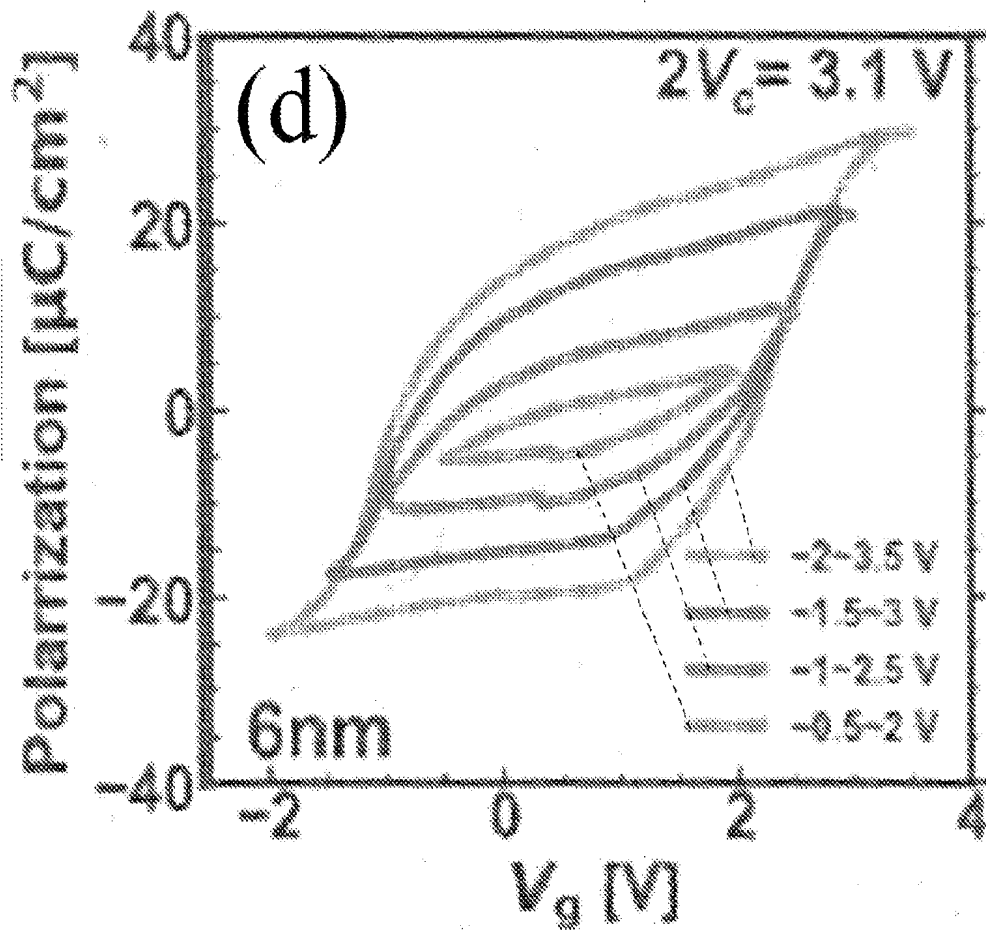
[図26B]



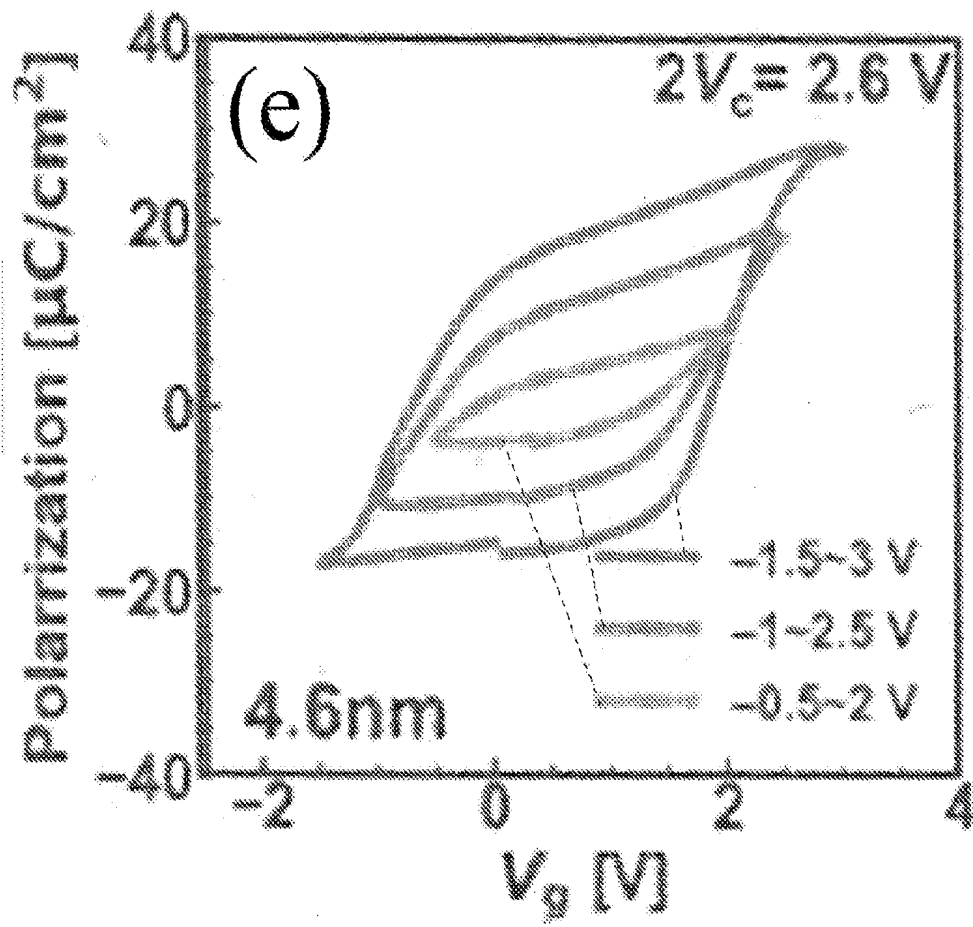
[図26C]



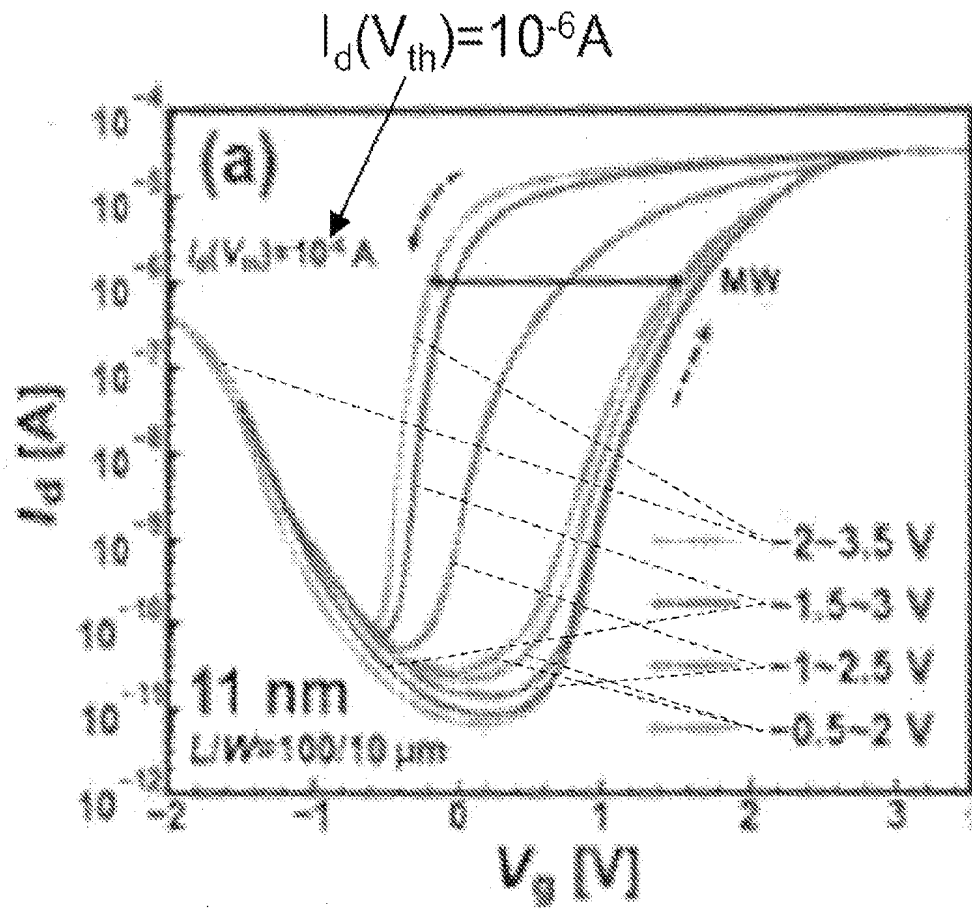
[図26D]



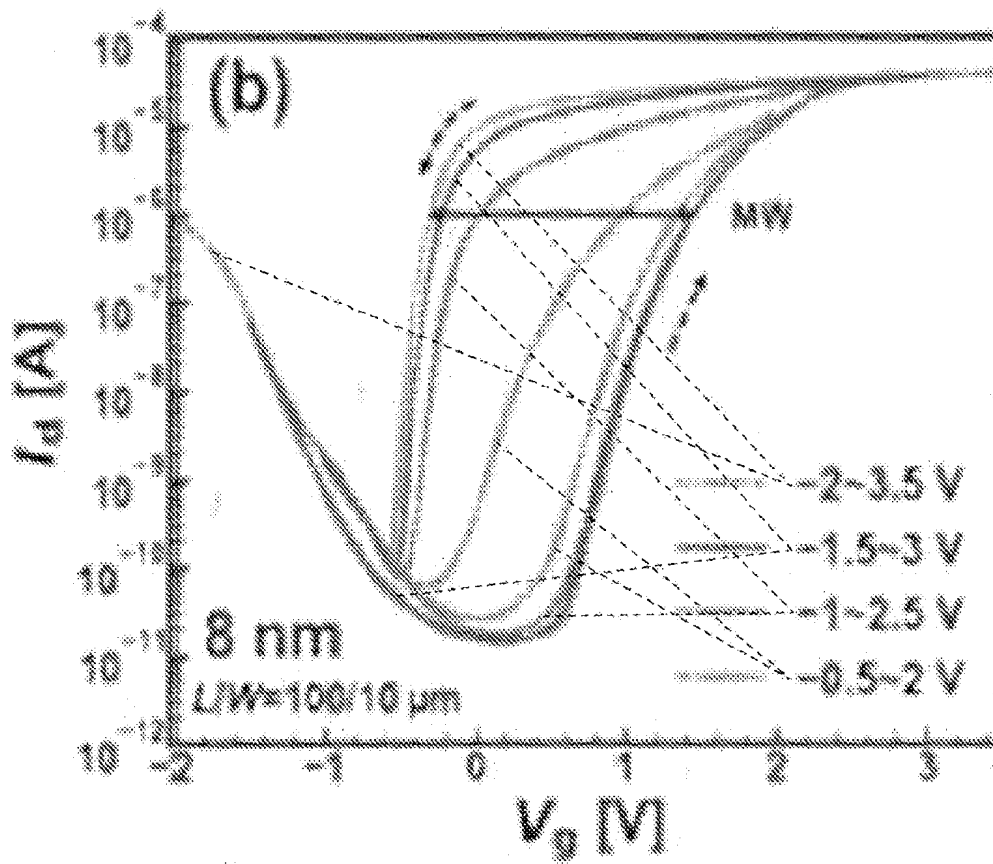
[図26E]



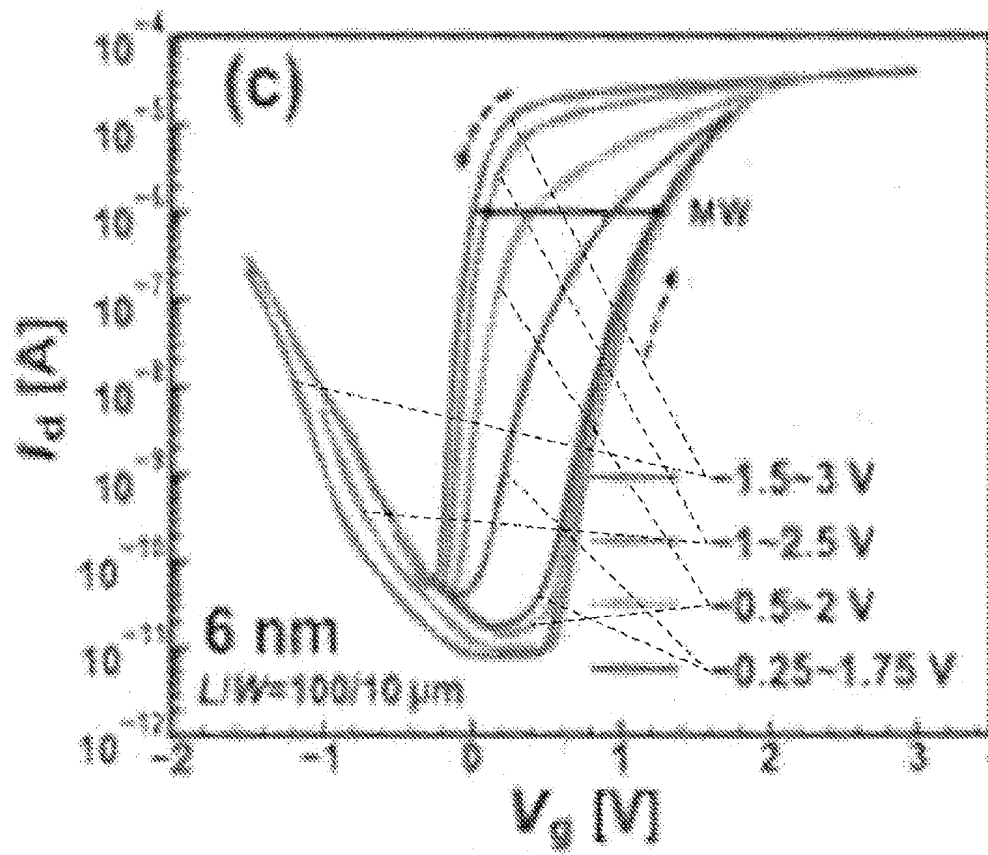
[図27A]



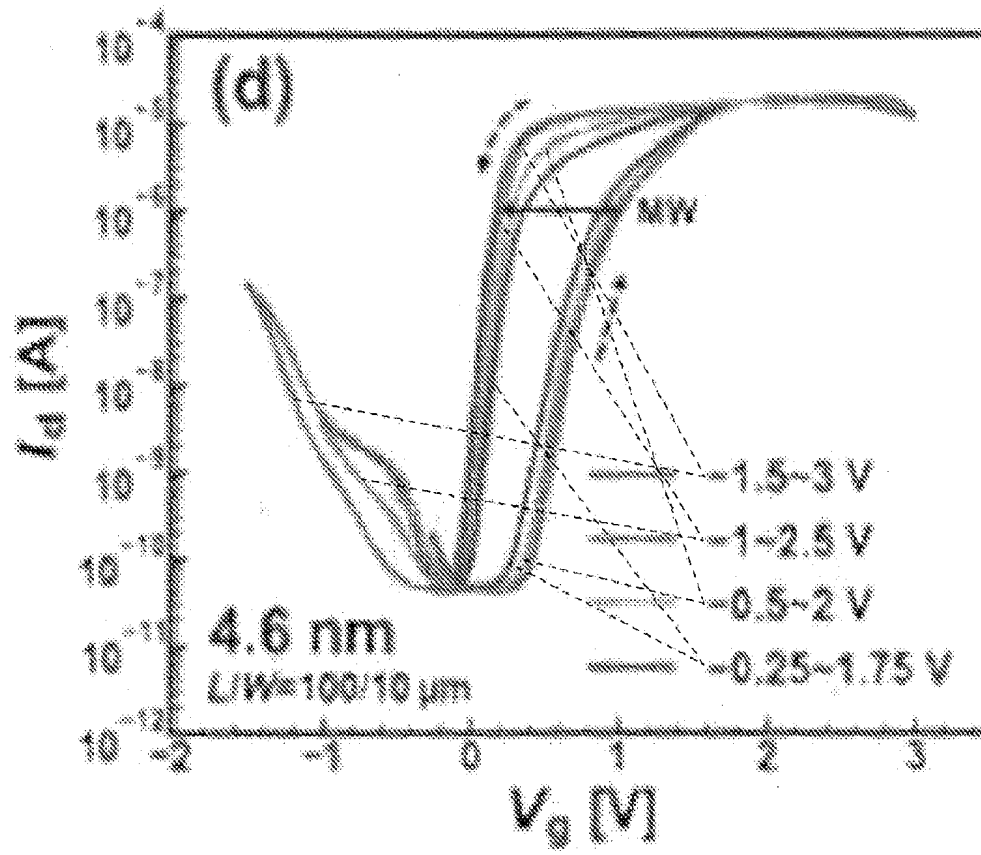
[図27B]



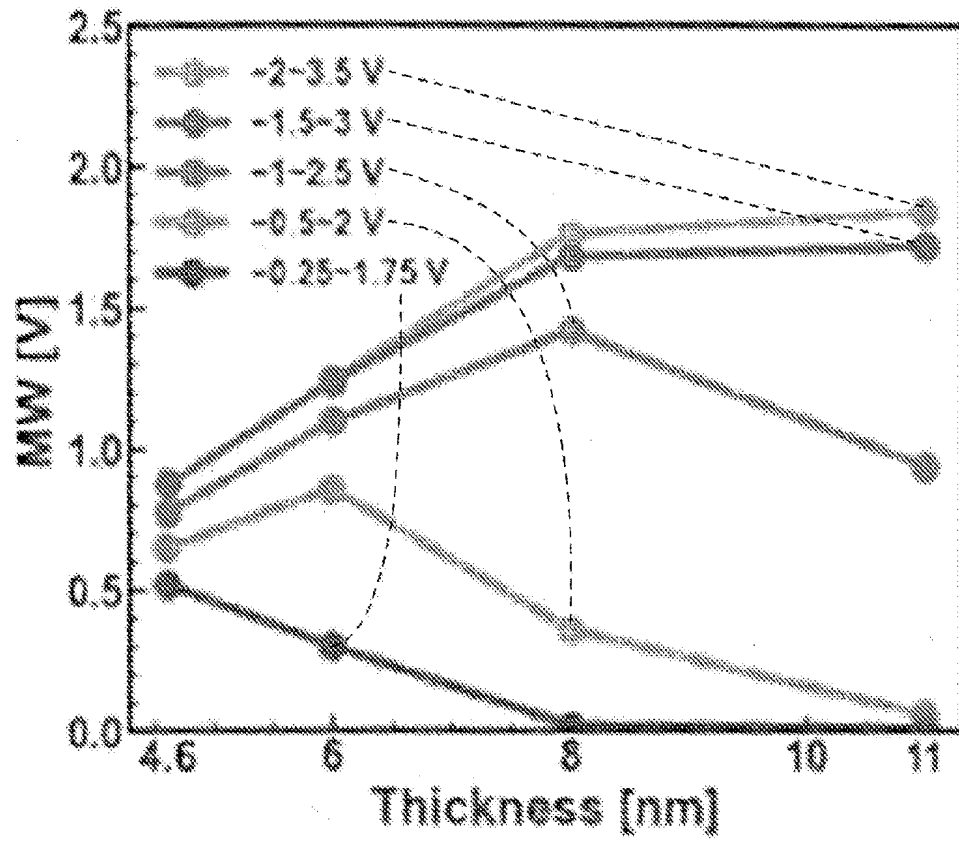
[図27C]



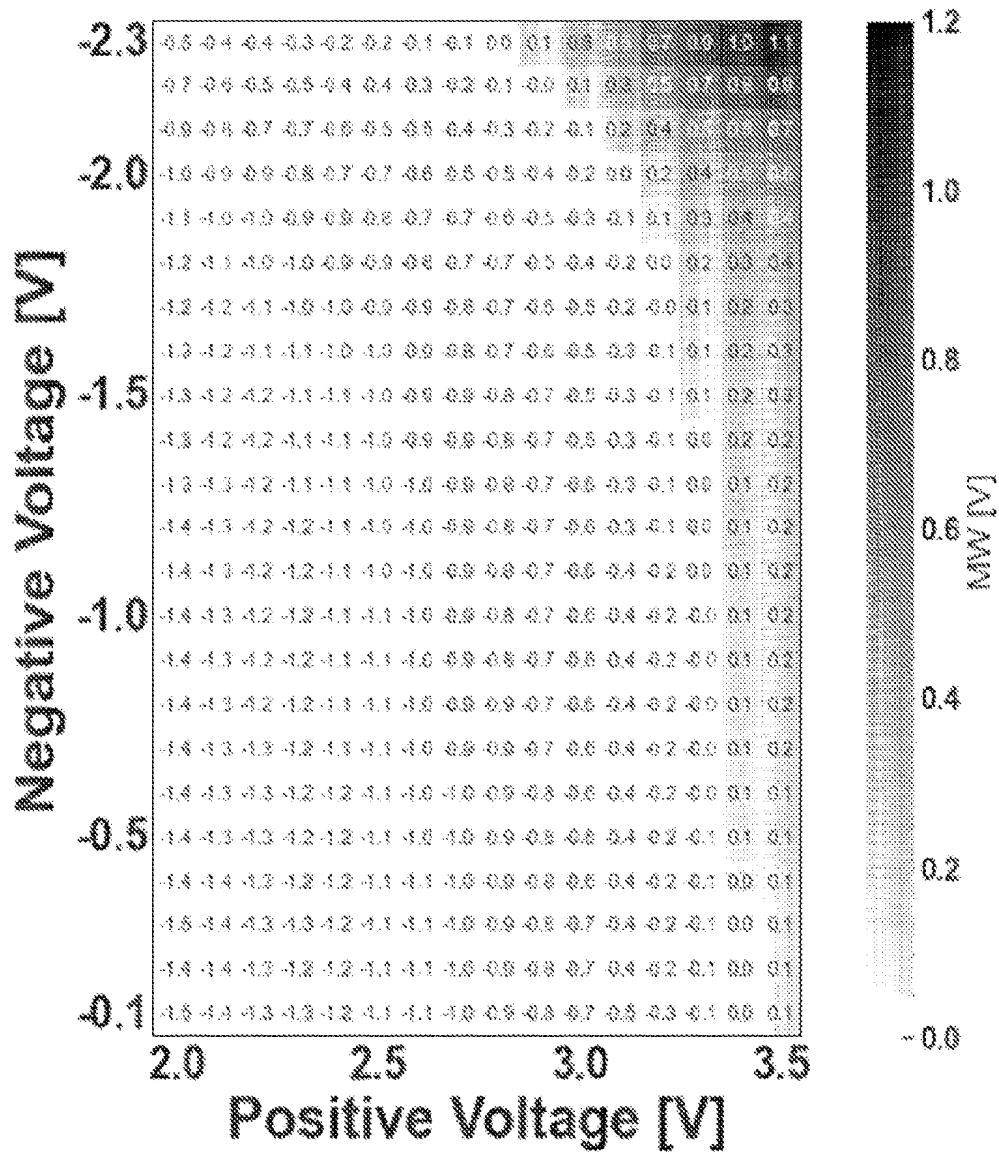
[図27D]



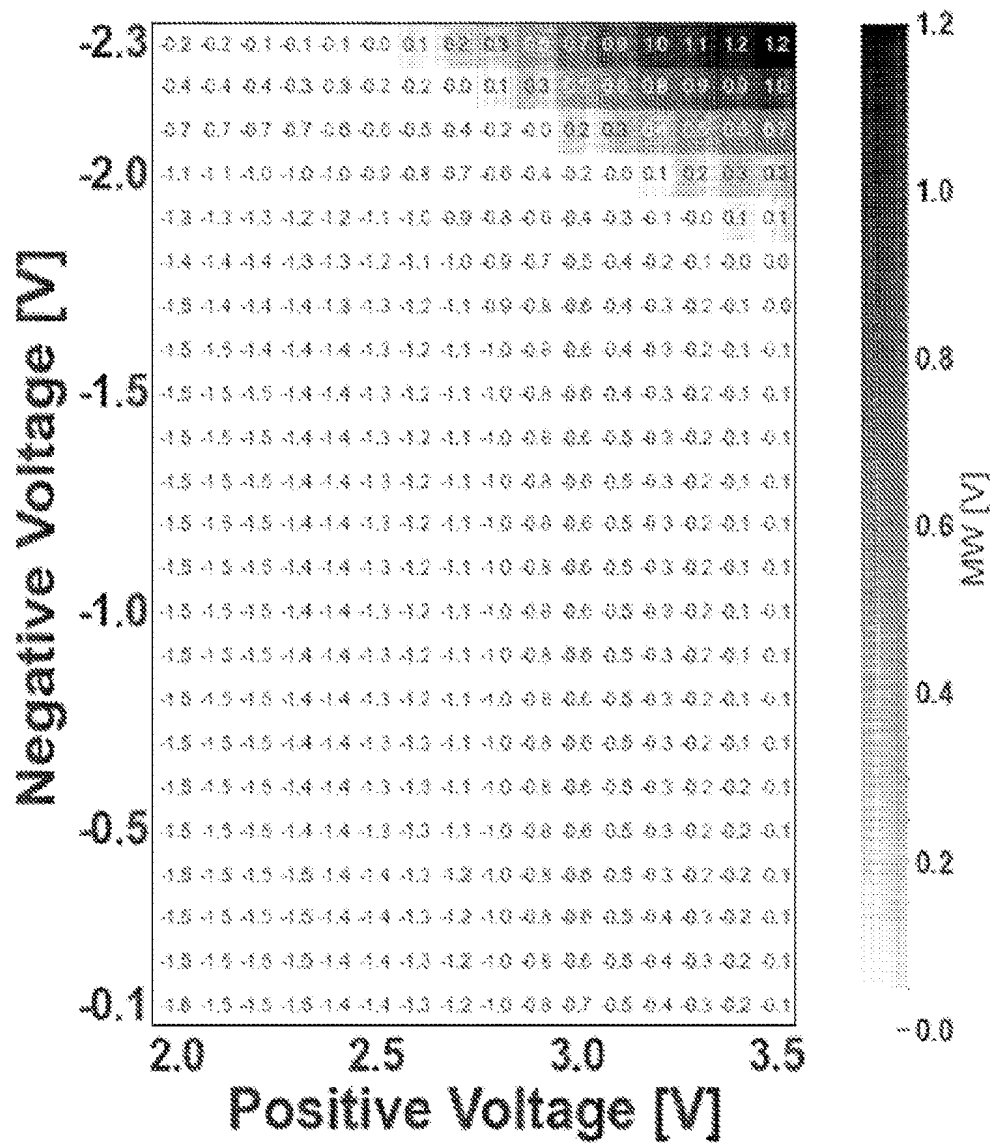
[図28]



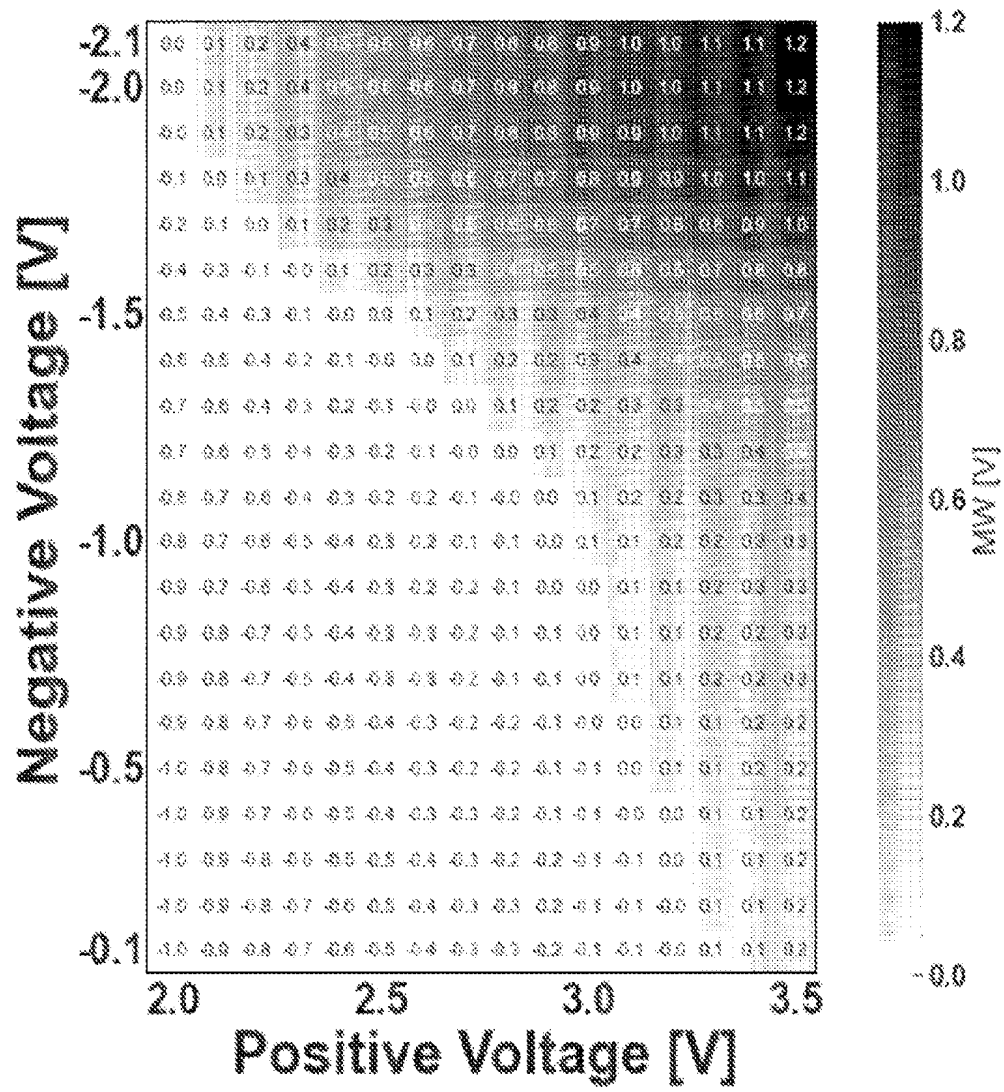
[図29A]



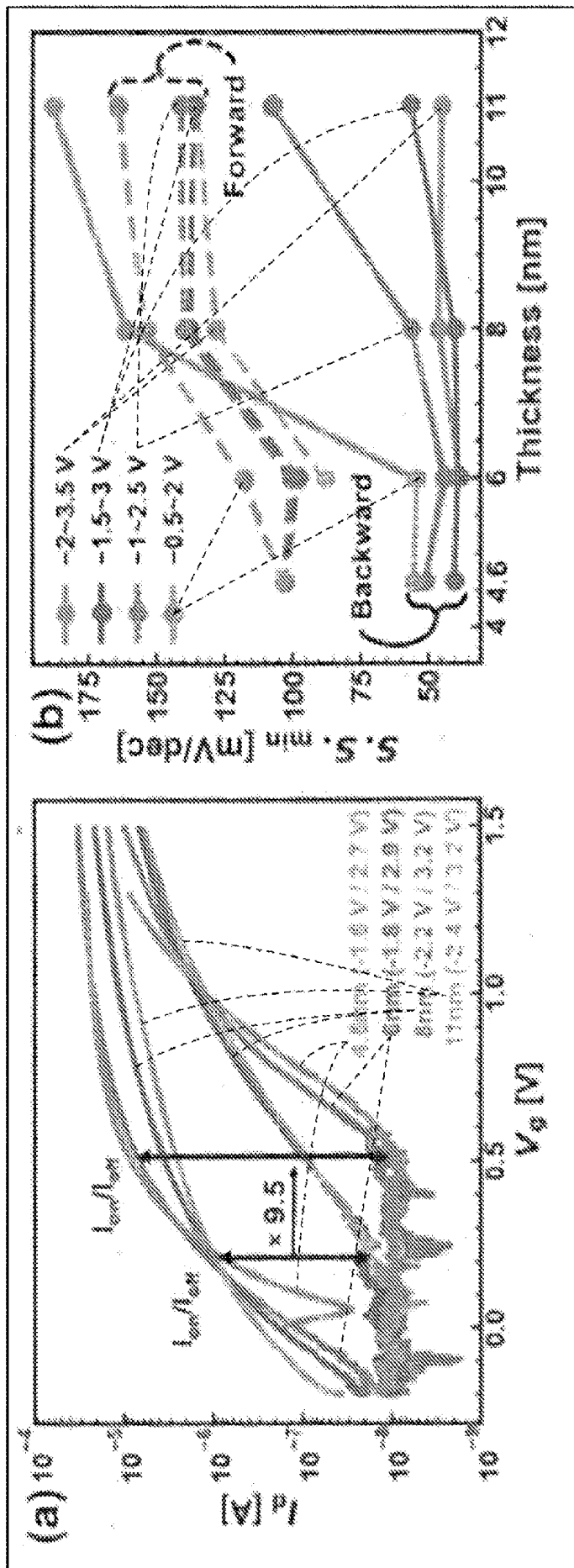
[図29B]



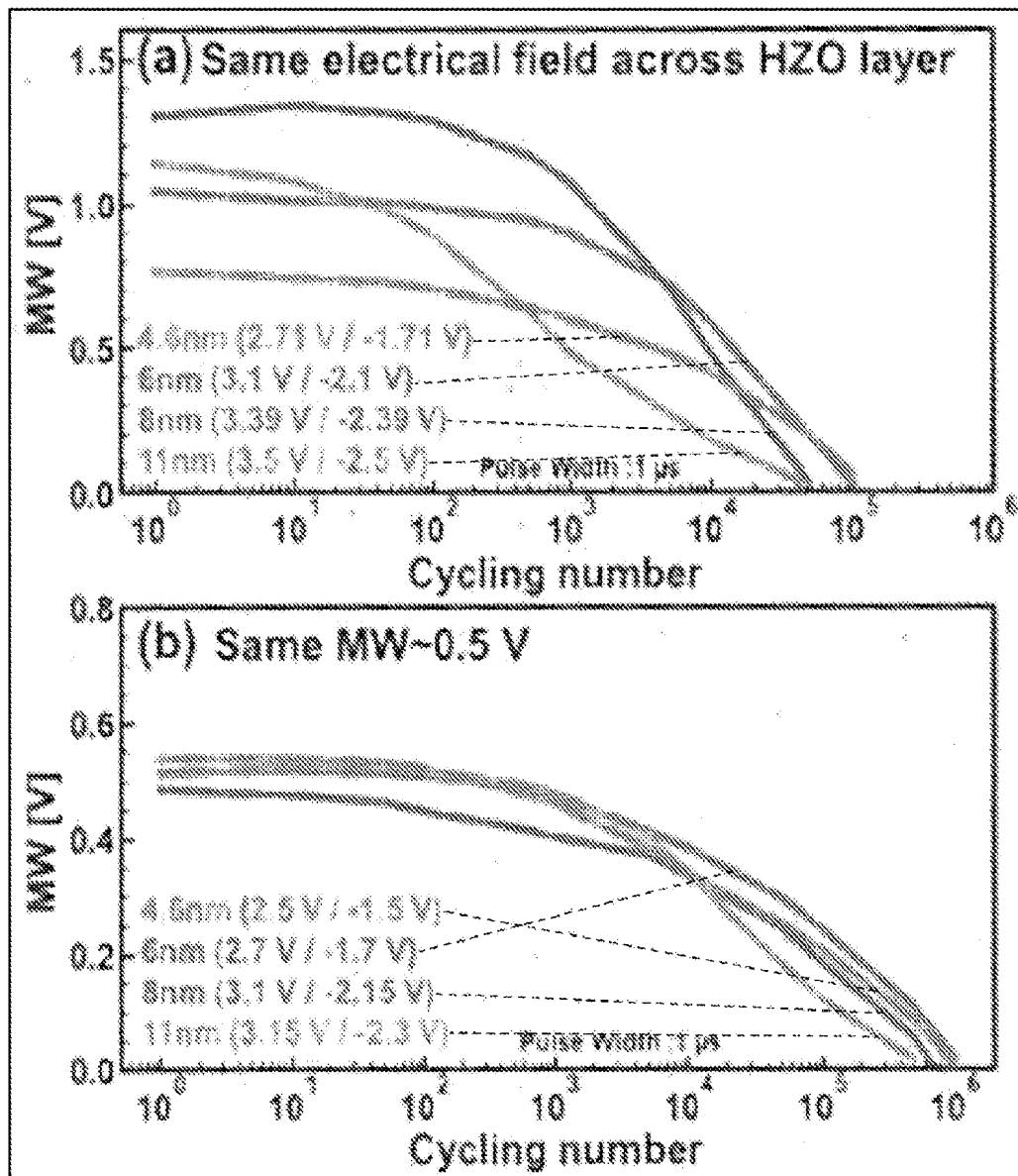
[図29C]



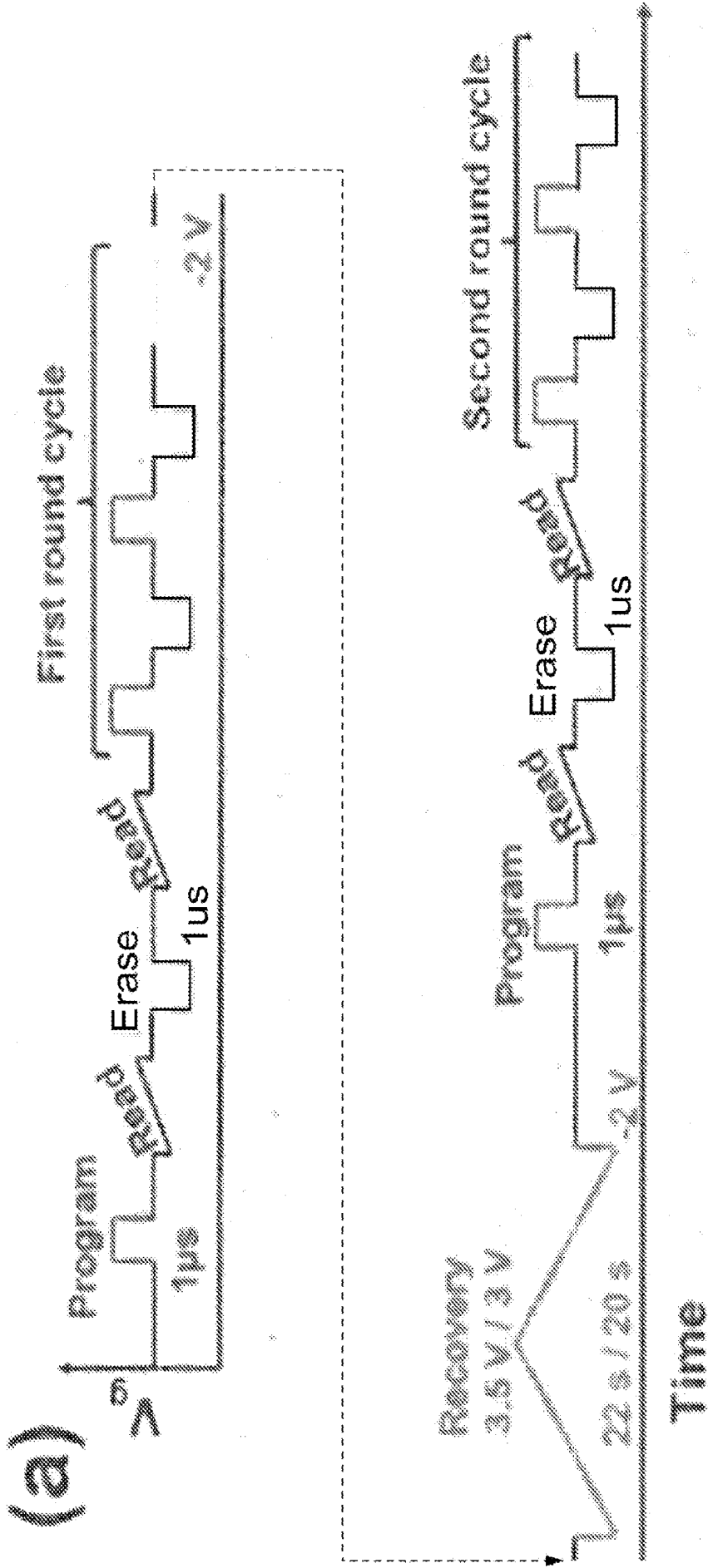
[図30]



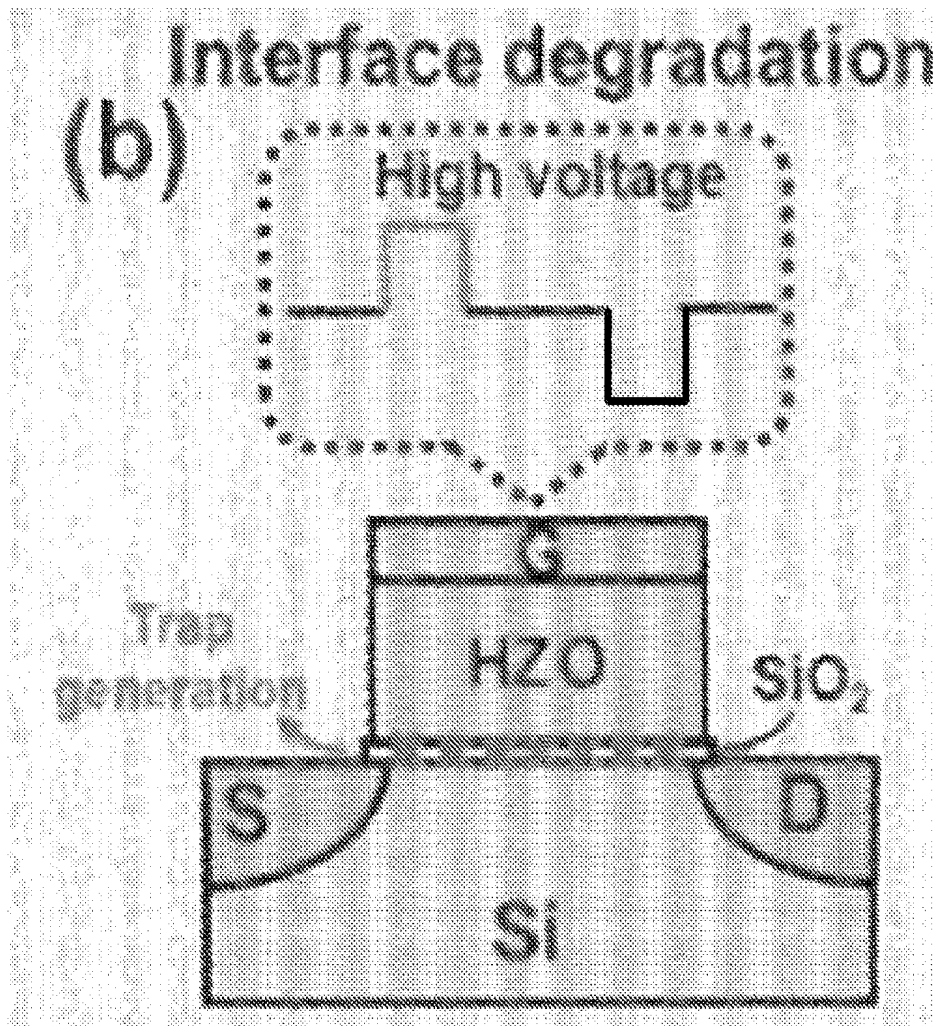
[図31]



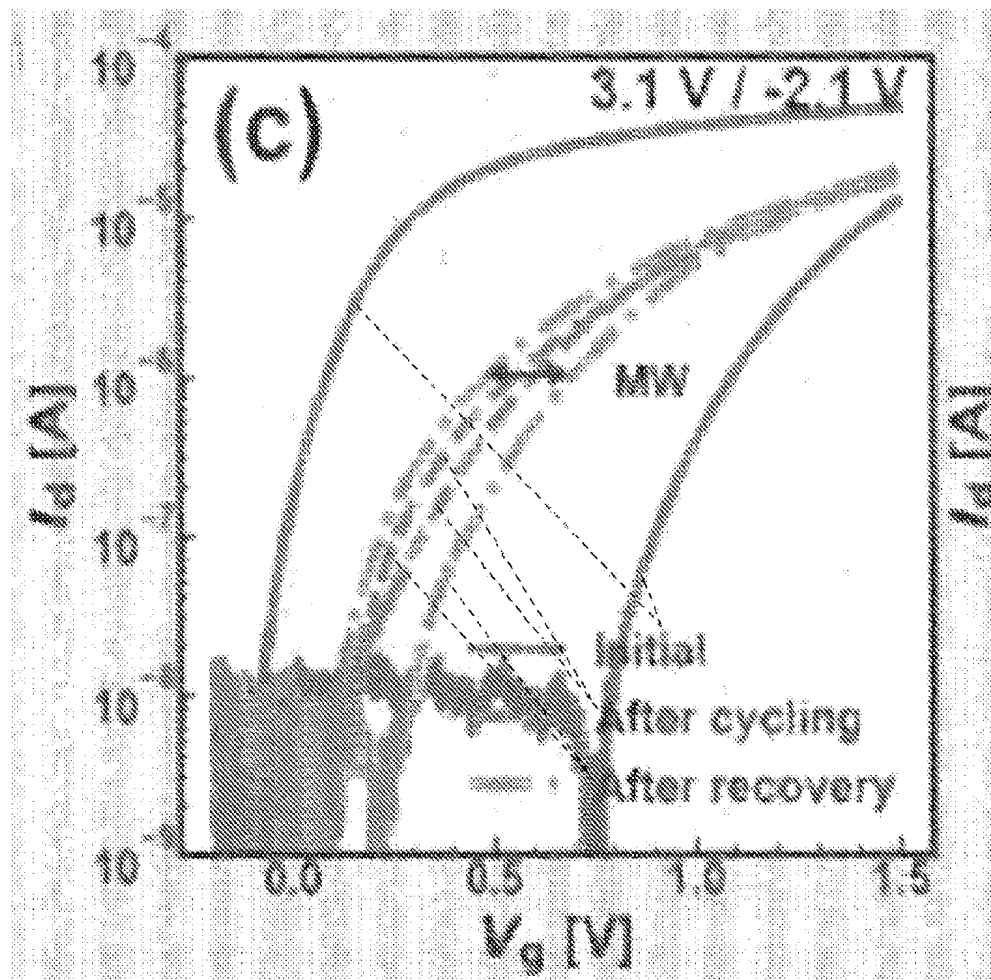
[図32A]



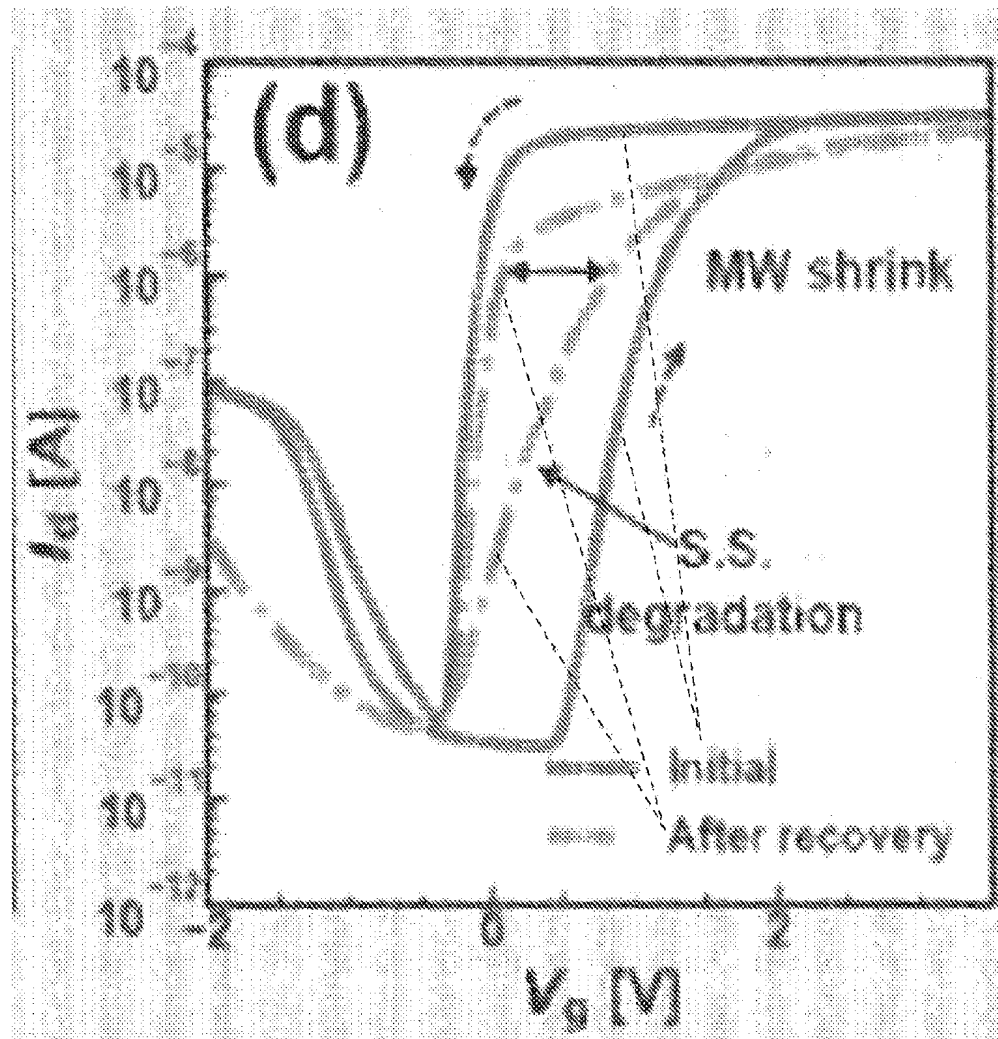
[図32B]



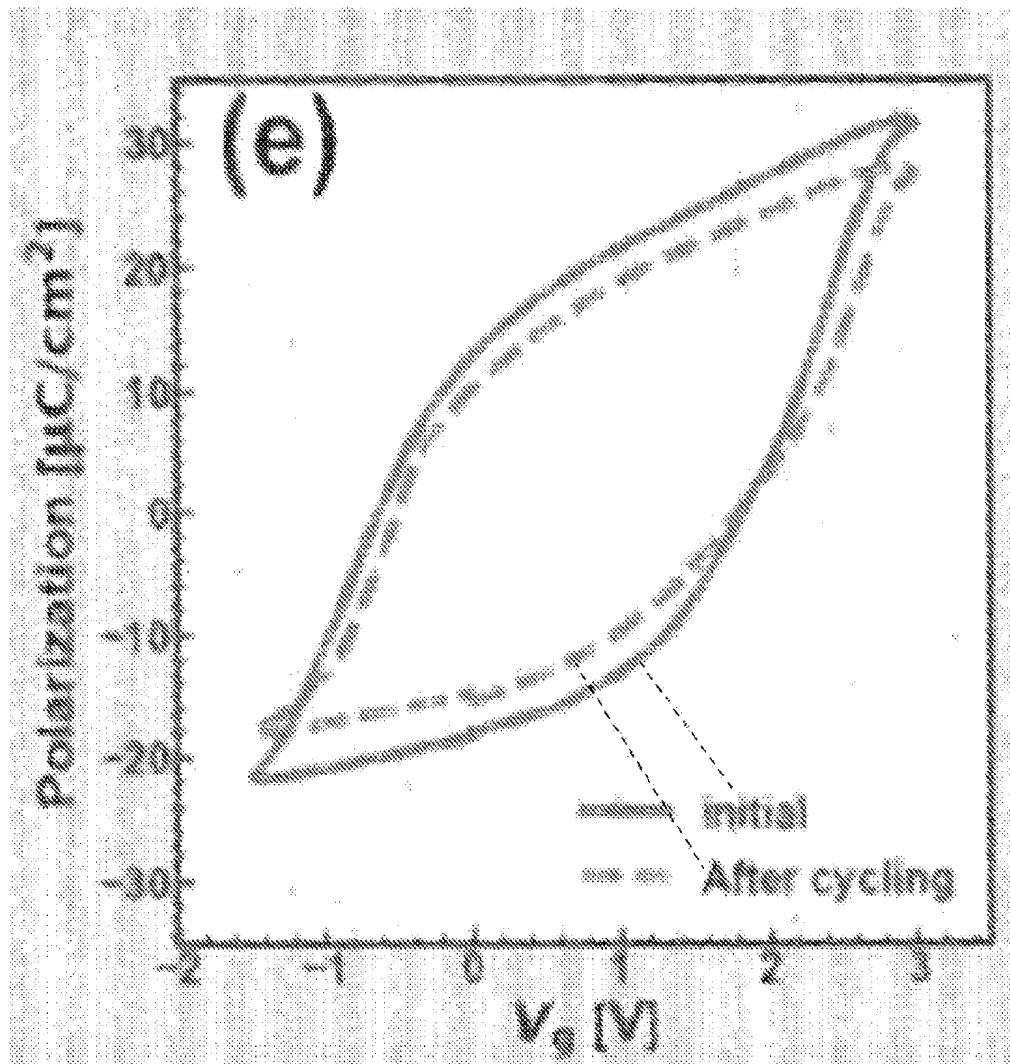
[図32C]



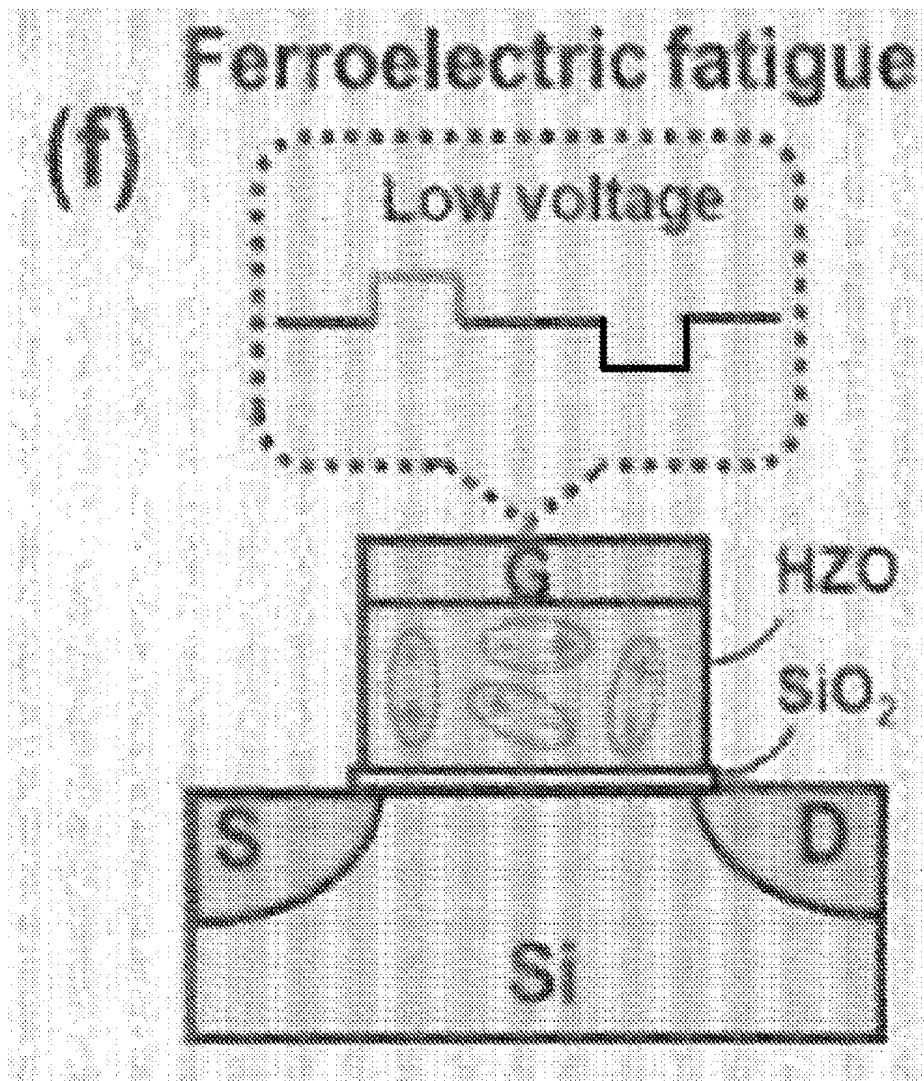
[図32D]



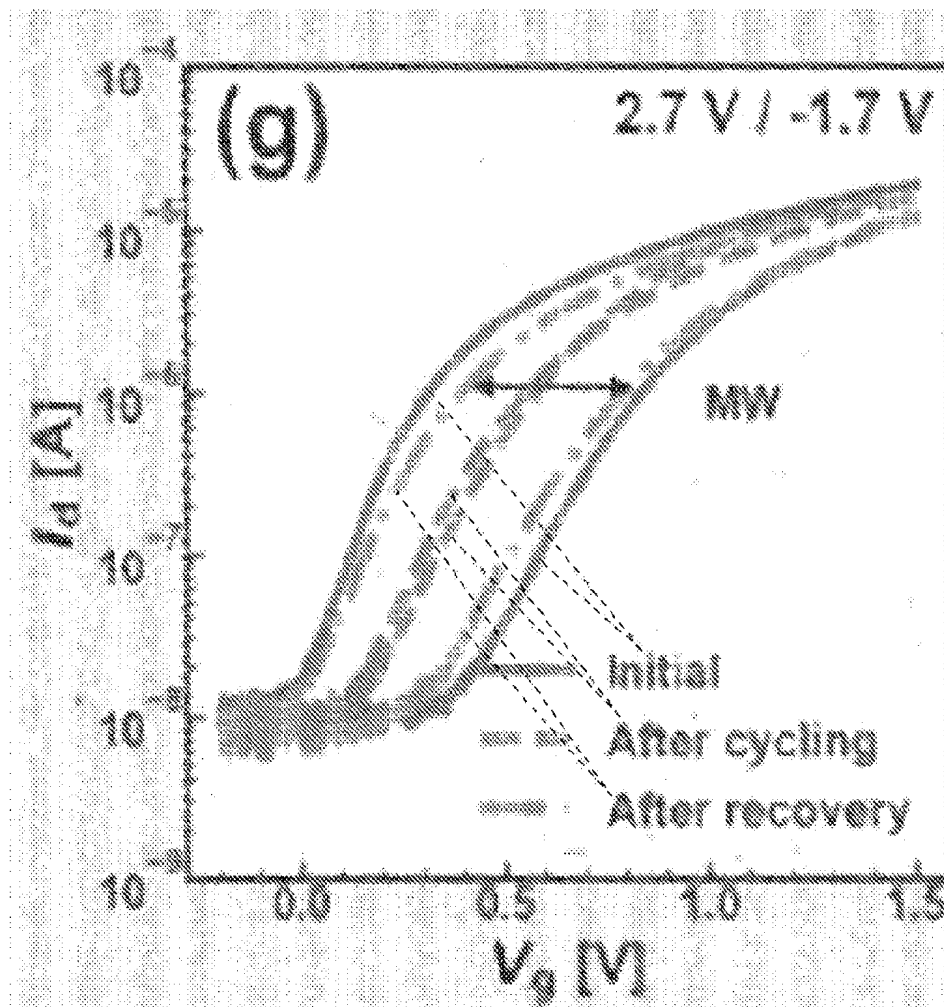
[図32E]



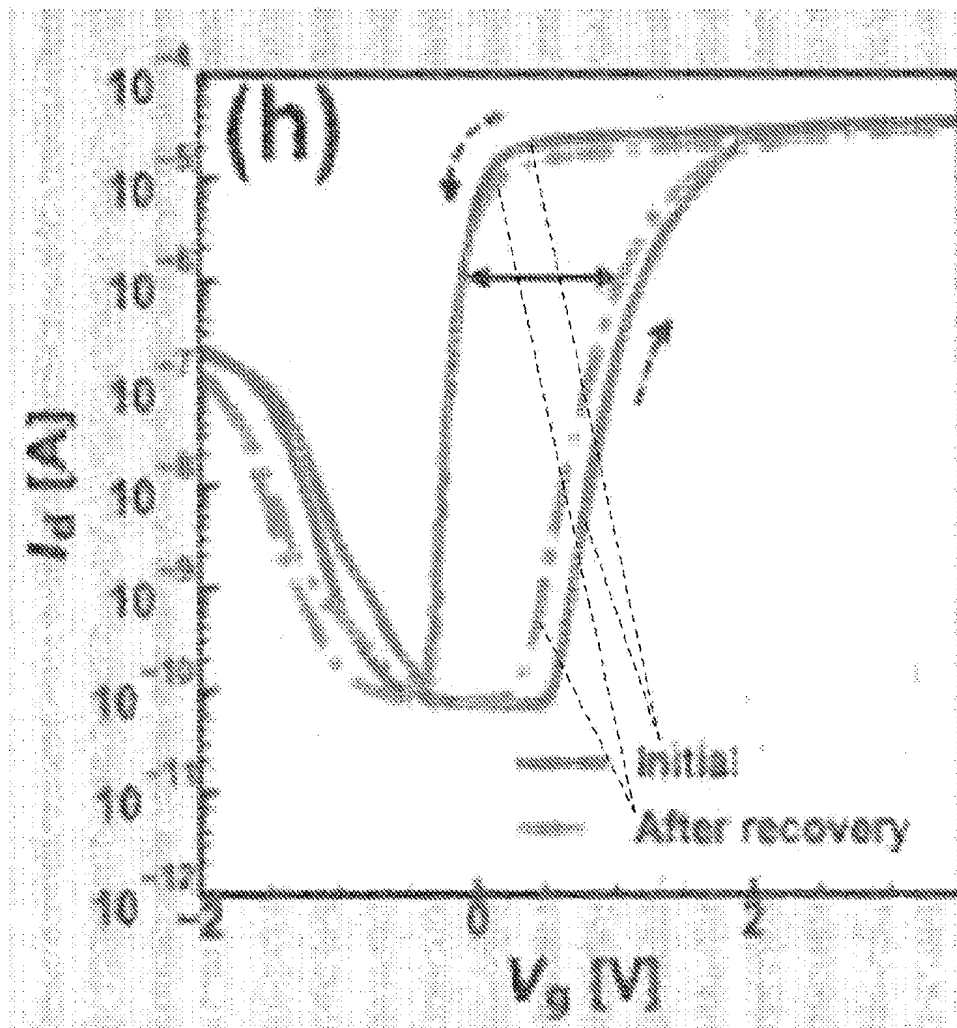
[図32F]



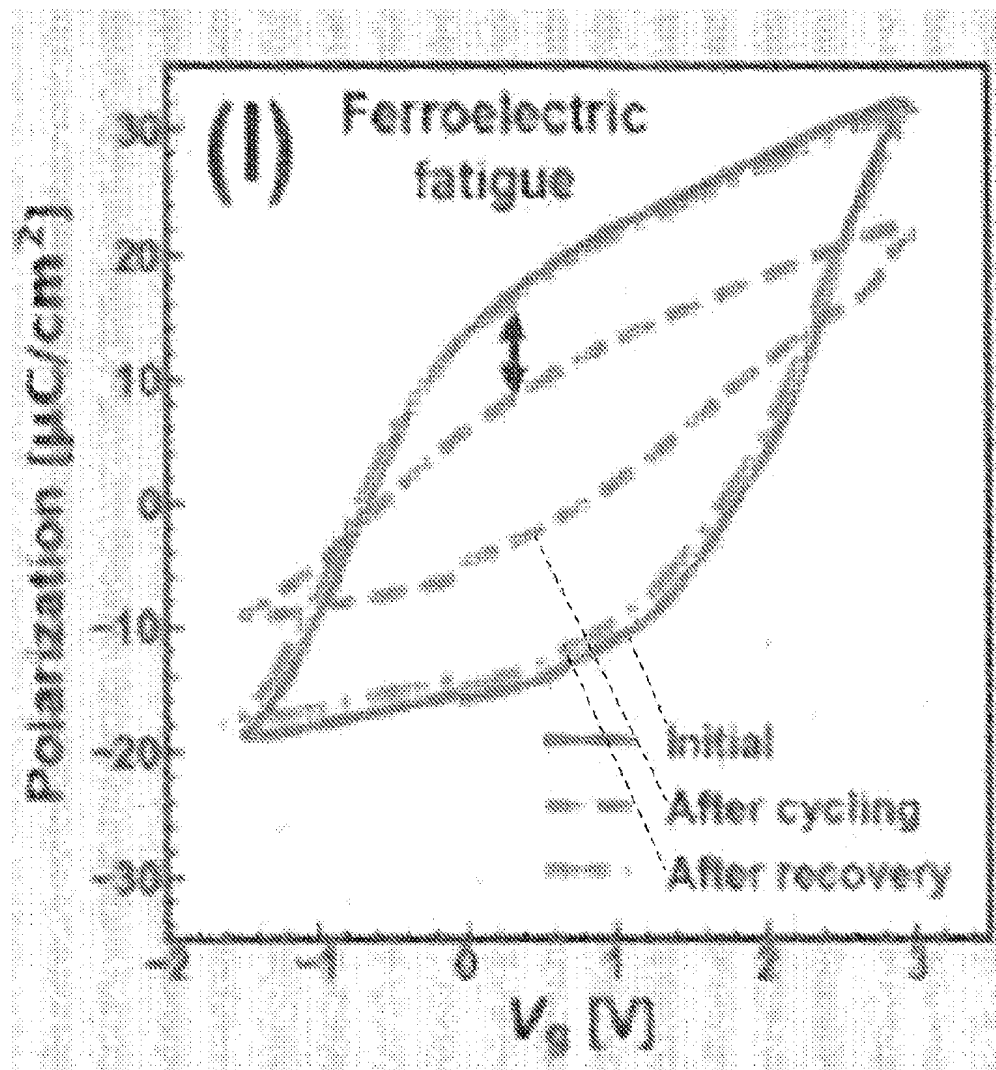
[図32G]



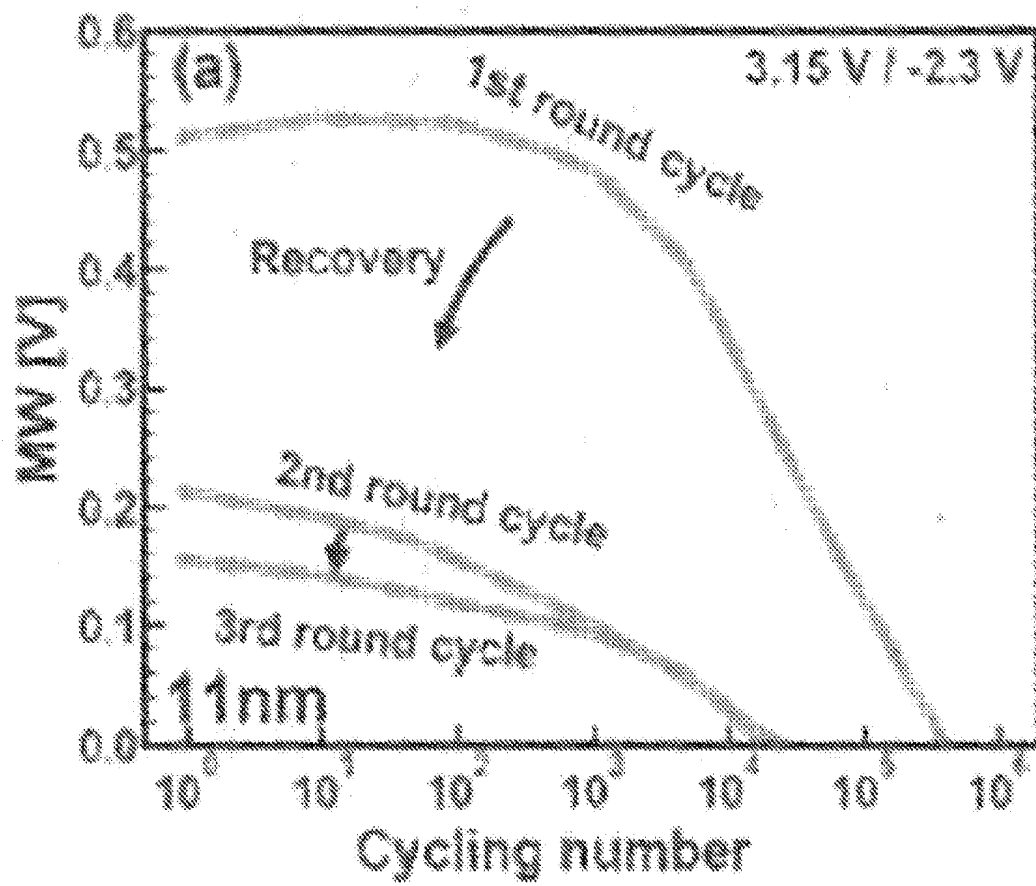
[図32H]



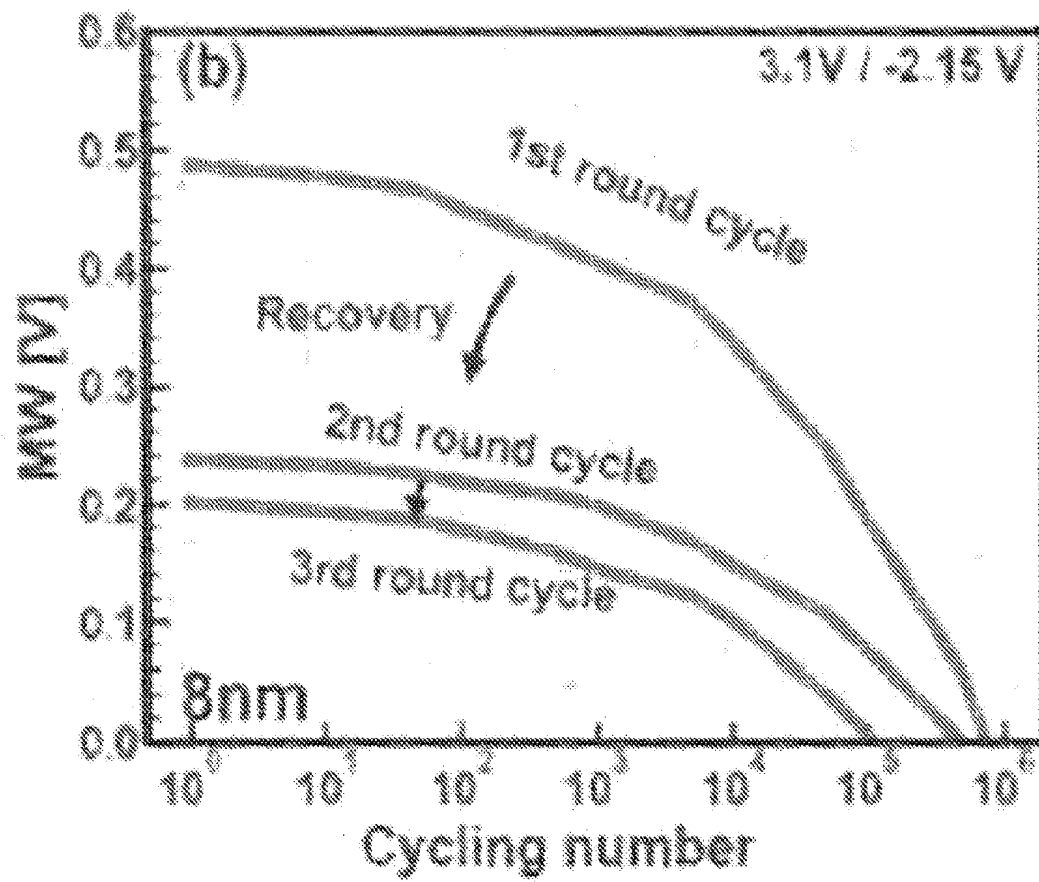
[図32I]



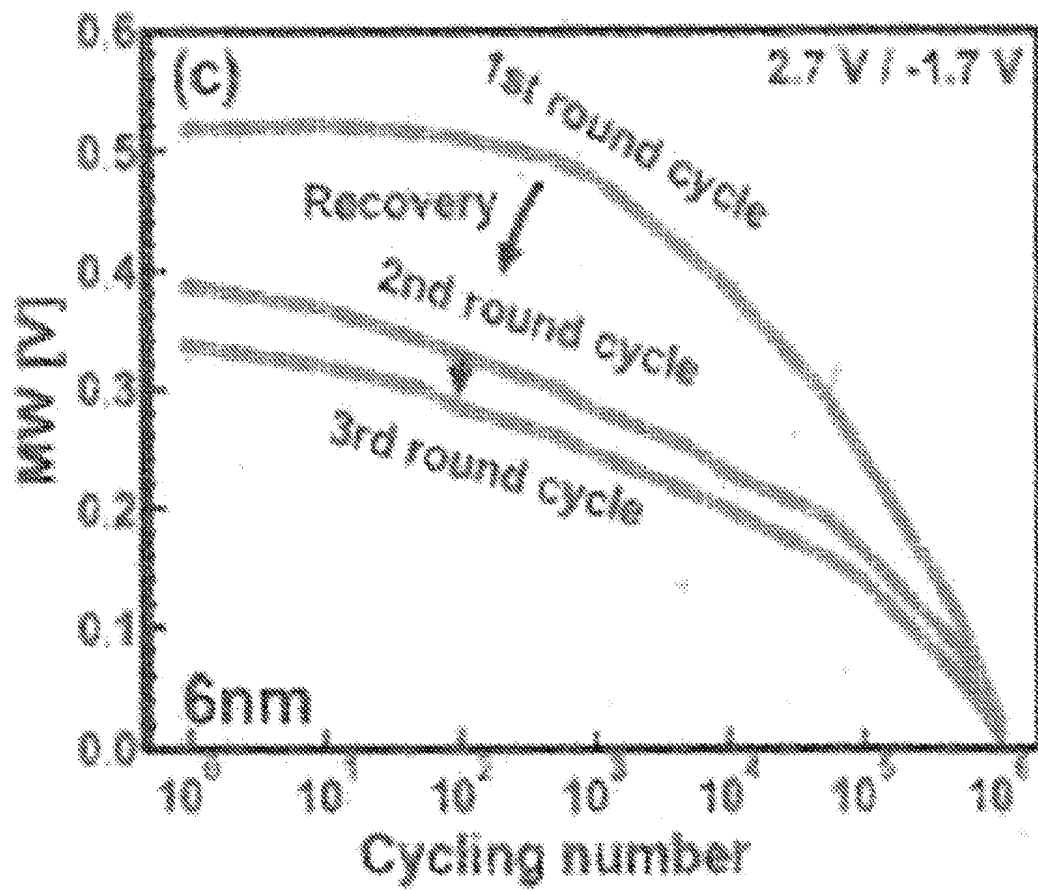
[図33A]



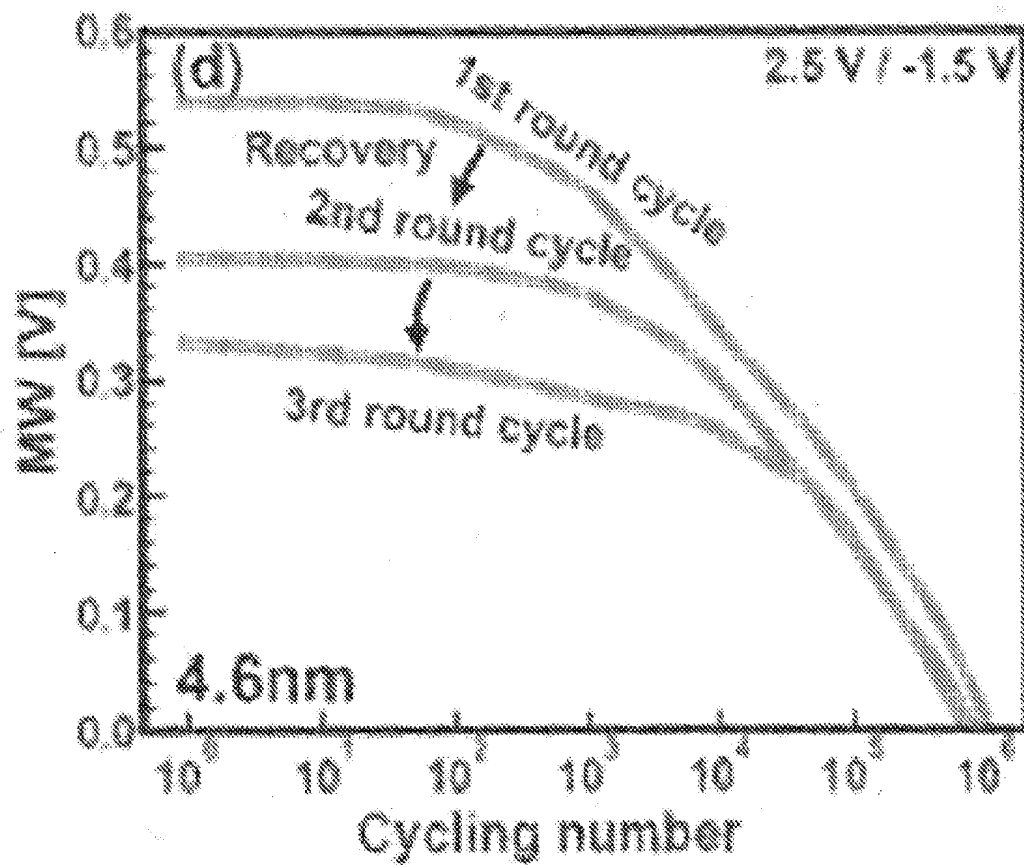
[図33B]



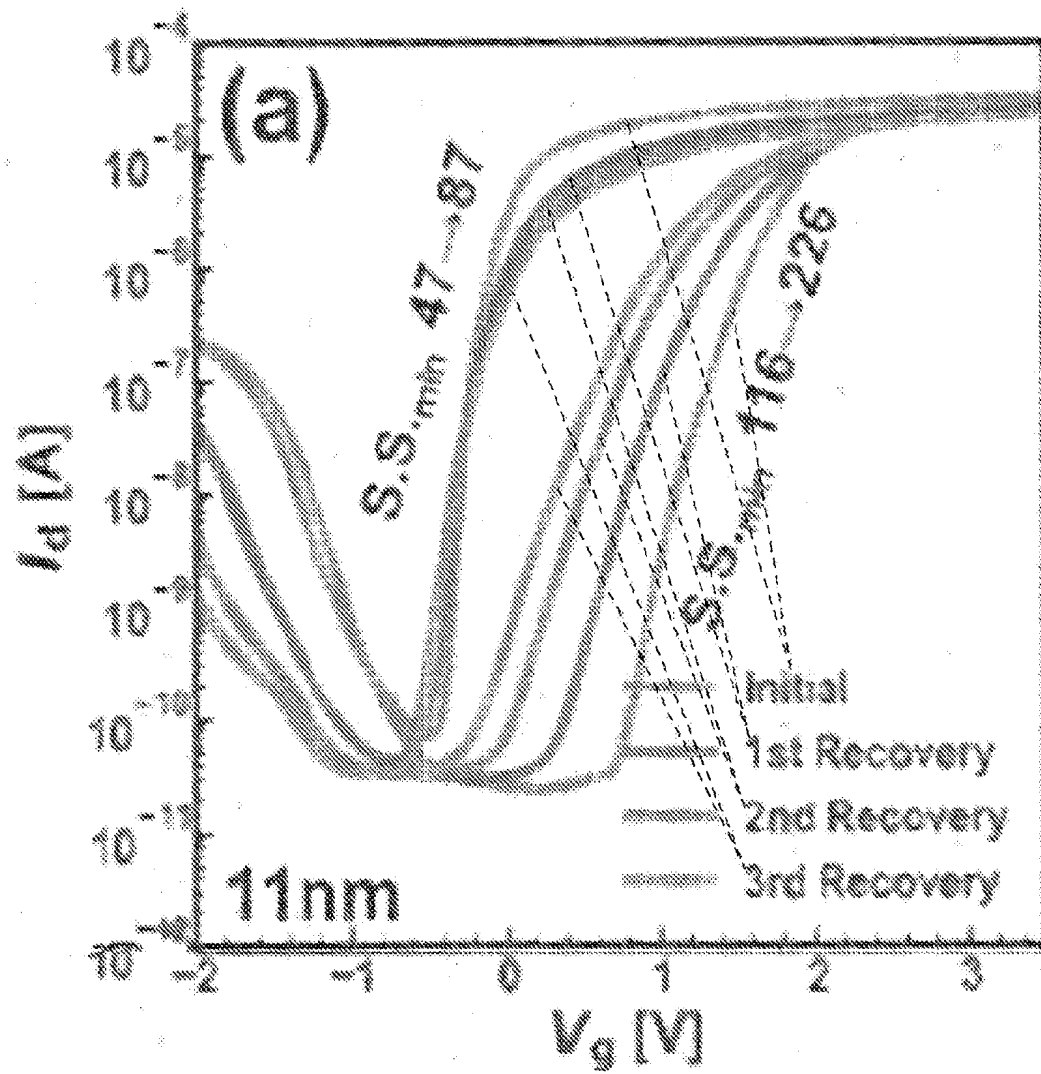
[図33C]



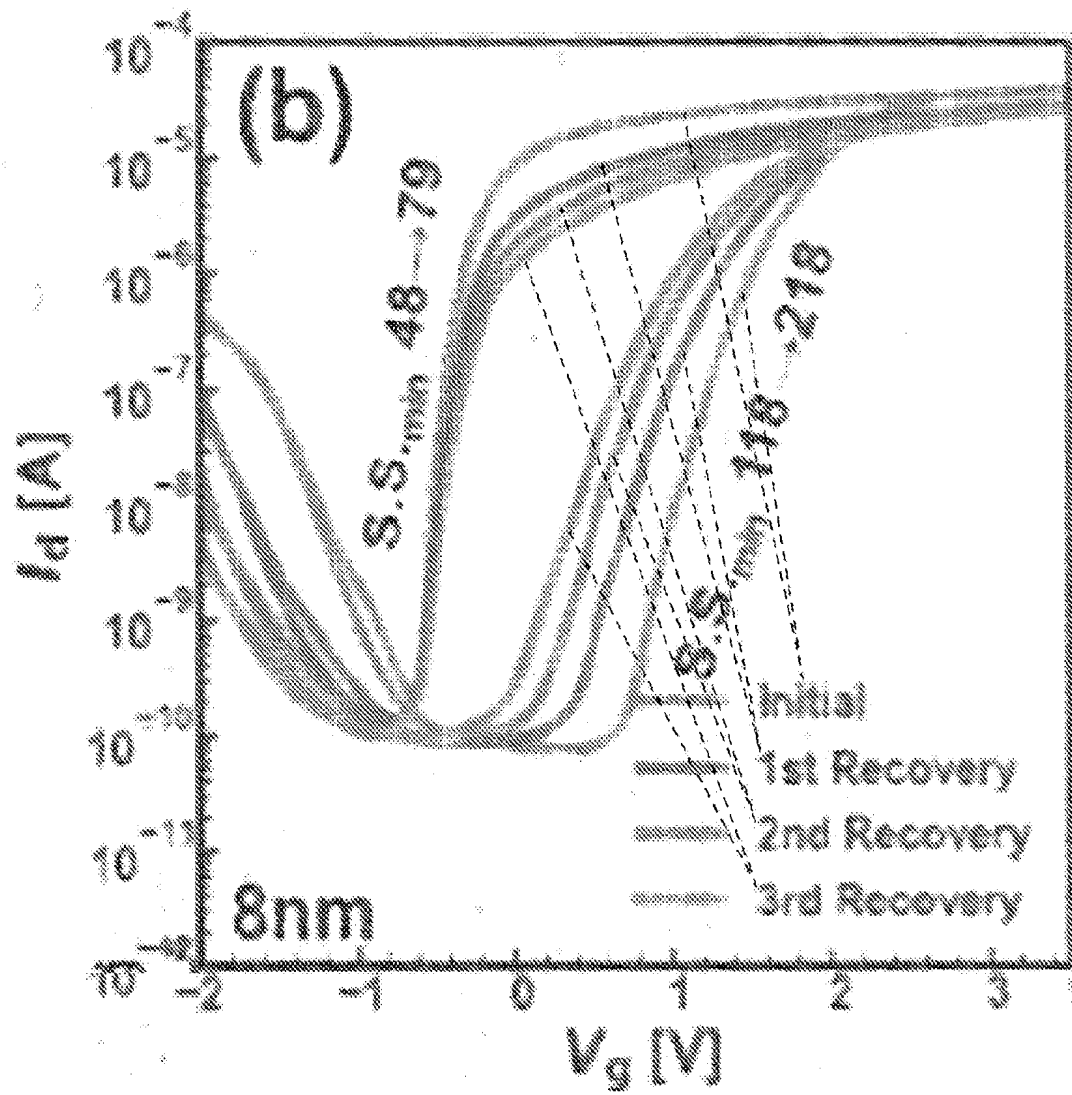
[図33D]



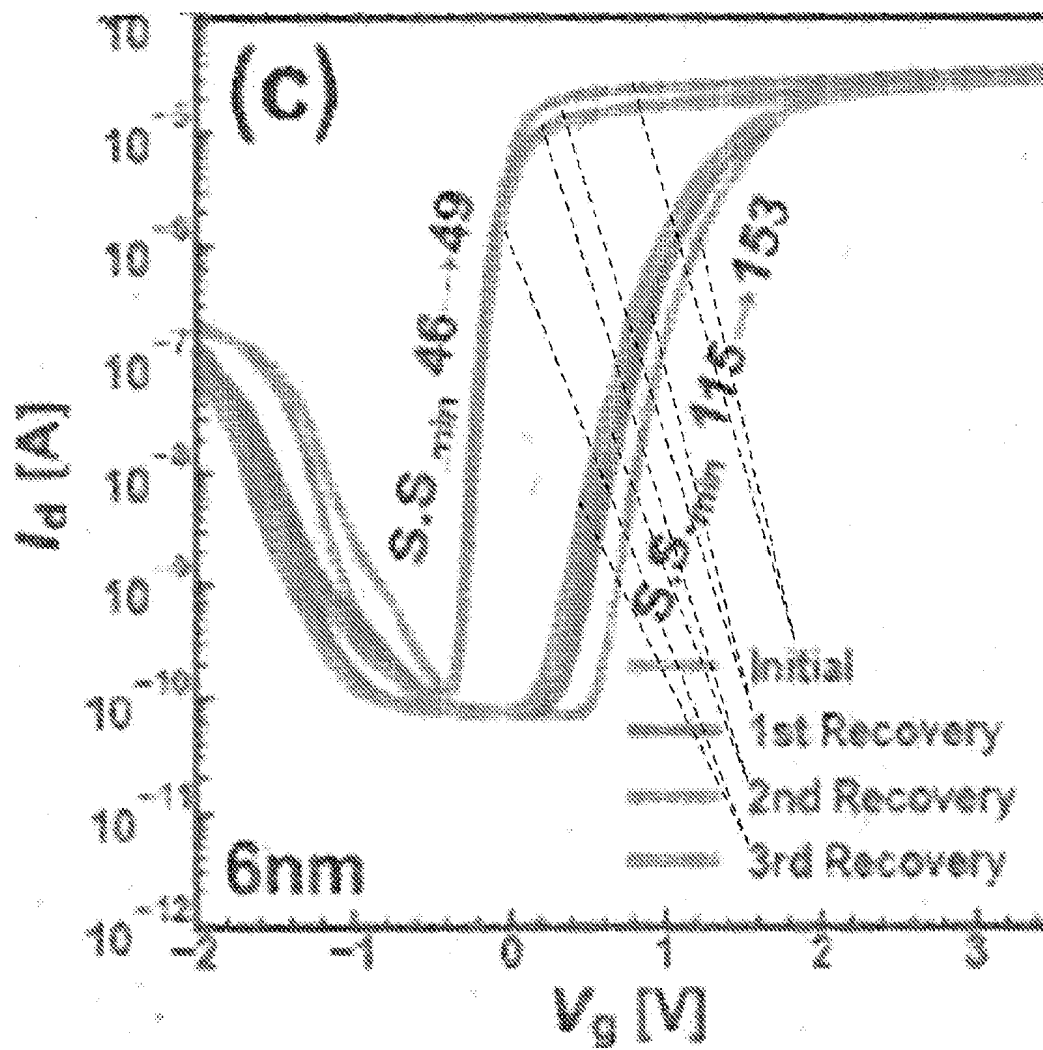
[図34A]



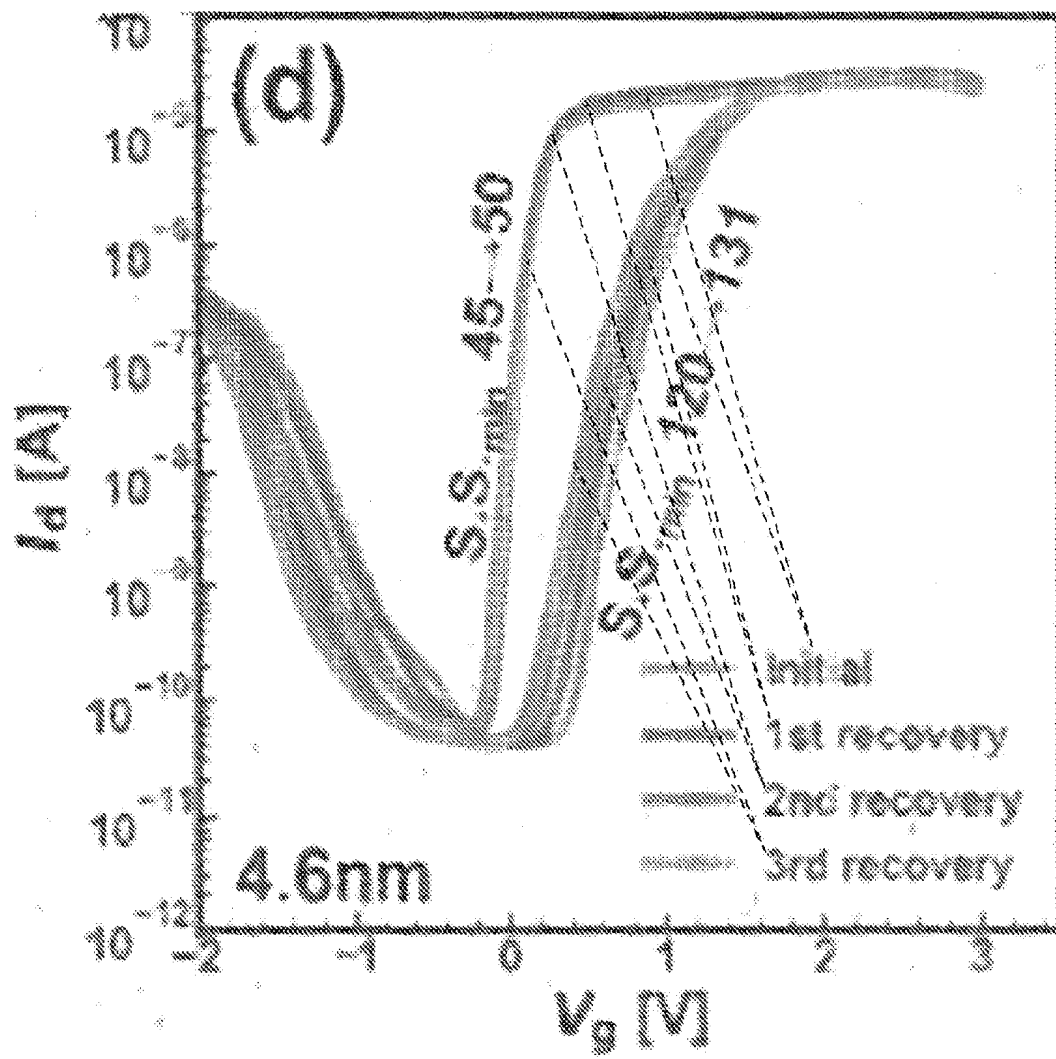
[図34B]



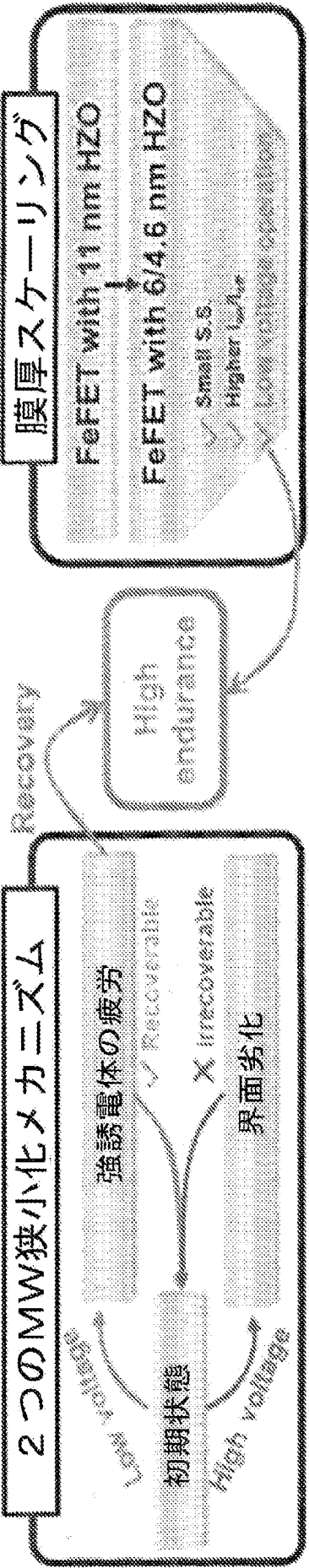
[図34C]



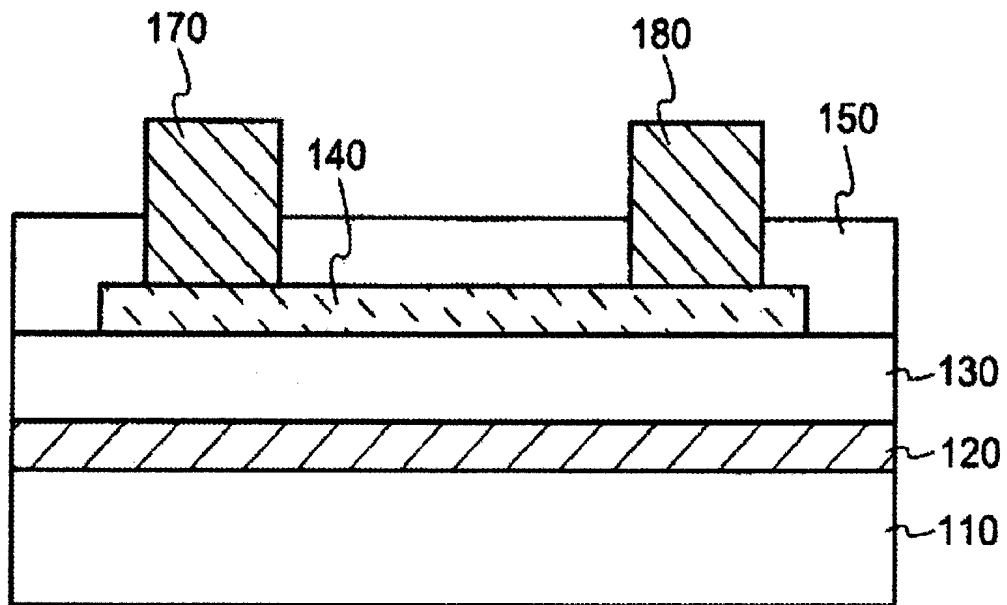
[図34D]



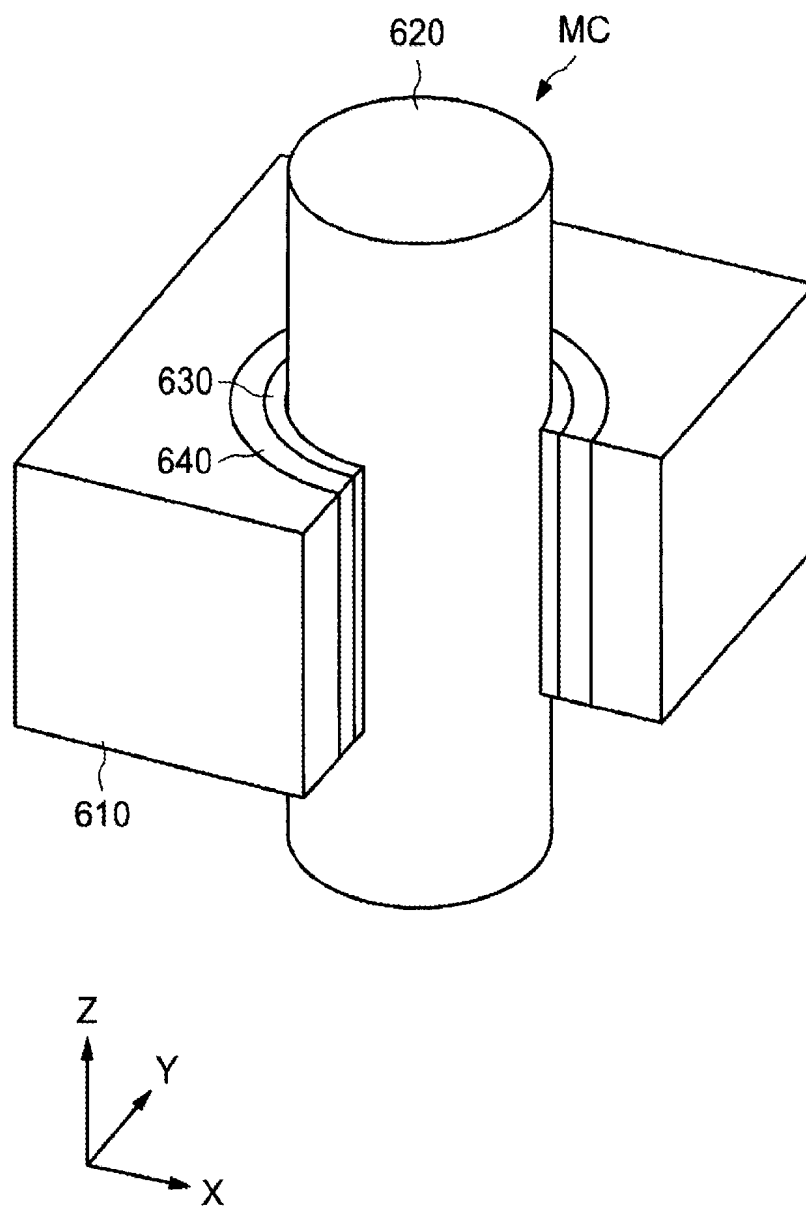
[図35]



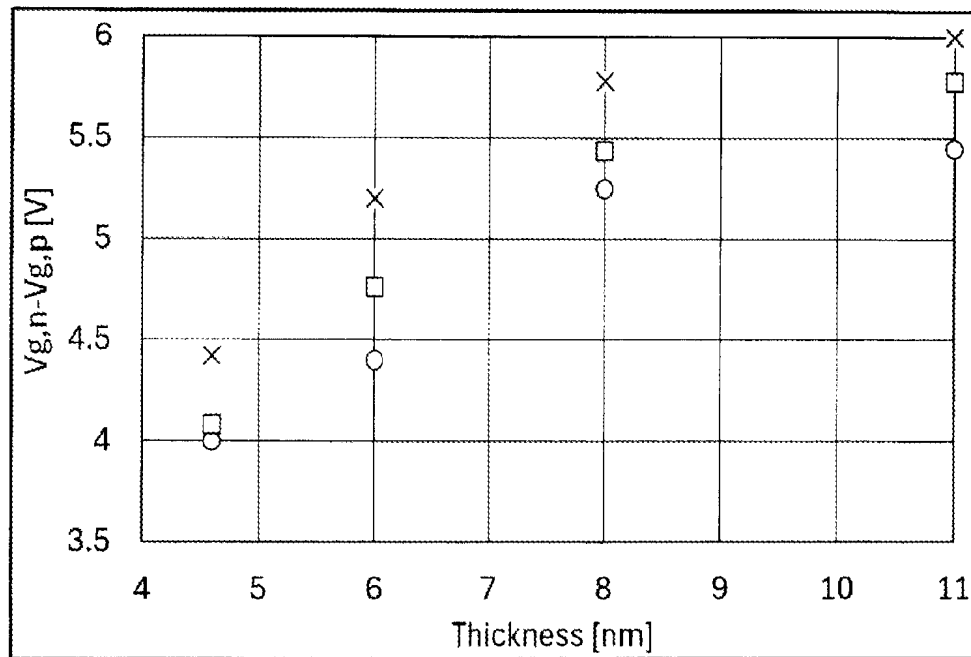
[図36]



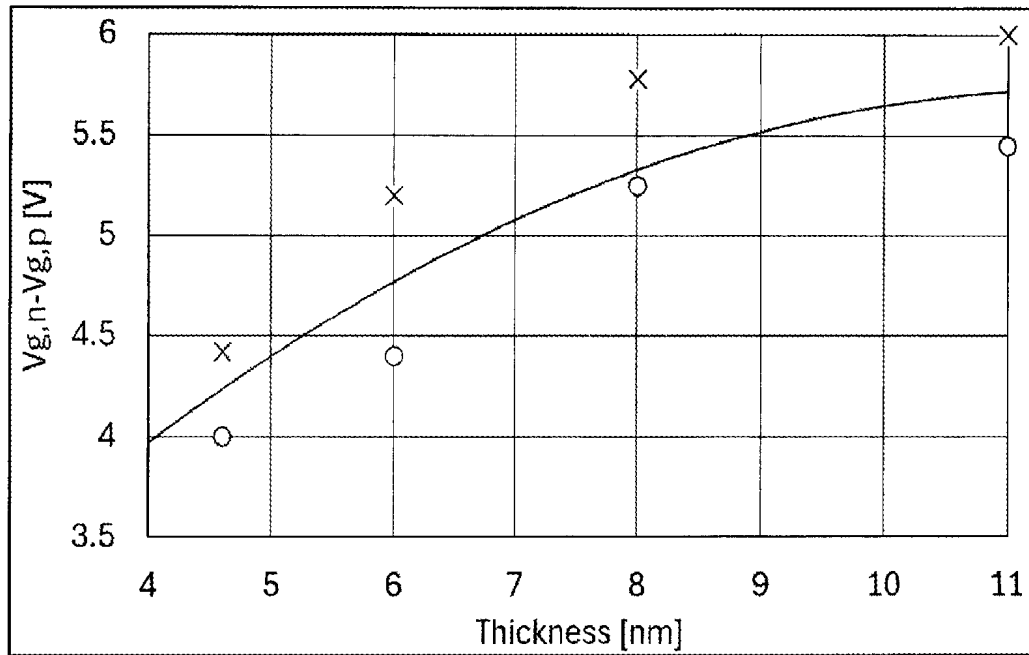
[図37]



[図38]



[図39]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017271

A. CLASSIFICATION OF SUBJECT MATTER*H10B 51/30* (2023.01)j

FI: H10B51/30

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B51/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2023-40758 A (RENESAS ELECTRONICS CORPORATION) 23 March 2023 (2023-03-23) paragraphs [0006], [0017]-[0018], [0020]-[0023], [0025], [0051]-[0053], [0057], fig. 2	1-6
Y		11-20
A		7-10
X	WO 2021/024598 A1 (JAPAN SCIENCE AND TECHNOLOGY AGENCY) 11 February 2021 (2021-02-11) paragraphs [0008], [0020]-[0024], [0107], fig. 1	7-10
Y		11-20
A		1-6
Y	JP 2019-160374 A (TOSHIBA MEMORY CORP.) 19 September 2019 (2019-09-19) paragraphs [0005], [0013]-[0016], [0062]-[0064], [0067]-[0069], fig. 14	11-20
A		1-10

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search 08 July 2024	Date of mailing of the international search report 16 July 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017271

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2023-44116 A (KIOXIA CORP.) 30 March 2023 (2023-03-30) entire text, all drawings	I-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/017271

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2023-40758	A	23 March 2023	US 2023/0083989 A1 paragraphs [0009], [0078]- [0079], [0081]-[0084], [0086], [0112]-[0114], [0119], fig. 2 CN 115942753 A	
WO	2021/024598	A1	11 February 2021	US 2022/0157833 A1 paragraphs [0043], [0047]- [0051], [0134], fig. 1 KR 10-2022-0034890 A	
JP	2019-160374	A	19 September 2019	US 2019/0287599 A1 paragraphs [0006], [0039]- [0042], [0092]-[0094], [0097]- [0099], fig. 14 US 2020/0227108 A1 CN 110277116 A	
JP	2023-44116	A	30 March 2023	US 2023/0085754 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H10B 51/30(2023.01) FI: H10B51/30		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H10B51/30		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年		
国際調査で使用了電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2023-40758 A (ルネサスエレクトロニクス株式会社) 23.03.2023 (2023 - 03 - 23) [0006], [0017] - [0018], [0020] - [0023], [0025], [0051] - [0053], [0057], 図2	1-6
Y		11-20
A		7-10
X	WO 2021/024598 A1 (国立研究開発法人科学技術振興機構) 11.02.2021 (2021 - 02 - 11) [0008], [0020] - [0024], [0107], 図1	7-10
Y		11-20
A		1-6
Y	JP 2019-160374 A (東芝メモリ株式会社) 19.09.2019 (2019 - 09 - 19) [0005], [0013] - [0016], [0062] - [0064], [0067] - [0069], 図14	11-20
A		1-10
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “Z” 同一パテントファミリー文献		
国際調査を完了した日 08.07.2024		国際調査報告の発送日 16.07.2024
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 宮本 博司 5F 6313 電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2023-44116 A (キオクシア株式会社) 30, 03, 2023 (2023 - 03 - 30) 全文, 全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/017271

引用文献			公表日	パテントファミリー文献	公表日
JP	2023-40758	A	23.03.2023	US 2023/0083989 A1 [0009], [0078] - [0079], [0081] - [0084], [0086], [0112] - [0114], [0119], 図2	
				CN 115942753 A	
WO	2021/024598	A1	11.02.2021	US 2022/0157833 A1 [0043], [0047] - [0051], [0134], 図1	
				KR 10-2022-0034890 A	
JP	2019-160374	A	19.09.2019	US 2019/0287599 A1 [0006], [0039] - [0042], [0092] - [0094], [0097] - [0099], 図14	
				US 2020/0227108 A1	
				CN 110277116 A	
JP	2023-44116	A	30.03.2023	US 2023/0085754 A1 全文, 全図	