

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))
-

(57) 要約: スパイキングニューロン回路システム100は、入力電圧が印加されると、電界効果トランジスタ11の出力電流Iによるキャパシタ12への充電を開始する充電回路10と、キャパシタ12の充電電圧が第1の所定値に到達すると、パルス信号を生成して出力するパルス生成回路20と、電界効果トランジスタ11のバルク電圧またはゲート電圧のいずれかまたは両方を制御することによって、電界効果トランジスタ11の出力電流Iを制御する制御回路50とを備えている。

明 細 書

発明の名称：

スパイクングニューロン回路システムおよびスパイクングニューロン回路 技術分野

[0001] 本開示は、スパイクングニューロン回路システムに係り、特に入力電圧が印加されてからパルス信号が出力されるまでに待ち時間を有するスパイクングニューロン回路システムに関する。また、本開示は、このようなスパイクングニューロン回路システムに利用可能なスパイクングニューロン回路にも関する。

背景技術

[0002] 生物の神経細胞の発火信号をより忠実に模倣したスパイクングニューロン回路が提案されている。スパイクングニューロン回路では、出力信号の波形はスパイク状のパルスになる。国際公開2020/175290号公報には、入力電圧が印加されてからスパイク状のパルス信号が出力されるまでに所定の待ち時間を有するスパイクングニューロン回路が記載されている。

[0003] 国際公開2020/175290号公報のスパイクングニューロン回路では、入力電圧によってキャパシタが充電され、当該キャパシタの充電電圧が所定値に到達すると、パルス信号が出力される。また、国際公開2020/175290号公報には、スパイクングニューロン回路が出力するパルス信号を利用して、電源回路のタイミング制御を行うことにより、電源回路の制御を極めて低消費電力で行う事項が記載されている。

発明の概要

発明が解決しようとする課題

[0004] スパイクングニューロン回路を集積回路上に実装する場合、回路内の各素子の特性は、製造プロセス、素子の配置および動作温度等の影響を受けて、設計値とは異なるものになる。そのため、スパイクングニューロン回路に入力電圧が印加されてから、パルス信号が出力されるまでの待ち時間について

も、設計値と実際値とが異なるものになる可能性がある。

[0005] かかる設計値と実際値が異なるものになることによって、技術的な課題が生じうる。例えば、国際公開2020/175290号公報のように、スパイクニューロン回路が出力するパルス信号を利用して、電源回路のタイミング制御を行う際に、待ち時間の設計値と実際値とが大幅に異なってしまうと、電源回路の制御に支障をきたすおそれがある。

[0006] これに限らず、他にも種々の課題が生じうる。例えばスパイクニューロン回路が出力するパルス列のパルスとバルスとの時間間隔を、送信対象の情報に応じて変調して、送信する際にも、その時間間隔の設計値と実際値が異なるものになることによって、受信側において当該情報が異なる情報として受信されてしまうという課題が生じうる。

[0007] 本開示は、上記のような課題を解決するためのものであり、入力電圧が印加されてからパルス信号が出力されるまでの待ち時間を高精度に制御することができる、スパイクニューロン回路システムを提供することを目的とする。

課題を解決するための手段

[0008] 上記の課題を解決するために、本開示に係るスパイクニューロン回路システムは、入力電圧が印加されると、電界効果トランジスタの出力電流による容量成分への充電を開始する充電回路と、前記容量成分の充電電圧が第1の所定値に到達すると、パルス信号を生成して出力するパルス生成回路と、前記電界効果トランジスタのバルク電圧またはゲート電圧のいずれかまたは両方を制御することによって、前記電界効果トランジスタの出力電流を制御する制御回路と、を備える。

[0009] 前記制御回路は、前記電界効果トランジスタのバルク電圧またはゲート電圧のいずれかまたは両方を制御するための制御電圧を生成する制御電圧生成回路を含んでいてもよい。

[0010] 前記制御回路は、前記制御電圧生成回路が前記制御電圧を生成するための選択信号を生成する選択信号生成回路をさらに含んでいてもよく。前記選択

信号生成回路は、前記選択信号を生成するための情報を記憶する記憶回路を有していてもよい。

- [0011] 前記制御回路は、前記電界効果トランジスタの前記バルク電圧または前記ゲート電圧のいずれかまたは両方を離散的に制御してもよい。
- [0012] 前記制御電圧生成回路は、第1の電源線と第2の電源線との間に順方向に直列接続された複数のダイオードを含み、前記ダイオード間の各ノードに生じる電圧のいずれかを前記制御電圧として生成してもよい。
- [0013] 前記制御電圧生成回路は、キャパシタを含んでいてもよく、前記キャパシタの充電電圧を前記制御電圧として生成してもよい。
- [0014] スパイキングニューロン回路システムは、前記入力電圧が印加されてから所定の時間が経過すると参照信号を出力する参照信号回路をさらに備えていてもよく、前記制御回路は、前記参照信号が出力されるタイミングと前記パルス信号が出力されるタイミングとの時間差に基づいて、前記入力電圧が印加されてから前記パルス信号が出力されるまでの待ち時間を補償してもよい。
- [0015] 前記所定の時間の温度変化に対する変動は、前記待ち時間の温度変化に対する変動よりも小さくてもよい。
- [0016] 前記充電回路は、半導体基板上に実装され得る。前記スパイキングニューロン回路システムは、前記半導体基板に外付けされる個別素子によって構成される抵抗器およびキャパシタを含み、該キャパシタを所定の時定数で充電する時定数回路をさらに備えていてもよく、前記参照信号回路は、前記キャパシタの充電電圧が第2の所定値に到達すると、前記参照信号を出力してもよい。
- [0017] スパイキングニューロン回路システムは、前記抵抗器および前記キャパシタへの電力供給を制御するスイッチをさらに備えていてもよく、前記スイッチは、前記待ち時間を補償する際にのみ、前記抵抗器および前記キャパシタへの電力供給を許容してもよい。
- [0018] 前記制御回路は、前記参照信号が出力されるタイミングと前記パルス信号

が出力されるタイミングとの時間差が第3の所定値以下になるまで、前記電界効果トランジスタのバルク端子またはゲート端子のいずれかまたは両方に供給する電圧を段階的に切り替えてもよい。

- [0019] 前記制御回路は、前記電界効果トランジスタのバルク電圧またはゲート電圧のいずれかまたは両方を制御するための制御電圧を生成する制御電圧生成回路と、前記制御電圧生成回路が前記制御電圧を生成するための選択信号を生成する選択信号生成回路をさらに含んでもよく、前記参照信号が出力されるタイミングと前記パルス信号が出力されるタイミングとの時間差が前記第3の所定値以下になると、前記待ち時間の補償を終了してもよい。前記選択信号生成回路は、前記選択信号を生成するための情報を記憶する記憶回路を有してもよく、前記待ち時間の補償の終了時における前記選択信号を生成するための情報を前記記憶回路に記憶してもよい。
- [0020] 前記充電回路の前記容量成分は、トランジスタの寄生容量を含んでもよい。
- [0021] 前記制御回路は、前記バルク電圧を制御することによって、前記電界効果トランジスタの前記出力電流を制御してもよい。
- [0022] 前記電界効果トランジスタはNチャンネル型であってもよく、前記制御回路は、前記スパイクニューロン回路システムの電源電圧をVDDとすると、 $-VDD$ から $0.4VDD$ の範囲で前記バルク電圧を制御してもよい。
- [0023] 前記電界効果トランジスタはPチャンネル型であってもよく、前記制御回路は、前記スパイクニューロン回路システムの電源電圧をVDDとすると、 $0.6VDD$ から $2VDD$ の範囲で前記バルク電圧を制御してもよい。
- [0024] 前記制御回路は、前記ゲート電圧を制御することによって、前記電界効果トランジスタの前記出力電流を制御してもよい。
- [0025] 前記制御回路は、前記スパイクニューロン回路システムの電源電圧をVDDとすると、 0 からVDDの範囲で前記ゲート電圧を制御してもよい。
- [0026] 前記パルス生成回路は、正帰還ループおよび負帰還ループを有してもよい。

- [0027] 前記正帰還ループは前記パルス信号の立ち上がりを急峻にし、前記負帰還ループは前記パルス信号の立ち下がり急峻にするものであってもよい。
- [0028] 前記パルス生成回路は、縦続接続された複数のインバータを含んでもよい。前記複数のインバータは、それぞれ、相補的にオン状態となるPチャンネル型の電界効果トランジスタ及びNチャンネル型の電界効果型トランジスタを含んでもよく、前記Pチャンネル型の電界効果トランジスタ及び前記Nチャンネル型の電界効果型トランジスタのチャンネル幅の比が、隣接するインバータ間で互いに異なってもよい。
- [0029] スパイキングニューロン回路システムは、待機信号を出力するタイミング制御回路と、少なくとも1つの前記パルス生成回路に対応して設けられ、対応するパルス生成回路から出力されるパルス信号に応じたタイミングで状態が遷移する出力信号を出し、前記待機信号が入力された場合、前記待機信号によって示される待機期間において前記出力信号の状態を保持する複数の出力制御回路と、を更に備えていてもよい。
- [0030] スパイキングニューロン回路システムは、前記容量成分に接続されたスイッチング素子を備えていてもよい。前記充電回路による前記容量成分の充電と、前記スイッチング素子による前記容量成分の放電が繰り返されることにより、前記パルス生成回路からパルス信号列が出力されてもよい。前記制御回路は、前記パルス生成回路から出力される前記パルス信号列のパルス間隔を制御してもよい。
- [0031] 前記制御回路は、送信対象の情報に基づいて、前記パルス信号列の前記パルス間隔を制御してもよい。
- [0032] 前記送信対象の情報は時間変化する入力信号であってもよい。
- [0033] 本開示に係るスパイキングニューロン回路は、入力電圧が印加されると、電界効果トランジスタの出力電流による容量成分への充電を開始する充電回路と、容量成分に接続される入力ノードとパルス信号が出力される出力ノードとの間に接続される複数のインバータと、前記入力ノードと第1の基準電圧との間に設けられて、制御端子が前記出力ノードに接続されるスイッチン

グ素子とを備え、前記複数のインバータにおけるインバータ間の接続点から前記入力ノードへと帰還する帰還ループを有さない。

[0034] 前記複数のインバータのうちの初段のインバータは、前記第1の基準電圧と中間出力ノードとの間に設けられる第1のスイッチング素子と、前記中間出力ノードと第2の基準電圧との間に設けられる第2のスイッチング素子とを含んでいてもよい。前記第1の基準電圧と前記第1のスイッチング素子との間には、第1のダイオードが順方向に接続されていてもよく、前記第2のスイッチング素子と前記第2の基準電圧との間には、第2のダイオードが順方向に接続されていてもよい。

[0035] 一方の入力端子が、前記入力ノードに接続され、他方の入力端子が、前記第1の基準電圧と前記第2の基準電圧との間の所定の中間電位に接続され、出力端子が前記複数のインバータのうちの初段のインバータの入力端子に接続されたコンパレータを更に含む

請求項27に記載のスライキングニューロン回路。

[0036] 前記充電回路は、複数のキャパシタを含んでいてもよく、前記複数のキャパシタの静電容量の比に応じて定まる電圧が、前記電界効果トランジスタのゲート端子に印加されてもよい。

発明の効果

[0037] 本開示に係るスライキングニューロン回路システムによれば、入力電圧が印加されてからパルス信号が出力されるまでの待ち時間を高精度に制御することができる。

図面の簡単な説明

[0038] [図1]実施の形態1に係るスライキングニューロン回路システムの構成を示す図である。

[図2]実施の形態1に係るパルス生成回路の初段のインバータの内部の構成を示す図である。

[図3]実施の形態1に係る制御回路の内部の構成を示す図である。

[図4]実施の形態1に係る起動回路の内部の構成を示す図である。

- [図5]実施の形態1に係る入力生成回路の内部の構成を示す図である。
- [図6]実施の形態1に係るリセット生成回路の内部の構成を示す図である。
- [図7]実施の形態1に係る一致判定回路の内部の構成を示す図である。
- [図8]実施の形態1に係る長短判定回路の内部の構成を示す図である。
- [図9]実施の形態1に係る選択信号生成回路の内部の構成を示す図である。
- [図10]実施の形態1に係る制御電圧生成回路の内部の構成を示す図である。
- [図11]実施の形態1に係るスパイクニューロン回路システムの通常動作の一例を説明するタイミングチャートである。
- [図12]実施の形態1に係るスパイクニューロン回路の待ち時間の補償動作時における制御回路の動作を説明するフローチャートである。
- [図13]実施の形態1に係るスパイクニューロン回路システムの待ち時間の補償動作の一例を説明するタイミングチャートである。
- [図14]実施の形態2に係るスパイクニューロン回路システムの構成を示す図である。
- [図15]実施の形態2に係る選択信号生成回路の内部の構成を示す図である。
- [図16]実施の形態2に係る制御電圧生成回路の内部の構成を示す図である。
- [図17]実施の形態2に係るスパイクニューロン回路システムの待ち時間の補償動作の一例を説明するタイミングチャートである。
- [図18]実施の形態3に係るスパイクニューロン回路システムの構成を示す図である。
- [図19]実施の形態3に係る制御電圧生成回路の内部の構成を示す図である。
- [図20]実施の形態4に係るスパイクニューロン回路システムの構成を示す図である。
- [図21]実施の形態4に係る制御電圧生成回路の内部の構成を示す図である。
- [図22]実施の形態5の第1の変形形態に係る充電回路の構成を示す図である。
- 。
- [図23]実施の形態5の第2の変形形態に係る充電回路の構成を示す図である。
- 。

[図24]実施の形態5の第3の変形形態に係る充電回路の構成を示す図である。

[図25]実施の形態5の第4の変形形態に係る充電回路の構成を示す図である。

[図26]実施の形態6の第1の変形形態に係るパルス生成回路の構成を示す図である。

[図27]実施の形態6の第2の変形形態に係るパルス生成回路の構成を示す図である。

[図28]実施の形態7に係るパルス生成回路の構成を示す図である。

[図29]実施の形態8に係るスパイクニューロン回路システムの構成を示す図である。

[図30]実施の形態8に係る制御回路の内部の構成を示す図である。

[図31]実施の形態8に係る選択信号生成回路の入力と出力の対応関係を示す図である。

[図32]実施の形態8に係る制御電圧生成回路の内部の構成を示す図である。

[図33]実施の形態9に係る制御電圧生成回路の構成の一例を示す図である。

[図34A]実施の形態10に係るパルス生成回路を構成する初段及び2段目のインバータを示す図である。

[図34B]実施の形態10に係るパルス生成回路を構成する初段及び2段目のインバータを示す図である。

[図35]実施の形態11に係るスパイクニューロン回路システムの構成の一例を示す図である。

[図36]実施の形態11に係る出力制御回路の内部の構成の一例を示す図である。

[図37]実施の形態11に係るスパイクニューロン回路システムの動作の一例を示すタイミングチャートである。

[図38]実施の形態11に係るスパイクニューロン回路システムによって制御される昇圧回路の構成の一例を示す図である。

[図39]インダクタに流れる電流の波形図である。

[図40]実施の形態12に係る充電回路の構成の一例を示す図である。

発明を実施するための形態

[0039] 以下、図面を参照して、本開示の実施の形態について詳細に説明する。開示される実施の形態以外の形態であっても、特許請求の範囲に含まれ、当業者が実施可能な様々な形態でもよい。

[0040] [実施の形態1]

(スパイクニューロン回路システム100)

図1は、本開示の実施の形態1に係るスパイクニューロン回路システム100の構成を示す図である。スパイクニューロン回路システム100は、充電回路10と、パルス生成回路20と、CR時定数回路30と、参照信号回路40と、制御回路50とを備えている。

[0041] 図1において、充電回路10およびパルス生成回路20によって、スパイクニューロン回路が構成されている。スパイクニューロン回路は、入力端子 T_{in} に入力電圧が印加されてから所定の待ち時間が経過すると、出力端子 T_{out} にスパイク状のパルス信号 V_{pls} を出力する。ただし、本開示において、パルス信号の形状はスパイク状に限定されるものではなく、例えば矩形状のパルス等であってもよい。スパイクニューロン回路は、集積回路の半導体基板上に実装されている。

[0042] 先述したように、集積回路の半導体基板上に実装される各素子の特性は、製造プロセス、素子の配置および動作温度等の影響を受けて、設計値とは異なるものになる。そのため、スパイクニューロン回路の待ち時間についても、設計値と実際値とが異なるものになる可能性がある。

[0043] CR時定数回路30、参照信号回路40および制御回路50は、スパイクニューロン回路の待ち時間を制御して、待ち時間の実際値が設計値と一致するように補償するための回路である。これらの回路も半導体基板上に実装されている。ただし、CR時定数回路30の抵抗器RおよびキャパシタCだけは、個別素子によって構成されており、半導体基板に外付けされている

。図1において、一点鎖線で囲まれた領域32は、半導体基板に外付けされる領域を表している。

[0044] スパイキングニューロン回路システム100は、通常動作と待ち時間の補償動作という2つの動作モードを有している。スパイキングニューロン回路システム100の通常動作時には、充電回路10およびパルス生成回路20によって構成されるスパイキングニューロン回路と制御回路50の一部のみが動作する。このとき、入力端子Tinには図示しない外部電源からORゲート60を介して1Vの直流電圧が印加される。

[0045] 一方、スパイキングニューロン回路システム100の待ち時間の補償動作時には、充電回路10およびパルス生成回路20に加えて、CR時定数回路30、参照信号回路40および制御回路50も動作する。このとき、図示しない外部電源からの電力供給は行われず、入力端子Tinには制御回路50からORゲート60を介して補償用の入力電圧 $V_{in_bit} = 1V$ が印加される。

[0046] (充電回路10)

充電回路10は、スパイキングニューロン回路システム100の入力端子Tinに、図示しない外部電源または制御回路50からORゲート60を介して入力電圧が印加されると、自身の有する電界効果トランジスタの出力電流Iによる容量成分への充電を開始する。入力電圧は、通常動作時には図示しない外部電源からORゲート60を介して印加される1Vの直流電圧であり、待ち時間の補償動作時には制御回路50からORゲート60を介して印加される補償用の入力電圧 V_{in_bit} である。

[0047] 充電回路10は、Nチャネル型のMOSFETであるトランジスタ11と、容量成分としてのキャパシタ12とを含んでいる。トランジスタ11のドレイン端子は、充電回路10の入力ノードN0に接続されており、入力ノードN0は、スパイキングニューロン回路システム100の入力端子Tinに接続されている。トランジスタ11のソース端子は、キャパシタ12の一方の端子と、後述するパルス生成回路20の入力ノードN1とに接続されてい

る。本実施の形態1において、キャパシタ12は、半導体基板上に実装されたキャパシタである。キャパシタ12の他方の端子は、半導体基板上のグラウンドGNDに接地されている。

[0048] また、トランジスタ11のゲート端子とソース端子とは短絡されている。したがって、トランジスタ11のゲート-ソース間電圧は0Vであり、理想的には出力電流Iは流れないはずである。しかしながら、現実のMOSFETでは、ゲート-ソース間電圧が0Vであっても、サブスレッショルド電流と呼ばれる微小なリーク電流が流れる。充電回路10は、入力端子Tinに図示しない外部電源または制御回路50からORゲート60を介して入力電圧が印加されると、トランジスタ11のサブスレッショルド電流によるキャパシタ12への充電を開始する。

[0049] なお、本開示において「容量成分」という用語は、半導体基板上に実装されたキャパシタのみを示すものではない。例えば、容量成分として、トランジスタ11とは別のMOSFETの寄生容量を利用してもよいし、半導体基板上に実装された配線の容量を利用してもよい。換言すれば、本開示における容量成分という用語は、半導体基板上に実装されたキャパシタ、MOSFETの寄生容量および配線の容量等を含む概念である。

[0050] (パルス生成回路20)

パルス生成回路20は、充電回路10のキャパシタ12の充電電圧が第1の所定値に到達すると、パルス信号Vpulsを生成して出力する。詳細には、パルス生成回路20は、多段接続された4個のインバータ21から24と、ダイオード25および26と、Nチャンネル型のMOSFETであるトランジスタ27とを備えている。

[0051] 多段接続された4個のインバータ21から24は、初段のインバータ21に入力された信号を一定時間遅延させて最後段のインバータ24から出力する遅延回路として機能する。例えば、初段のインバータ21に0Vが入力されると、一定時間の遅延の後に最後段のインバータ24から0Vが出力される。また、初段のインバータ21に入力される電圧が上昇していき、インバ

ータ21の出力が切り替わる閾値である第1の所定値に到達すると、初段のインバータ21の出力は1Vから0Vに変化する。このとき、一定時間の遅延の後に最後段のインバータ24から1Vが出力される。なお、多段接続されるインバータの数は4個に限定されるものではなく、偶数であればよい。個数を増した構成によれば、ゲインが高くなり、パルス信号の立ち上がり、より急峻にし易くなり、パルス信号自体の生成エネルギーを減らすことができる。これによって、パルス信号を用いた制御回路による制御を極めて低消費電力で行うことができる。

[0052] また、先述した国際公開2020/175290号公報に記載のパルス生成回路とは異なり、4個のインバータ21から24におけるインバータ間の接続点から入力ノードN1へと帰還する帰還ループは存在しない。したがって、かかる帰還ループの配線面積が少なく済み、回路の小型化ができる。さらにかかる帰還ループが電磁誘導ノイズを拾い、当該ノイズによる回路動作に対する悪影響が発生することを防ぐことができる。すなわち、入力電圧が印加されてからパルス信号が出力されるまでの待ち時間を高精度に定めることができ、精度の高い制御を行える。

[0053] 初段のインバータ21の入力は、パルス生成回路20の入力ノードN1に接続されている。最後段のインバータ24の出力は、パルス生成回路20の出力ノードN2に接続されている。出力ノードN2は、スパイクングニューロン回路システム100の出力端子T_{out}に接続されている。

[0054] また、出力ノードN2には、トランジスタ27のゲート端子が接続されている。トランジスタ27のドレイン端子は入力ノードN1に接続されており、トランジスタ27のソース端子はグラウンドGNDに接地されている。

[0055] 入力ノードN1の電圧が0Vから第1の所定値にまで上昇すると、インバータ21から24による一定時間の遅延の後、出力ノードN2の電圧が1Vになる。出力ノードN2の電圧が1Vになると、Nチャンネル型のMOSFETであるトランジスタ27がオンになり、そのドレイン-ソース間が導通することにより、入力ノードN1の電圧が0Vになる。入力ノードN1の電圧

が0Vになると、インバータ21から24による一定時間の遅延の後に、出力ノードN2の電圧が0Vに戻る。

[0056] パルス生成回路20において、出力ノードN2、トランジスタ27、入力ノードN1、インバータ21から24を経由して、出力ノードN2に戻る経路は、出力ノードN2の電圧が1Vになった際に一定時間の遅延の後にそれを0Vに戻す遅延帰還ループを構成している。

[0057] 図2は、パルス生成回路20の初段のインバータ21の内部の構成を示す図である。インバータ21は、Nチャネル型のMOSFETであるトランジスタ21aと、Pチャネル型のMOSFETであるトランジスタ21bとから構成されている。トランジスタ21aおよび21bの各ゲート端子は、ともに入力ノードN1に接続されており、トランジスタ21aおよび21bの各ドレイン端子は、中間出力ノードN10に接続されている。中間出力ノードN10は、後段のインバータ22の入力に接続されている。

[0058] トランジスタ21aのソース端子は、順方向接続されたダイオード25を介して、第1の基準電圧であるグラウンドGNDに接地されている。トランジスタ21bのソース端子は、順方向接続されたダイオード26を介して、第2の基準電圧である電源線VDDに接続されている。本実施の形態1において、電源線VDDの電圧は1Vである。

[0059] なお、ダイオード25および26は、トランジスタ21aおよび21bがオンからオフまたはオフからオンに遷移する際の貫通電流を抑制するために設けられている。詳細には、トランジスタ21aおよび21bの両ソース端子間の電位差を、グラウンドGNDと電源線VDDとの間の電位差よりも小さくすることにより、トランジスタ21aおよび21bの遷移時に流れる貫通電流を抑制し、消費電力を抑えることを目的としている。

[0060] ダイオード25および26は、半導体基板上にPN接合を形成することによって実装してもよいが、トランジスタ21aおよび21bとは異なる別のMOSFETのゲートドレイン端子間を短絡したもの、すなわちダイオード接続されたMOSFETによって実装してもよい。

[0061] (CR時定数回路30)

図1に戻って、CR時定数回路30は、スパイクニューロン回路システム100の待ち時間の補償動作時において、後述する制御回路50からORゲート60を介して入力端子Tinに補償用の入力電圧Vin_bit=1Vが印加されると、半導体基板に外付けされているキャパシタCを所定の時定数CRで充電する。

[0062] 詳細には、CR時定数回路30は、半導体基板に外付けされる抵抗器RおよびキャパシタCと、半導体基板上に実装されるANDゲート31とを含んでいる。抵抗器Rの一端は、ANDゲート31の出力端子に接続されている。抵抗器Rの他端は、キャパシタCの一端と、後述する参照信号回路40の入力ノードN3とに接続されている。

[0063] キャパシタCの他端は、グラウンドGNDに接地されている。ANDゲート31の一方の入力端子は、充電回路10の入力ノードN0に接続されている。ANDゲート31の他方の入力端子には、1Vまたは0Vのいずれかの値をとるスイッチ制御信号Vsw_bitが制御回路50から入力される。

[0064] 抵抗器Rは、チップ抵抗器や金属皮膜抵抗等の高精度かつ温度特性に優れた個別素子によって構成されている。キャパシタCも、セラミックキャパシタやフィルムキャパシタ等の高精度かつ温度特性に優れた個別素子によって構成されている。したがって、CR時定数回路30の時定数CRは、半導体基板上に実装される素子によって決定される時定数に比べて高精度になる。

[0065] また、半導体基板に外付けされる抵抗器RおよびキャパシタCによって決定される時定数CRの温度変化に対する変動も、半導体基板上に実装される素子によって決定される時定数の温度変化に対する変動に比べて小さくなる。

[0066] ANDゲート31は、抵抗器RおよびキャパシタCへの電力供給を制御するスイッチとして機能する。詳細には、スパイクニューロン回路システム100の待ち時間の補償動作時において、入力端子TinにORゲート60を介して補償用の入力電圧Vin_bit=1Vが印加されており、かつ

スイッチ制御信号 $V_{sw_bit} = 1V$ である場合には、ANDゲート31の出力は1Vになり、抵抗器RおよびキャパシタCへの電力供給が許容される。これにより、抵抗器Rに電流が流れ、キャパシタCが充電される。

[0067] 一方、スパイクニューロン回路システム100の通常動作時において、入力端子Tinに図示しない外部電源からORゲート60を介して直流電圧が印加されていても、スイッチ制御信号 $V_{sw_bit} = 0V$ である場合には、ANDゲート31の出力は0Vになり、抵抗器RおよびキャパシタCへの電力供給が遮断される。これにより、抵抗器Rに電流は流れず、キャパシタCは充電されない。

[0068] (参照信号回路40)

参照信号回路40は、スパイクニューロン回路システム100の待ち時間の補償動作時において、スイッチ制御信号 $V_{sw_bit} = 1V$ であり、入力端子Tinに補償用の入力電圧 $V_{in_bit} = 1V$ が印加されてから所定の時間が経過して、CR時定数回路30のキャパシタCの充電電圧、すなわち入力ノードN3の電圧が第2の所定値に到達すると、参照信号 V_{ref} を出力する。

[0069] ここで、本実施の形態1に係る参照信号回路40は、前述したパルス生成回路20と同一の構成を有している。そのため、パルス生成回路20の第1の所定値と参照信号回路40の第2の所定値とは等しい。参照信号回路40は、CR時定数回路30のキャパシタCの充電電圧が第1の所定値と等しい第2の所定値に到達すると、参照信号 V_{ref} としてのパルス信号を生成して出力する。

[0070] 詳細には、参照信号回路40は、多段接続された4個のインバータ41から44と、ダイオード45および46と、Nチャネル型のMOSFETであるトランジスタ47とを備えている。初段のインバータ41の入力は、参照信号回路40の入力ノードN3に接続されている。最後段のインバータ44の出力は、参照信号回路40の出力ノードN4に接続されている。出力ノードN4から出力される参照信号 V_{ref} は、制御回路50に入力される。

[0071] また、出力ノードN4には、トランジスタ47のゲート端子が接続されている。トランジスタ47のドレイン端子は入力ノードN3に接続されており、トランジスタ47のソース端子はグラウンドGNDに接地されている。

[0072] (制御回路50)

制御回路50は、スパイクングニューロン回路システム100の待ち時間の補償動作時において、充電回路10に含まれるトランジスタ11のバルク電圧 V_b を制御することによって、トランジスタ11の出力電流 I を制御する。

[0073] 詳細には、制御回路50は、入力端子 T_{in} に補償用の入力電圧 $V_{in_bit=1V}$ が印加されてから参照信号回路40によって参照信号 V_{ref} が出力されるまでの所定の時間と、入力端子 T_{in} に補償用の入力電圧 $V_{in_bit=1V}$ が印加されてからパルス生成回路20によってパルス信号 V_{pls} が出力されるまでの待ち時間との時間差に基づいて、待ち時間の補償を行う。

[0074] より詳細には、制御回路50は、参照信号 V_{ref} が出力されるまでの所定の時間に比べて、パルス信号 V_{pls} が出力されるまでの待ち時間が長い場合には、充電回路10に含まれるトランジスタ11のバルク電圧 V_b が上がるように制御することによって、トランジスタ11の出力電流 I を増加させる。トランジスタ11の出力電流 I が増加すれば、キャパシタ12の充電電圧が第1の所定値に到達するまでの時間が短くなり、パルス生成回路20の動作が開始されるまでの時間も短くなる。結果として、入力端子 T_{in} に補償用の入力電圧 $V_{in_bit=1V}$ が印加されてから出力端子 T_{out} にパルス信号 V_{pls} が出力されるまでの待ち時間が短くなる。

[0075] 一方、参照信号 V_{ref} が出力されるまでの所定の時間に比べて、パルス信号 V_{pls} が出力されるまでの待ち時間が短い場合には、制御回路50は、充電回路10に含まれるトランジスタ11のバルク電圧 V_b が下がるように制御することによって、トランジスタ11の出力電流 I を減少させる。トランジスタ11の出力電流 I が減少すれば、キャパシタ12の充電電圧が第

1の所定値に到達するまでの時間が長くなり、パルス生成回路20の動作が開始されるまでの時間も長くなる。結果として、入力端子Tinに補償用の入力電圧 $V_{in_bit} = 1V$ が印加されてから出力端子Toutにパルス信号Vplsが出力されるまでの待ち時間が長くなる。

[0076] 先述したように、充電回路10のトランジスタ11およびキャパシタ12は、半導体基板上に実装されるため、これらの素子の特性は、製造プロセス、素子の配置および動作温度等の影響を受けやすい。そのため、充電回路10によって規定されるパルス信号Vplsが出力されるまでの待ち時間についても、設計値と実際値とが異なるものになる可能性がある。これに対して、CR時定数回路30の抵抗器RおよびキャパシタCは、半導体基板に外付けされる高精度の個別素子によって構成されている。したがって、CR時定数回路30によって規定される参照信号Vrefが出力されるまでの所定の時間の精度は、充電回路10によって規定されるパルス信号Vplsが出力されるまでの待ち時間の精度に比べて高い。

[0077] 制御回路50は、充電回路10に含まれるトランジスタ11のバルク電圧Vbを制御することによって、参照信号Vrefが出力されるタイミングとパルス信号Vplsが出力されるタイミングとが一致するように較正することにより、補償用の入力電圧 $V_{in_bit} = 1V$ が印加されてからパルス信号Vplsが出力されるまでの待ち時間を補償する。

[0078] 図3は、制御回路50の内部の構成を示す図である。制御回路50は、起動回路51と、入力生成回路52と、リセット生成回路53と、一致判定回路54と、長短判定回路55と、選択信号生成回路56と、制御電圧生成回路57とを含んでいる。

[0079] (起動回路51)

起動回路51は、所定の条件が成立した際に制御回路50を起動させて、スパイクニューロン回路システム100の待ち時間の補償動作を開始させる。本実施の形態1では、起動回路51は、スパイクニューロン回路システム100に電源供給が開始された後、1時間ごとに制御回路50を起

動させて、補償動作を開始させる。

[0080] ただし、補償動作を開始するタイミングはこれに限定されるものではない。補償動作を開始するタイミングは、数分ごとであってもよいし、数日ごとであってもよい。あるいは、補償動作を開始するタイミングは、スパイクングニューロン回路システム100の電源投入時、著しい環境変化が検出された時等であってもよい。

[0081] 図4は、起動回路51の内部の構成を示す図である。起動回路51は、タイマ回路51aを含んでいる。タイマ回路51aは、1時間ごとにパルス状の開始信号 V_{in_pls} を出力する。

[0082] (入力生成回路52)

図3に戻って、入力生成回路52は、起動回路51から開始信号 V_{in_pls} が入力されると、補償用の入力電圧 $V_{in_bit} = 1V$ を複数回生成して出力する。また、入力生成回路52は、スイッチ制御信号 $V_{sw_bit} = 1V$ を出力する。

[0083] 先述したように、補償用の入力電圧 V_{in_bit} は、スパイクングニューロン回路システム100の待ち時間の補償動作時において、入力端子 T_{in} に印加される電圧である。参照信号回路40は、入力端子 T_{in} に補償用の入力電圧 V_{in_bit} が印加されてから所定の時間が経過すると、参照信号 V_{ref} を出力する。パルス生成回路20は、入力端子 T_{in} に補償用の入力電圧 V_{in_bit} が印加されてから所定の待ち時間が経過すると、パルス信号 V_{pls} を出力する。

[0084] 後述するように、制御回路50は、参照信号 V_{ref} が出力されるタイミングとパルス信号 V_{pls} が出力されるタイミングとが一致するようになるまで、充電回路10に含まれるトランジスタ11のバルク電圧 V_b を段階的に切り替える。補償用の入力電圧 V_{in_bit} は、バルク電圧 V_b の切り替えが行われるたびに、出力し直される。スイッチ制御信号 V_{sw_bit} は、待ち時間の補償動作の開始時に1Vとなり、参照信号 V_{ref} が出力されるタイミングとパルス信号 V_{pls} が出力されるタイミングとが一致して

補償動作が完了するまでの間、出力され続ける。

- [0085] 図5は、入力生成回路52の内部の構成を示す図である。入力生成回路52は、SRラッチ52aと、遅延回路52bと、ANDゲート52cと、ORゲート52dと、SRラッチ52eとを含んでいる。
- [0086] SRラッチ52aのS端子には、起動回路51から開始信号 V_{in_pls} が入力される。SRラッチ52aのR端子には、後述する一致判定回路54から一致成立信号 Syn_bit が入力される。SRラッチ52aのQ端子からは、スイッチ制御信号 V_{sw_bit} が出力される。スイッチ制御信号 V_{sw_bit} は、ANDゲート52cの一方の入力端子にも入力される。
- [0087] 遅延回路52bには、後述するリセット生成回路54からリセット信号 $Reset$ が入力される。リセット信号 $Reset$ は、後述の一致判定動作が終了するごとに一度出力されるパルス状の信号である。遅延回路52bは、リセット信号 $Reset = 1V$ が入力されると、1マイクロ秒後にパルス状の信号を出力する。遅延回路52bの出力端子は、ANDゲート52cの他方の入力端子に接続されている。
- [0088] ANDゲート52cの出力端子は、ORゲート52dの一方の入力端子に接続されている。ORゲート52dの他方の入力端子には、開始信号 V_{in_pls} が入力される。ORゲート52dの出力端子は、SRラッチ52eのS端子に接続されている。SRラッチ52eのR端子には、リセット信号 $Reset$ が入力される。SRラッチ52eのQ端子からは、補償用の入力電圧 V_{in_bit} が出力される。
- [0089] (リセット生成回路53)
- 図3に戻って、リセット生成回路53は、参照信号回路40から出力される参照信号 V_{ref} と、パルス生成回路20から出力されるパルス信号 V_{pls} との双方が出力されてから1マイクロ秒が経過すると、リセット信号 $Reset = 1V$ を生成して出力する。リセット信号 $Reset$ は、補償用の入力信号 V_{in_bit} と、次に述べる伸長された参照信号 V_{ref_bi}

tおよび伸長されたパルス信号V p l s ____ b i tとを、一旦0Vに戻す信号である。

- [0090] リセット信号R e s e t = 1 Vが出力されると、補償用の入力信号V i n ____ b i tは一旦0Vに戻る。リセット信号R e s e tは、参照信号V r e fが出力されるタイミングとパルス信号V p l sが出力されるタイミングとが一致するようになるまで、充電回路10に含まれるトランジスタ11のバルク電圧V bが切り替えられるたびに、繰り返し出力される。
- [0091] 図6は、リセット生成回路53の内部の構成を示す図である。リセット生成回路53は、SRラッチ53aと、SRラッチ53bと、ANDゲート53cと、遅延回路53dとを含んでいる。
- [0092] SRラッチ53aのS端子には、参照信号回路40から参照信号V r e fが入力される。SRラッチ53aのR端子には、リセット信号R e s e tが再入力される。SRラッチ53aのQ端子からは、参照信号V r e fと同一のタイミングで出力が開始される伸長された参照信号V r e f ____ b i tが出力される。伸長された参照信号V r e f ____ b i tは、ANDゲート53cの一方の入力端子にも入力される。伸長された参照信号V r e f ____ b i tは、リセット信号R e s e t = 1 Vが出力されると、0Vに戻る。
- [0093] SRラッチ53bのS端子には、パルス生成回路20からパルス信号V p l sが入力される。SRラッチ53bのR端子には、リセット信号R e s e tが再入力される。SRラッチ53bのQ端子からは、パルス信号V p l sと同一のタイミングで出力が開始される伸長されたパルス信号V p l s ____ b i tが出力される。伸長されたパルス信号V p l s ____ b i tは、ANDゲート53cの他方の入力端子にも入力される。伸長されたパルス信号V p l s ____ b i tは、リセット信号R e s e t = 1 Vが出力されると0Vに戻る。
- [0094] ANDゲート53cの出力端子からは、参照信号V r e fとパルス信号V p l sとの双方が出力されたか否かを示すF i n ____ b i t信号が出力され、遅延回路53dに入力される。遅延回路53dは、F i n ____ b i t信号= 1 Vが入力されてから1マイクロ秒が経過すると、リセット信号R e s e t =

1 V を出力する。

[0095] なお、遅延回路 53 d の遅延時間が 1 マイクロ秒であることにより、伸長された参照信号 V_{ref_bit} および伸長されたパルス信号 V_{pls_bit} のパルス幅は、1 マイクロ秒以上になる。ただし、遅延回路 53 d の遅延時間によって決定される伸長された参照信号 V_{ref_bit} および伸長されたパルス信号 V_{pls_bit} のパルス幅は、1 マイクロ秒に限定されるものではない。これらのパルス幅、すなわち遅延回路 53 d の遅延時間は、後述する長短判定回路 55 に参照信号 V_{ref} およびパルス信号 V_{pls} 並びに伸長された参照信号 V_{ref_bit} および伸長されたパルス信号 V_{pls_bit} が入力されてから、出力である $Short_bit$ および $Long_bit$ の値が確定するまでの時間よりも長ければよい。

[0096] (一致判定回路 54)

図 3 に戻って、一致判定回路 54 は、入力生成回路 52 から補償用の入力電圧 $V_{in_bit} = 1 V$ が出力された際に、参照信号回路 40 から参照信号 V_{ref} が出力されるタイミングと、パルス生成回路 20 からパルス信号 V_{pls} が出力されるタイミングとが、一致しているか否かを判定する。

[0097] 詳細には、参照信号 V_{ref} が出力されるタイミングとパルス信号 V_{pls} が出力されるタイミングとの時間差が第 3 の所定値である 1 ミリ秒以下の場合には、一致判定回路 54 は両者の出力されるタイミングが一致していると判定し、一致成立信号 $Syn_bit = 1 V$ および一致非成立信号 $\sim Syn_bit = 0 V$ を出力する。一方、参照信号 V_{ref} が出力されるタイミングとパルス信号 V_{pls} が出力されるタイミングとの時間差が 1 ミリ秒より大きい場合には、一致判定回路 54 は両者の出力されるタイミングが一致していないと判定し、一致成立信号 $Syn_bit = 0 V$ および一致非成立信号 $\sim Syn_bit = 1 V$ を出力する。

[0098] 図 7 は、一致判定回路 54 の内部の構成を示す図である。一致判定回路 54 は、保持回路 54 a と、保持回路 54 b と、AND ゲート 54 c と、SR ラッチ 54 d とを含んでいる。

- [0099] 保持回路54aは、参照信号回路40から参照信号Vrefが入力されると、入力された参照信号Vrefを幅1ミリ秒のパルスに伸長した信号であるVref_1msを出力する。保持回路54aの出力端子は、ANDゲート54cの一方の入力端子に接続されている。
- [0100] 保持回路54bは、パルス生成回路20からパルス信号Vplsが入力されると、入力されたパルス信号Vplsを幅1ミリ秒のパルスに伸長した信号であるVpls_1msを出力する。保持回路54bの出力端子は、ANDゲート54cの他方の入力端子に接続されている。
- [0101] なお、保持回路54aおよび54bの出力するパルスの幅は、上述した第3の所定値と等しくなるように設定される。すなわち、本実施の形態1では、第3の所定値が1ミリ秒であるから、保持回路54aおよび54bの出力するパルスの幅も1ミリ秒に設定される。ただし、第3の所定値は1ミリ秒に限定されるものではなく、任意の時間に設定することができる。
- [0102] ANDゲート54cの出力端子は、SRラッチ54dのS端子に接続されている。SRラッチ54dのR端子には、リセット信号Resetが入力される。SRラッチ54dのQ端子からは、一致成立信号Syn_bitが出力される。SRラッチ54dの~Q端子からは、一致非成立信号~Syn_bitが出力される。
- [0103] (長短判定回路55)
- 図3に戻って、長短判定回路55は、入力生成回路52によって補償用の入力電圧Vin_bit=1Vが出力されてから、パルス生成回路20によってパルス信号Vplsが出力されるまでの待ち時間が、参照信号回路40によって参照信号Vrefが出力されるまでの所定の時間よりも長いか短いかを判定する。
- [0104] 詳細には、パルス信号Vplsが出力されるまでの待ち時間が、参照信号Vrefが出力されるまでの所定の時間よりも長い場合には、長短判定回路55は、Short_bit=0VおよびLong_bit=1Vを出力する

- [0105] 一方、パルス信号 V_{pls} が出力されるまでの待ち時間が、参照信号 V_{ref} が出力されるまでの所定の時間よりも短い場合には、長短判定回路 55 は、 $Short_bit = 1V$ および $Long_bit = 0V$ を出力する。
- [0106] 図 8 は、長短判定回路 55 の内部の構成を示す図である。長短判定回路 55 は、AND ゲート 55 a と、AND ゲート 55 b と、SR ラッチ 55 c と、SR ラッチ 55 d と、AND ゲート 55 e と、AND ゲート 55 f とを含んでいる。
- [0107] AND ゲート 55 a の一方の入力端子には、参照信号回路 40 から参照信号 V_{ref} が入力される。AND ゲート 55 a の他方の入力端子には、リセット生成回路 54 から、伸長されたパルス信号 V_{pls_bit} が入力される。AND ゲート 55 a の出力端子は、SR ラッチ 55 c の S 端子に接続されている。
- [0108] AND ゲート 55 b の一方の入力端子には、パルス生成回路 20 からパルス信号 V_{pls} が入力される。AND ゲート 55 b の他方の入力端子には、リセット生成回路 54 から、伸長された参照信号 V_{ref_bit} が入力される。AND ゲート 55 b の出力端子は、SR ラッチ 55 d の S 端子に接続されている。
- [0109] SR ラッチ 55 c の R 端子には、リセット信号 $Reset$ が入力される。SR ラッチ 55 c の Q 端子は、AND ゲート 55 e の一方の入力端子に接続されている。AND ゲート 55 e の他方の入力端子には、一致判定回路 53 から一致非成立信号 $\sim Syn_bit$ が入力される。AND ゲート 55 e の出力からは、 $Short_bit$ 信号が出力される。
- [0110] SR ラッチ 55 d の R 端子には、リセット信号 $Reset$ が入力される。SR ラッチ 55 d の出力端子 Q は、AND ゲート 55 f の一方の入力端子に接続されている。AND ゲート 55 f の他方の入力端子には、一致判定回路 53 から一致非成立信号 $\sim Syn_bit$ が入力される。AND ゲート 55 f の出力からは、 $Long_bit$ 信号が出力される。
- [0111] (選択信号生成回路 56)

図3に戻って、選択信号生成回路56は、長短判定回路から出力されるShort_bit信号およびLong_bit信号に基づいて、5つの選択信号Vsw+2からVsw-2を生成して出力する。これら5つの選択信号Vsw+2からVsw-2は、Short_bit信号およびLong_bit信号に基づいて、いずれか1つだけが1Vとなり他はすべて0Vとなる信号である。後述するように、これら5つの選択信号のいずれが1Vとなるかに基づいて、充電回路10に含まれるトランジスタ11のバルク電圧Vbが5段階に制御される。

[0112] 図9は、選択信号生成回路56の内部の構成を示す図である。選択信号生成回路56は、8つのANDゲート56aから56hと、4つのSRラッチ56iから56lと、5つのEXORゲート56mから56qとを含んでいる。

[0113] ANDゲート56aの2つの入力端子には、選択信号Vsw+2およびShort_bit信号が入力される。ANDゲート56aの出力端子は、SRラッチ56iのS端子に接続されている。また、ANDゲート56bの2つの入力端子には、Long_bit信号および選択信号Vsw+1が入力される。ANDゲート56bの出力端子は、SRラッチ56iのR端子に接続されている。

[0114] 同様に、ANDゲート56cの2つの入力端子には、選択信号Vsw+1およびShort_bit信号が入力される。ANDゲート56cの出力端子は、SRラッチ56jのS端子に接続されている。また、ANDゲート56dの2つの入力端子には、Long_bit信号および選択信号Vsw0が入力される。ANDゲート56dの出力端子は、SRラッチ56jのR端子に接続されている。

[0115] 同様に、ANDゲート56eの2つの入力端子には、選択信号Vsw0およびShort_bit信号が入力される。ANDゲート56eの出力端子は、SRラッチ56kのS端子に接続されている。また、ANDゲート56fの2つの入力端子には、Long_bit信号および選択信号Vs

w-1が入力される。ANDゲート56fの出力端子は、SRラッチ56kのR端子に接続されている。

[0116] 同様に、ANDゲート56gの2つの入力端子には、選択信号Vsw-1およびShort_bit信号が入力される。ANDゲート56gの出力端子は、SRラッチ56lのS端子に接続されている。また、ANDゲートゲート56hの2つの入力端子には、Long_bit信号および選択信号Vsw-2が入力される。ANDゲート56hの出力端子は、SRラッチ56lのR端子に接続されている。

[0117] また、EXORゲート56mの2つの入力端子には、電源線VDDおよびSRラッチ56iのQ端子が接続されている。EXORゲート56mは、選択信号Vsw+2を出力する。

[0118] 同様に、EXORゲート56nの2つの入力端子には、SRラッチ56iのQ端子およびSRラッチ56jのQ端子が接続されている。EXORゲート56nは、選択信号Vsw+1を出力する。

[0119] 同様に、EXORゲート56oの2つの入力端子には、SRラッチ56jのQ端子およびSRラッチ56kのQ端子が接続されている。EXORゲート56oは、選択信号Vsw0を出力する。

[0120] 同様に、EXORゲート56pの2つの入力端子には、SRラッチ56kのQ端子およびSRラッチ56lのQ端子が接続されている。EXORゲート56pは、選択信号Vsw-1を出力する。

[0121] 同様に、EXORゲート56qの2つの入力端子には、SRラッチ56lのQ端子およびグランドGNDが接続されている。EXORゲート56qは、選択信号Vsw-2を出力する。

[0122] (制御電圧生成回路57)

図3に戻って、制御電圧生成回路57は、選択信号生成回路56から出力される選択信号Vsw+2からVsw-2に基づいて、バルク制御電圧Vctr_bを生成して出力する。このバルク制御電圧Vctr_bは、充電回路10に含まれるトランジスタ11のバルク端子に印加される。

- [0123] 図10は、制御電圧生成回路57の内部の構成を示す図である。制御電圧生成回路57は、12個のダイオード57aから57lと、5つのスイッチ57mから57qとを含んでいる。
- [0124] ダイオード57aから57lは、電源線VDDに接続される第1の電源線L1と、電源線-VDDに接続される第2の電源L2との間に、順方向に直列接続されている。したがって、各ダイオードには、 $\delta = 2VDD / 12$ の電圧がかかっている。また、本実施の形態1では、電源線VDDの電圧は1Vであるから、 $\delta = 2 / 12 \approx 0.17V$ である。なお、ダイオード57aから57lは、半導体基板上にPN接合を形成することによって実装してもよいが、ダイオード接続されたMOSFETによって実装してもよい。
- [0125] スイッチ57mは、選択信号 $V_{sw+2} = 1V$ のときオンになる。スイッチ57nは、選択信号 $V_{sw+1} = 1V$ のときオンになる。スイッチ57oは、選択信号 $V_{sw0} = 1V$ のときオンになる。スイッチ57pは、選択信号 $V_{sw-1} = 1V$ のときオンになる。スイッチ57qは、選択信号 $V_{sw-2} = 1V$ のときオンになる。
- [0126] 選択信号 $V_{sw+2} = 1V$ であり、他の選択信号がすべて0Vのとき、バルク制御電圧 $V_{ctr_b} = 2\delta = 0.34V$ が出力される。
- [0127] 選択信号 $V_{sw+1} = 1V$ であり、他の選択信号がすべて0Vのとき、バルク制御電圧 $V_{ctr_b} = \delta = 0.17V$ が出力される。
- [0128] 選択信号 $V_{sw0} = 1V$ であり、他の選択信号がすべて0Vのとき、バルク制御電圧 $V_{ctr_b} = 0V$ が出力される。
- [0129] 選択信号 $V_{sw-1} = 1V$ であり、他の選択信号がすべて0Vのとき、バルク制御電圧 $V_{ctr_b} = -\delta = -0.17V$ が出力される。
- [0130] 選択信号 $V_{sw-2} = 1V$ であり、他の選択信号がすべて0Vのとき、バルク制御電圧 $V_{ctr_b} = -2\delta = -0.34V$ が出力される。
- [0131] (スパイクニューロン回路システム100の動作)
次に、本実施の形態1に係るスパイクニューロン回路システム100の動作について説明する。まず、スパイクニューロン回路システム100

0の通常動作について説明した後、本開示の主眼であるスパイクングニューロン回路システム100の待ち時間の補償動作について説明する。

[0132] (通常動作)

本実施の形態1に係るスパイクングニューロン回路システム100の通常動作について説明する。図1のスパイクングニューロン回路システム100の通常動作時においては、補償用の入力電圧 $V_{in_bit} = 0V$ かつスイッチ制御信号 $V_{sw_bit} = 0V$ である。また、初期状態において、充電回路10のキャパシタ12は充電されておらず、その充電電圧は $0V$ である。

[0133] キャパシタ12の充電電圧が $0V$ であるため、パルス生成回路20の入力ノードN1の電圧も $0V$ であり、初段のインバータ21の出力は $1V$ である。したがって、2段目のインバータ22の出力は $0V$ であり、3段目のインバータ23の出力は $1V$ であり、最後段のインバータ24の出力は $0V$ であり、出力ノードN2の電圧は $0V$ である。出力ノードN2は出力端子 T_{out} に接続されているため、出力端子 T_{out} の電圧も $0V$ である。

[0134] このような初期状態において、入力端子 T_{in} に図示しない外部電源からORゲート60を介して $1V$ の直流電圧が印加される場合について考える。まず、補償用の入力電圧 $V_{in_bit} = 0V$ であるため、制御回路50からの入力端子 T_{in} を介した電力供給は行われぬ。また、スイッチ制御信号 $V_{sw_bit} = 0V$ であるため、図示しない外部電源からORゲート60を介して供給される直流電力は、CR時定数回路30には供給されず、充電回路10にのみ供給される。

[0135] 図11は、スパイクングニューロン回路システム100の通常動作の一例を説明するタイミングチャートである。まず、時刻 t_0 において、入力端子 T_{in} に図示しない外部電源からORゲート60を介して $1V$ の直流電圧が印加されることにより、入力端子 T_{in} の電圧が $1V$ になる。

[0136] このとき、充電回路10のトランジスタ11からは、サブスレッショルド電流である出力電流 I が出力される。この出力電流 I によって、キャパシタ

12が充電されていき、その充電電圧が上昇していく。キャパシタ12の充電電圧はパルス生成回路20の入力ノードN1の電圧と等しいため、入力ノードN1の電圧も上昇していく。

[0137] 時刻 t_1 において、入力ノードN1の電圧が初段のインバータ21の出力が切り替わる閾値である第1の所定値 V_{th1} に到達すると、初段のインバータ21の出力が1Vから0Vに変化する。この変化に起因して、2段目のインバータ22の出力が0Vから1Vに変化し、3段目のインバータ23の出力が1Vから0Vに変化し、最後段のインバータ24の出力が0Vから1Vに変化することにより、入力ノードN1の電圧が第1の所定値 V_{th1} に到達してから一定時間の遅延の後に、出力ノードN2の電圧が0Vから1Vに急上昇する。出力ノードN2は出力端子T_{out}に接続されているため、出力端子T_{out}の電圧も0Vから1Vに急上昇する。

[0138] 時刻 t_2 において、出力ノードN2の電圧が1Vになると、パルス生成回路20のトランジスタ27がオンになり、時刻 t_3 において、入力ノードN1の電圧が0Vになる。これにより、充電回路10のキャパシタ12に蓄えられていた電荷が入力ノードN1からトランジスタ27のドレインソース間を経由してグランドGNDに流れ、キャパシタ12が放電される。

[0139] 時刻3において、入力ノードN1の電圧が0Vになると、パルス生成回路20の初段のインバータ21の出力が0Vから1Vに変化する。この変化に起因して、2段目のインバータ22の出力が1Vから0Vに変化し、3段目のインバータ23の出力が0Vから1Vに変化し、最後段のインバータ24の出力が1Vから0Vに変化することにより、入力ノードN1の電圧が0Vになってから一定時間の遅延の後に、出力ノードN2の電圧が1Vから0Vに急下降する。出力ノードN2は出力端子T_{out}に接続されているため、時刻 t_4 において、出力端子T_{out}の電圧も0Vに急降下する。

[0140] これ以降、入力端子T_{in}の電圧が1Vに保たれている間、時刻 t_0 から t_4 までと同様の動作が繰り返される。なお、図11のタイミングチャートにおいて、 $T = t_2 - t_0$ によって定義される時間が、スパイクングニュー

ロン回路システム100における所定の待ち時間に相当する。

[0141] 上記のように、本実施の形態1に係るスパイクングニューロン回路システム100の通常動作時において、入力端子 T_{in} に図示しない外部電源からORゲート60を介して1Vの直流電圧が印加されると、所定の待ち時間 T が経過した後に、出力端子 T_{out} からパルス信号 V_{pls} が出力される。なお、パルス信号 V_{pls} のパルス幅は、4個のインバータ21から24によって形成される遅延時間に応じたものとなる。

[0142] (待ち時間の補償動作)

次に、本実施の形態1に係るスパイクングニューロン回路システム100の待ち時間の補償動作について説明する。図12は、スパイクングニューロン回路システム100の待ち時間の補償動作時における制御回路50の動作を説明するフローチャートである。また、図13は、スパイクングニューロン回路システム100の待ち時間の補償動作の一例を説明するタイミングチャートである。なお、以降の説明においては、図1～図10も併せて参照されたい。

[0143] 図1のスパイクングニューロン回路システム100の待ち時間の補償動作の初期状態において、充電回路10のキャパシタ12およびCR時定数回路30のキャパシタCはともに充電されておらず、それらの充電電圧は0Vである。また、図3の制御回路50は、初期状態において、一致成立信号 $Syn_bit=0$ および一致非成立信号 $\sim Syn_bit=1V$ であり、Reset信号=0Vである。また、スイッチ制御信号 $V_{sw_bit}=0V$ 、補償用の入力電圧 $V_{in_bit}=0$ およびバルク制御電圧 $V_{ctr_b}=0V$ である。

[0144] 図12のステップS101において、起動回路51は、パルス状の開始信号 $V_{in_pls}=1V$ を出力し、この開始信号 V_{in_pls} は入力生成回路52に入力される。先述したように、開始信号 V_{in_pls} は、制御回路50を起動させて、待ち時間の補償動作を開始させるための信号であり、本実施の形態1においては1時間ごとに出力される。図13のタイミング

チャートでは、時刻 t_0 において、パルス状の開始信号 $V_{in_pls} = 1V$ が出力されている。

- [0145] ステップ S102 において、入力生成回路 52 は、スイッチ制御信号 $V_{sw_bit} = 1V$ を出力する。
- [0146] 詳細には、図 5 の入力生成回路 52 において、開始信号 $V_{in_pls} = 1V$ かつ一致成立信号 $Syn_bit = 0V$ であるから、SR ラッチ 52a の Q 端子からは、スイッチ制御信号 $V_{sw_bit} = 1V$ が出力される。
- [0147] ステップ S103 において、入力生成回路 52 は、補償用の入力電圧 $V_{in_bit} = 1V$ を出力する。
- [0148] 詳細には、図 5 の入力生成回路 52 において、開始信号 $V_{in_pls} = 1V$ が OR ゲート 52d を経由して SR ラッチ 52e の S 端子に入力され、リセット信号 $Reset = 0V$ であるから、SR ラッチ 52e の Q 端子からは、補償用の入力電圧 $V_{in_bit} = 1V$ が出力される。
- [0149] 図 13 のタイミングチャートでは、パルス状の開始信号 $V_{in_pls} = 1V$ が出力されるのとほぼ同時に、スイッチ制御信号 $V_{sw_bit} = 1V$ および補償用の入力電圧 $V_{in_bit} = 1V$ が出力されている。
- [0150] 図 1 に示されるように、補償用の入力電圧 $V_{in_bit} = 1V$ は、OR ゲート 60 を介して入力端子 T_{in} に印加される。また、スイッチ制御信号 $V_{sw_bit} = 1V$ であるから、入力端子 T_{in} から供給される直流電力は、充電回路 10 および CR 時定数回路 30 にともに供給される。
- [0151] このとき、充電回路 10 およびパルス生成回路 20 は、先述した通常動作時と同様に動作する。すなわち、待ち時間の補償動作時には、図示しない外部電源の代わりに制御回路 50 によって、入力端子 T_{in} に補償用の入力電圧 $V_{in_bit} = 1V$ が印加される。これにより、充電回路 10 のキャパシタ 12 の充電電圧が上昇していき、パルス生成回路 20 の入力ノード N1 の電圧が第 1 の所定値に到達すると、パルス生成回路 20 の動作が開始されて出力ノード N2 からパルス信号 V_{pls} が出力される。このパルス信号 V_{pls} は、制御回路 50 に入力される。図 13 のタイミングチャートでは、

時刻 t_2 において、パルス信号 V_{pls} が出力されている。

[0152] また、CR 時定数回路 30 および参照信号回路 40 も、充電回路 10 およびパルス生成回路 20 とほぼ同様に動作する。すなわち、CR 時定数回路 30 のキャパシタ C の充電電圧が上昇していき、参照信号回路 40 の入力ノード N3 の電圧が第 2 の所定値に到達すると、参照信号回路 40 の動作が開始されて出力ノード N4 から参照信号 V_{ref} が出力される。この参照信号 V_{ref} も、制御回路 50 に入力される。図 13 のタイミングチャートでは、時刻 t_1 において、参照信号 V_{ref} が出力されている。

[0153] ステップ S104 において、リセット生成回路 53 は、リセット信号 $Reset = 1V$ を出力する。

[0154] 詳細には、図 6 のリセット生成回路 53 は、参照信号 V_{ref} およびパルス信号 V_{pls} の両者が出力されてから 1 マイクロ秒が経過すると、リセット信号 $Reset = 1V$ を出力する。また、リセット生成回路 53 は、参照信号 V_{ref} と同一のタイミングで出力が開始される伸長された参照信号 V_{ref_bit} と、パルス信号 V_{pls} と同一のタイミングで出力が開始される伸長されたパルス信号 V_{pls_bit} とを出力する。

[0155] 図 13 のタイミングチャートでは、時刻 t_1 で参照信号 V_{ref} が出力された後、時刻 t_2 でパルス信号 V_{pls} が出力されてから 1 マイクロ秒が経過すると、時刻 t_3 で $Reset$ 信号 = $1V$ が出力される。なお、リセット信号 $Reset = 1V$ が立ち上がると、伸長された参照信号 V_{ref_bit} 、伸長されたパルス信号 V_{pls_bit} および補償用の入力電圧 V_{in_bit} は立ち下がる。

[0156] ステップ S105 において、一致判定回路 54 は、参照信号 V_{ref} が出力されるタイミングとパルス信号 V_{pls} が出力されるタイミングとが一致しているか否かを判定する。

[0157] 詳細には、図 7 の一致判定回路 54 は、参照信号 V_{ref} が出力されるタイミングとパルス信号 V_{pls} が出力されるタイミングとの時間差が第 3 の所定値である 1 ミリ秒未満の場合には、両者の出力されるタイミングが一致

していると判定し、一致成立信号 $Syn_bit = 1V$ および一致非成立信号 $\sim Syn_bit = 0V$ を出力する。換言すれば、一致判定回路 54 は、参照信号 V_{ref} を幅 1 ミリ秒のパルスに伸長した信号である V_{ref_1ms} と、パルス信号 V_{pls} を幅 1 ミリ秒のパルスに伸長した信号である V_{pls_1ms} とが、時間軸上で重なっている場合には、両者の出力されるタイミングが一致していると判定し、一致成立信号 $Syn_bit = 1V$ および一致非成立信号 $\sim Syn_bit = 0V$ を出力する。

[0158] 図 13 のタイミングチャートでは、時刻 t_1 の参照信号 V_{ref} に基づく V_{ref_1ms} と、時刻 t_2 のパルス信号 V_{pls} に基づく V_{pls_1ms} とは、時間軸上で重なっておらず、両者の出力されるタイミングは一致していない。したがって、一致判定回路 54 は、一致成立信号 $Syn_bit = 0$ および一致非成立信号 $\sim Syn_bit = 1$ を出力する。

[0159] ステップ S106 において、長短判定回路 55 は、補償用の入力電圧 $V_{in_bit} = 1V$ が出力されてから、パルス信号 V_{pls} が出力されるまでの待ち時間が、参照信号 V_{ref} が出力されるまでの所定の時間よりも長い場合か短いかを判定する。

[0160] 詳細には、図 8 の長短判定回路 55 は、補償用の入力電圧 $V_{in_bit} = 1V$ が出力されてから、パルス信号 V_{pls} が出力されるまでの待ち時間が、参照信号 V_{ref} が出力されるまでの所定の時間よりも長い場合には、 $Long_bit$ 信号 $= 1V$ および $Short_bit$ 信号 $= 0V$ を出力する。

[0161] 一方、長短判定回路 55 は、補償用の入力電圧 $V_{in_bit} = 1V$ が出力されてから、パルス信号 V_{pls} が出力されるまでの待ち時間が、参照信号 V_{ref} が出力されるまでの所定の時間よりも短い場合には、 $Long_bit$ 信号 $= 0V$ および $Short_bit$ 信号 $= 1V$ を出力する。

[0162] 図 13 のタイミングチャートでは、補償用の入力電圧 V_{in_bit} が出力されてから、パルス信号 V_{pls} が出力されるまでの待ち時間 $t_2 - t_0$ は、参照信号 V_{ref} が出力されるまでの所定の時間 $t_1 - t_0$ よりも長い

。したがって、長短判定回路55は、Long__bit信号=1VおよびShort__bit信号=0Vを出力する。

[0163] この場合、次に述べるステップS107からS108において、充電回路10のトランジスタ11のバルク電圧Vbを上げる制御が行われる。先述したように、充電回路10のトランジスタ11は、Nチャネル型のMOSFETである。そのため、トランジスタ11のバルク電圧Vbが上がることにより、トランジスタ11の出力電流Iが増加し、キャパシタ12の充電電圧が第1の所定値に到達するまでの時間が短くなる。結果として、パルス信号Vplsが出力されるまでの待ち時間が短くなる。

[0164] ステップS107において、選択信号生成回路56は、Long__bit信号およびShort__bit信号並びに現在の選択信号の状態に基づいて、選択信号Vsw+2からVsw-2を生成して出力する。

[0165] 詳細には、図9の選択信号生成回路56の初期状態において、SRラッチ56iのQ端子=1V、SRラッチ56jのQ端子=1V、SRラッチ56kのQ端子=0VおよびSRラッチ56lのQ端子=0Vである。したがって、選択信号生成回路56の初期出力は、Vsw+2=0V、Vsw+1=0V、Vsw0=1V、Vsw-1=0VおよびVsw-2=0Vである。これにより、初期状態において、5つのスイッチ57mから57qのうち、中央のスイッチ57oのみがオンになり、バルク制御電圧Vctr__b=0Vが出力される。すなわち、初期状態において、トランジスタ11のバルク端子に印加される電圧は0Vである。

[0166] このような初期状態において、選択信号生成回路56にLong__bit信号=1VおよびShort__bit信号=0Vが入力されると、選択信号生成回路56は、選択信号Vsw+2=0V、Vsw+1=1V、Vsw0=0V、Vsw-1=0VおよびVsw-2=0Vを出力する。図13のタイミングチャートでは、選択信号Vsw0が1Vから0Vに切り替わるとともに、選択信号Vsw+1が0Vから1Vに切り替わっている。これにより、5つのスイッチ57mから57qのうち、中央から1段上のスイッチ57

nのみがオンになる。

- [0167] ステップS108において、制御電圧生成回路57は、選択信号 V_{sw+2} から V_{sw-2} に基づいて、バルク制御電圧 V_{ctr_b} を生成して出力する。
- [0168] 詳細には、図10の制御電圧生成回路57において、選択信号 $V_{sw+1} = 1V$ であり、他の選択信号がすべて $0V$ である場合には、バルク制御電圧 V_{ctr_b} として、 $0V + \delta = 0.17V$ が出力される。図13のタイミングチャートでは、バルク制御電圧 V_{ctr_b} が $0V$ から $0.17V$ に変化している。
- [0169] バルク制御電圧 V_{ctr_b} は、充電回路10のトランジスタ11のバルク端子に印加される。これにより、トランジスタ11のバルク電圧 V_b が $0V$ から $0.17V$ に上昇し、トランジスタ11の出力電流 I が増加して、キャパシタ12の充電電圧が第1の所定値に到達するまでの時間が短くなる。結果として、入力電圧が印加されてからパルス信号 V_{pls} が出力されるまでの待ち時間が短くなる。
- [0170] これ以降、参照信号 V_{ref} が出力されるタイミングとパルス信号 V_{pls} が出力されるタイミングとが一致して、ステップS105=YESになるまでの間、上記のステップS103からS108までの動作が繰り返される。
- [0171] 具体的には、図13のタイミングチャートでは、時刻 t_4 で参照信号 V_{ref} が出力されるタイミングと時刻 t_5 でパルス信号 V_{pls} が出力されるタイミングとは、いまだ一致していない。そのため、ステップS107において、選択信号生成回路56は、選択信号 $V_{sw+2} = 1V$ 、 $V_{sw+1} = 0$ 、 $V_{sw0} = 0V$ 、 $V_{sw-1} = 0V$ および $V_{sw-2} = 0V$ を生成して出力する。このとき、制御電圧生成回路57からは、バルク制御電圧 V_{ctr_b} として、 $0V + 2\delta = 0.34V$ が出力される。
- [0172] 次に、図13のタイミングチャートでは、時刻 t_7 で参照信号 V_{ref} が出力されるタイミングと時刻 t_8 でパルス信号 V_{pls} が出力されるタイミ

ングとは一致しており、ステップS105=YESになる。このとき、一致判定回路54は、一致成立信号 $Syn_bit=1V$ および一致非成立信号 $\sim Syn_bit=0V$ を出力する。

[0173] ステップS109において、入力生成回路52は、スイッチ制御信号 $Vsw_bit=0V$ を出力する。これにより、CR時定数回路30のANDゲート31の出力が0Vとなり、抵抗器RおよびキャパシタCへの電力供給が遮断される。以上により、図12のフローチャートの動作が終了し、スパイクニューロン回路システム100の待ち時間の補償動作が完了する。すなわち、いわゆるキャリブレーション動作が完了する。

[0174] なお、上記の待ち時間の補償動作の完了直前に、一致判定回路54から一致成立信号 $Syn_bit=1V$ および一致非成立信号 $\sim Syn_bit=0V$ が出力されると、図8の長短判定回路55の出力は、 $Long_bit$ 信号 $=0V$ および $Short_bit$ 信号 $=0V$ になる。このとき、図9の選択信号生成回路56の各ANDゲート56aから56lの出力はすべて0Vになり、各SRラッチ56mから56qは、一致成立時の出力状態Qを維持する。この出力状態は、待ち時間の補償動作が完了した後の通常動作時においても維持される。

[0175] 換言すれば、各SRラッチ56mから56qは、待ち時間の補償動作が完了した後も、一致成立時の選択信号 $Vsw+2$ から $Vsw-2$ を生成するための情報を内部状態Qとして記憶している。したがって、図10の制御電圧生成回路57は、待ち時間の補償動作が完了した後の通常動作時においても、選択信号生成回路56から出力される選択信号 $Vsw+2$ から $Vsw-2$ に基づいて、一致成立時のバルク制御電圧 $Vctr_b$ を出力し続けることができる。

[0176] 以上説明したように、本実施の形態1に係るスパイクニューロン回路システム100は、充電回路10に含まれるトランジスタ11のバルク電圧 Vb を制御することによって、トランジスタ11の出力電流Iを制御する制御回路50を備えている。このような特徴により、スパイクニューロン

回路システム100は、通常動作時に図示しない外部電源によって入力電圧が印加されてからパルス信号Vplisが出力されるまでの待ち時間を高精度に定めることができる。

[0177] 特に、補償用の入力電圧Vin_bitが印加されてから参照信号Vrefが出力されるまでの所定の時間の温度変化に対する変動は、補償用の入力電圧Vin_bitが印加されてからパルス信号Vplisが出力されるまでの待ち時間の温度変化に対する変動よりも小さい。したがって、スパイクニューロン回路システム100の動作中に温度環境が変化したとしても、待ち時間の補償動作を所定の時間間隔で行うことにより、待ち時間の温度変化による変動を補償することができる。

[0178] また、スパイクニューロン回路システム100のCR時定数回路30に含まれる抵抗器RおよびキャパシタCは、半導体基板に外付けされる個別素子によって構成されている。これに対して、充電回路10は半導体基板上に実装されている。したがって、補償用の入力電圧Vin_bitが印加されてから参照信号Vrefが出力されるまでの所定の時間の精度は、補償用の入力電圧Vin_bitが印加されてからパルス信号Vplisが出力されるまでの待ち時間の精度よりも高い。スパイクニューロン回路システム100は、CR時定数回路30によって規定される高精度の所定の時間と一致するように待ち時間を補償することにより、待ち時間を高精度に定めることができる。

[0179] ただし、個別素子によって構成される抵抗器RおよびキャパシタCは、半導体基板上に実装されるトランジスタやキャパシタに比べて高精度である反面、消費電力が大きい。例えば、充電時間を0.15秒に定めた充電回路10の消費電力が 10^{-12} W程度であるのに対して、充電時間を同じ0.15秒に定めたCR時定数回路30の消費電力は 10^{-9} W程度である。

[0180] この消費電力の問題に対処するために、スパイクニューロン回路システム100は、抵抗器RおよびキャパシタCへの電力供給を制御するスイッチとして機能するANDゲート31を備えている。ANDゲート31は、待

ち時間の補償動作を行う際にのみ、抵抗器RおよびキャパシタCへの電力供給を許容し、それ以外の通常動作時には電力供給を遮断する。これにより、スパイクニューロン回路システム100は、高精度の待ち時間と低消費電力とを両立させることができる。

[0181] なお、上記の実施の形態1において、制御回路50の選択信号生成回路56が生成する選択信号は、 V_{sw+2} から V_{sw-2} の5つであり、これに対応して制御電圧生成回路57から出力されるバルク制御電圧 V_{ctr_b} の変化も5段階であった。しかしながら、選択信号の数は5つに限定されるものではなく、これに対応するバルク制御電圧 V_{ctr_b} の変化も5段階に限定されるものではない。

[0182] 選択信号生成回路56を構成する素子の数を増やすことにより、さらに多くの選択信号を生成し、これに対応して制御電圧生成回路57のスイッチの数も増やすことにより、バルク制御電圧 V_{ctr_b} をさらに多段階に変化させてもよい。また、バルク制御電圧 V_{ctr_b} の変化する範囲についても、 $0V - 2\delta = -0.34V$ から $0V + 2\delta = 0.34V$ の範囲に限定されるものではない。Nチャンネル型のMOSFETの場合、スパイクニューロン回路システム100の電源電圧をVDDとして、例えば $-VDD$ から $0.4VDD$ の範囲でバルク制御電圧 V_{ctr_b} を変化させることができる。

[0183] また、上記の実施の形態1において、選択信号生成回路56のSRラッチ56iから56lには、一致成立時の選択信号 V_{sw+2} から V_{sw-2} を生成するための情報が内部状態Qとして記憶されていた。制御電圧生成回路57は、待ち時間の補償動作が完了した後の通常動作時において、選択信号生成回路56から出力される選択信号 V_{sw+2} から V_{sw-2} に基づいて、バルク制御電圧 V_{ctr_b} を出力していた。これに代えて、バルク制御電圧 V_{ctr_b} そのものを記憶する回路を別途設けて、通常動作時にはこれを参照してバルク制御電圧 V_{ctr_b} を出力するようにしてもよい。あるいは、一致成立時の選択信号 V_{sw+2} から V_{sw-2} を記憶する回路を

別途設けてもよい。

[0184] [実施の形態2]

(スパイクングニューロン回路システム200)

次に、本開示の実施の形態2に係るスパイクングニューロン回路システム200について説明する。なお、以降の説明において、実施の形態1と同一または同様の構成要素については、同一の参照符号を付して詳細な説明を省略する。

[0185] 図14は、本開示の実施の形態2に係るスパイクングニューロン回路システム200の構成を示す図である。スパイクングニューロン回路システム200は、実施の形態1に係るスパイクングニューロン回路システム100の充電回路10に含まれるNチャネル型のMOSFETであるトランジスタ11を、Pチャネル型のMOSFETであるトランジスタ211に置き換えたものである。

[0186] スパイクングニューロン回路システム200と、実施の形態1に係るスパイクングニューロン回路システム100とを比較すると、充電回路210および制御回路250のみが異なっている。そのため、これら充電回路210および制御回路250について、詳細に説明する。

[0187] (充電回路210)

充電回路210は、Pチャネル型のMOSFETであるトランジスタ211と、キャパシタ12とを含んでいる。トランジスタ211のソース端子は、充電回路210の入力ノードN0に接続されている。トランジスタ211のドレイン端子は、キャパシタ12の一方の端子と、パルス生成回路20の入力ノードN1とに接続されている。また、トランジスタ211のゲート端子とソース端子とは短絡されている。充電回路210は、入力端子Tinに図示しない外部電源または制御回路250からORゲート60を介して入力電圧が印加されると、トランジスタ211のサブスレッショルド電流である出力電流Iによるキャパシタ12への充電を開始する。

[0188] (制御回路250)

制御回路250と、実施の形態1の制御回路50とを比較すると、選択信号生成回路256および制御電圧生成回路257のみが異なっており、他の構成要素については同一である。そのため、これら選択信号生成回路256および制御電圧生成回路257について、詳細に説明する。

[0189] (選択信号生成回路256)

図15は、選択信号生成回路256の内部の構成を示す図である。選択信号生成回路256は、実施の形態1の選択信号生成回路56と同様に、8つのANDゲート56aから56hと、4つのSRラッチ56iから56lと、5つのEXORゲート56mから56qとを含んでいる。

[0190] 選択信号生成回路256と、実施の形態1の選択信号生成回路56とを比較すると、各ANDゲート56aから56hに入力されるLong_bit信号とShort_bit信号とが入れ替わっている。図15では、実施の形態1との相違箇所を下線付きのイタリック体で強調している。

[0191] 選択信号生成回路256において、Long_bit信号とShort_bit信号とが入れ替わっているのは、次のような理由による。すなわち、Nチャネル型のMOSFETでは、バルク電圧V_bを上げると出力電流が増加して待ち時間が短くなり、バルク電圧V_bを下げると出力電流が減少して待ち時間が長くなるのに対して、Pチャネル型のMOSFETでは、バルク電圧V_bを上げると出力電流が減少して待ち時間が長くなり、バルク電圧V_bを下げると出力電流が増加して待ち時間が短くなる。

[0192] 換言すれば、Nチャネル型のMOSFETでは、待ち時間を短くするためにはバルク電圧V_bを「上げる」必要があり、待ち時間を長くするためにはバルク電圧V_bを「下げる」必要があるのに対して、Pチャネル型のMOSFETでは、待ち時間を短くするためにはバルク電圧V_bを『下げる』必要があり、待ち時間を長くするためにはバルク電圧V_bを『上げる』必要があり、両者は対称な関係にある。

[0193] したがって、Nチャネル型のMOSFET用に設計された実施の形態1の選択信号生成回路56の各ANDゲート56aから56hに入力されるLo

ng_bit信号とShort_bit信号とを入れ替えることにより、Pチャネル型のMOSFET用の選択信号生成回路256を構成することができる。

- [0194] 選択信号生成回路256は、Long_bit信号=1VおよびShort_bit信号=0Vの時には、待ち時間を短くするためにバルク電圧Vbを1段階下げる選択信号Vsw+2からVsw-2を生成し、Long_bit信号=0VおよびShort_bit信号1Vの時には、待ち時間を長くするためにバルク電圧Vbを1段階上げる選択信号Vsw+2からVsw-2を生成する。

- [0195] (制御電圧生成回路257)

図16は、制御電圧生成回路257の内部の構成を示す図である。制御電圧生成回路257は、実施の形態1の制御電圧生成回路57と同様に、12個のダイオード57aから57lと、5つのスイッチ57mから57qとを含んでいる。

- [0196] 制御電圧生成回路257と、実施の形態1の制御電圧生成回路57とを比較すると、順方向に直列接続されたダイオードの両端の第1の電源線L1および第2の電源線L2の接続先が異なっている。具体的には、実施の形態1では、第1の電源線L1は電源線VDDに接続され、第2の電源線L2は電源線-VDDに接続されていたのに対して、制御電圧生成回路257では、第1の電源線L1は電源線2VDDに接続され、第2の電源線L2はグランドGNDに接続されている。図16では、実施の形態1との相違箇所を下線付きのイタリック体で強調している。

- [0197] Nチャネル型のMOSFETでは、バルク電圧Vbは、電源電圧をVDDとして、例えば-VDDから0.4VDDの範囲で変化させることができる。そのため、実施の形態1では、0Vを中心として、 $0V - 2\delta = -0.34V$ から $0V + 2\delta = 0.34V$ の範囲でバルク制御電圧Vctr_bを生成していた。ただし、 $\delta = 2VDD / 12 \approx 0.17V$ である。

- [0198] これに対して、Pチャネル型のMOSFETでは、バルク電圧Vbは、電

源電圧を V_{DD} として、例えば $0.6V_{DD}$ から $2V_{DD}$ の範囲で変化させることができる。そのため、制御電圧生成回路257では、 $1V$ を中心として、 $1V - 2\delta = 0.66V$ から $1V + 2\delta = 1.34V$ の範囲でバルク制御電圧 V_{ctr_b} を生成する。ただし、 $\delta = 2V_{DD} / 12 \cong 0.17V$ である。

[0199] (スパイクングニューロン回路システム200の待ち時間の補償動作)

図17は、スパイクングニューロン回路システム200の待ち時間の補償動作の一例を説明するタイミングチャートである。図17のタイミングチャートでは、補償用の入力電圧 V_{in_bit} が印加されてから、パルス信号 V_{pls} が出力されるまでの待ち時間が、参照信号 V_{ref} が出力されるまでの所定の時間よりも長いので、待ち時間を短くする制御が行われている。具体的には、充電回路210のトランジスタ211のバルク電圧 V_b を下げるために、バルク制御電圧 V_{ctr_b} を段階的に下げる制御が行われている。

[0200] 以上説明したように、本実施の形態2に係るスパイクングニューロン回路システム200は、充電回路210に含まれるPチャネル型のMOSFETであるトランジスタ211のバルク電圧 V_b を制御することによって、トランジスタ211の出力電流 I を制御する制御回路250を備えている。このように構成しても、通常動作時に図示しない外部電源によって入力電圧が印加されてからパルス信号 V_{pls} が出力されるまでの待ち時間を高精度に定めることができる。

[0201] ただし、Nチャネル型のMOSFETとPチャネル型のMOSFETとでは、サブスレッショルド電流の大きさが異なる。そのため、所望の待ち時間を得るのに適したサブスレッショルド電流の範囲に応じて、Nチャネル型かPチャネル型かを選択するのがよい。また、そのような制約が存在しない場合には、バルク端子が半導体基板から隔離しているPチャネル型の方が実装に必要な面積が小さくてすむ。Nチャネル型の場合には、バルク端子を半導体基板から隔離するためにNBL-NMOSを使用する必要があり、実装に

必要な面積が大きくなる。

[0202] [実施の形態3]

(スパイクニューロン回路システム300)

次に、本開示の実施の形態3に係るスパイクニューロン回路システム300について説明する。

[0203] 図18は、本開示の実施の形態3に係るスパイクニューロン回路システム300の構成を示す図である。実施の形態1、2に係るスパイクニューロン回路システムでは、充電回路に含まれるMOSFETのバルク電圧 V_b を制御することによって、待ち時間を補償していた。これに対して、本実施の形態3に係るスパイクニューロン回路システム300では、Nチャンネル型のMOSFETのゲート電圧 V_g を制御することによって、待ち時間を補償する。

[0204] スパイクニューロン回路システム300と、実施の形態1に係るスパイクニューロン回路システム100とを比較すると、充電回路310および制御回路350のみが異なっている。そのため、これら充電回路310および制御回路350について、詳細に説明する。

[0205] (充電回路310)

充電回路310は、Nチャンネル型のMOSFETであるトランジスタ311と、キャパシタ12とを含んでいる。トランジスタ311のドレイン端子は、充電回路310の入力ノードN0に接続されている。トランジスタ311のソース端子は、キャパシタ12の一方の端子と、パルス生成回路20の入力ノードN1とに接続されている。なお、トランジスタ311のゲート端子とソース端子とは短絡されていない。

[0206] (制御回路350)

制御回路350と、実施の形態1の制御回路50とを比較すると、制御電圧生成回路357のみが異なっており、他の構成要素については同一である。そのため、制御電圧生成回路357について、詳細に説明する。

[0207] なお、本実施の形態3と実施の形態1とで選択信号生成回路56の構成が

同一になるのは、次のような理由による。すなわち、Nチャネル型のMOSFETの場合、バルク電圧 V_b を上げててもゲート電圧 V_g を上げてても出力電流は増加し、バルク電圧 V_b を下げててもゲート電圧 V_g を下げてても出力電流は減少する。そのため、選択信号生成回路56が選択信号 V_{sw+2} から V_{sw-2} を生成する際に、制御対象がバルク電圧 V_b であるかゲート電圧 V_g であるかを区別する必要はない。

[0208] (制御電圧生成回路357)

制御電圧生成回路357は、選択信号生成回路56から出力される選択信号 V_{sw+2} から V_{sw-2} に基づいて、ゲート制御電圧 V_{ctr_g} を生成して出力する。このゲート制御電圧 V_{ctr_g} は、充電回路310に含まれるトランジスタ311のゲート端子に印加される。

[0209] 図19は、制御電圧生成回路357の内部の構成を示す図である。制御電圧生成回路357は、12個のダイオード57aから57lと、5つのスイッチ357mから357qとを含んでいる。第1の電源線L1は電源線VDDに接続されており、第2の電源線L2はグランドGNDに接続されている。

[0210] Nチャネル型のMOSFETでは、ゲート電圧 V_g は、電源電圧をVDDとして、例えば0からVDDの範囲で変化させることができる。そのため、制御電圧生成回路357では、 $0.67V$ を中心として、 $0.67V - 2\delta = 0.5V$ から $0.67V + 2\delta = 0.83V$ の範囲でゲート制御電圧 V_{ctr_g} を生成する。ただし、 $\delta = VDD / 12 \cong 0.083V$ である。

[0211] 以上説明したように、本実施の形態3に係るスパイクニューロン回路システム300は、充電回路310に含まれるNチャネル型のMOSFETであるトランジスタ311のゲート電圧 V_g を制御することによって、トランジスタ311の出力電流 I を制御する制御回路350を備えている。このように構成しても、通常動作時に図示しない外部電源によって入力電圧が印加されてからパルス信号 V_{pls} が出力されるまでの待ち時間を高精度に定めることができる。ただし、ゲート電圧 V_g よりもバルク電圧 V_b の方がM

MOSFETのチャネル電流に及ぼす影響が小さいため、バルク電圧 V_b を制御した方が待ち時間をより細かく補償することができる。なお、本実施の形態3と実施の形態1とを組み合わせることによって、充電回路に含まれるNチャネル型のMOSFETのバルク電圧 V_b およびゲート電圧 V_g をともに制御するようにしてもよい。

[0212] [実施の形態4]

(スパイクングニューロン回路システム400)

次に、本開示の実施の形態4に係るスパイクングニューロン回路システム400について説明する。

[0213] 図20は、本開示の実施の形態4に係るスパイクングニューロン回路システム400の構成を示す図である。本実施の形態4に係るスパイクングニューロン回路システム400では、Pチャネル型のMOSFETのゲート電圧 V_g を制御することによって、待ち時間を補償する。

[0214] スパイクングニューロン回路システム400と、実施の形態2に係るスパイクングニューロン回路システム200とを比較すると、充電回路410および制御回路450のみが異なっている。そのため、これら充電回路410および制御回路450について、詳細に説明する。

[0215] (充電回路410)

充電回路410は、Pチャネル型のMOSFETであるトランジスタ411と、キャパシタ12とを含んでいる。トランジスタ411のソース端子は、充電回路410の入力ノードN0に接続されている。トランジスタ411のドレイン端子は、キャパシタ12の一方の端子と、パルス生成回路20の入力ノードN1とに接続されている。なお、トランジスタ411のゲート端子とソース端子とは短絡されていない。

[0216] (制御回路450)

制御回路450と、実施の形態2の制御回路250とを比較すると、制御電圧生成回路457のみが異なっており、他の構成要素については同一である。そのため、制御電圧生成回路457について、詳細に説明する。

[0217] なお、本実施の形態4と実施の形態2とで選択信号生成回路256の構成が同一になるのは、次のような理由による。すなわち、Pチャネル型のMOSFETの場合、バルク電圧 V_b を上げててもゲート電圧 V_g を上げてても出力電流は減少し、バルク電圧 V_b を下げててもゲート電圧 V_g を下げてても出力電流は増加する。そのため、選択信号生成回路256が選択信号 V_{sw+2} から V_{sw-2} を生成する際に、制御対象がバルク電圧 V_b であるかゲート電圧 V_g であるかを区別する必要はない。

[0218] (制御電圧生成回路457)

制御電圧生成回路457は、選択信号生成回路256から出力される選択信号 V_{sw+2} から V_{sw-2} に基づいて、ゲート制御電圧 V_{ctr_g} を生成して出力する。このゲート制御電圧 V_{ctr_g} は、充電回路410に含まれるトランジスタ411のゲート端子に印加される。

[0219] 図21は、制御電圧生成回路457の内部の構成を示す図である。制御電圧生成回路457は、12個のダイオード57aから57lと、5つのスイッチ457mから457qとを含んでいる。第1の電源線L1は電源線VDDに接続されており、第2の電源線L2はグランドGNDに接続されている。

[0220] Pチャネル型のMOSFETでは、ゲート電圧 V_g は、電源電圧をVDDとして、例えば0からVDDの範囲で変化させることができる。そのため、制御電圧生成回路457では、 $0.17V$ を中心として、 $0.17V - 2\delta = 0V$ から $0.17V + 2\delta = 0.33V$ の範囲でゲート制御電圧 V_{ctr_g} を生成する。ただし、 $\delta = VDD / 12 \div 0.083V$ である。

[0221] 以上説明したように、本実施の形態4に係るスパイクニューロン回路システム400は、充電回路410に含まれるPチャネル型のMOSFETであるトランジスタ411のゲート電圧 V_g を制御することによって、トランジスタ411の出力電流 I を制御する制御回路450を備えている。このように構成しても、通常動作時に図示しない外部電源によって入力電圧が印加されてからパルス信号 V_{pls} が出力されるまでの待ち時間を高精度に定

めることができる。ただし、ゲート電圧 V_g よりもバルク電圧 V_b の方がMOSFETのチャネル電流に及ぼす影響が小さいため、バルク電圧 V_b を制御した方が待ち時間をより細かく補償することができる。なお、本実施の形態4と実施の形態2とを組み合わせることによって、充電回路に含まれるPチャネル型のMOSFETのバルク電圧 V_b およびゲート電圧 V_g をともに制御するようにしてもよい。

[0222] [実施の形態5]

(充電回路の変形形態)

本開示の実施の形態5では、スパイクニューロン回路システムの充電回路の種々の変形形態について説明する。

[0223] (第1の変形形態)

図22は、本実施の形態5の第1の変形形態に係る充電回路510Aの構成を示す図である。充電回路510Aは、Pチャネル型のMOSFETであるトランジスタ511aと、Nチャネル型のMOSFETであるトランジスタ512aと、インバータ513とを含んでいる。

[0224] 充電回路510Aの入力ノードN1が0Vのとき、インバータ513は1Vを出力する。このとき、トランジスタ511aはオフであり、トランジスタ512aはオンである。そのため、ノードN2は0Vである。

[0225] 充電回路510Aの入力ノードN1に1Vの入力電圧が印加されると、インバータ513の出力は0Vになる。このとき、トランジスタ511aはオンになり、出力電流 I が流れる。一方、トランジスタ512aはオフになり、ドレインソース間に電流が流れなくなる。この状態において、トランジスタ512aのドレインソース間の寄生容量 C_{ds} は、本開示における容量成分として機能する。これにより、トランジスタ511aの出力電流 I が、トランジスタ512aの寄生容量 C_{ds} に充電される。Pチャネル型のMOSFETであるトランジスタ511aのオン電流を用いて充電することで、先述のサブスレッショルド電流を用いて充電する時よりも、はるかに短い待ち時間が得られる。

[0226] (第2の変形形態)

図23は、本実施の形態5の第2の変形形態に係る充電回路510Bの構成を示す図である。充電回路510Bは、Pチャネル型のMOSFETであるトランジスタ511bと、Nチャネル型のMOSFETであるトランジスタ512bと、多段接続された3個のインバータ514から516とを含んでいる。トランジスタ511bのゲート端子とソース端子とは短絡されているため、サブスレッショルド電流 I が流れる。

[0227] 充電回路510Bの入力ノードN1が0Vのとき、インバータ516は1Vを出力し、トランジスタ512bはオンである。そのため、ノードN2は0Vである。

[0228] 充電回路510Bの入力ノードN1に1Vの入力電圧が印加されると、一定の遅延時間の後、インバータ516の出力が0Vになる。このとき、トランジスタ512bはオフになり、ドレイン-ソース間に電流が流れなくなる。この状態において、トランジスタ512bのドレイン-ソース間の寄生容量 C_{ds} は、本開示における容量成分として機能する。これにより、トランジスタ511bのサブスレッショルド電流 I が、トランジスタ512bの寄生容量 C_{ds} に充電される。

[0229] (第3の変形形態)

図24は、本実施の形態5の第3の変形形態に係る充電回路510Cの構成を示す図である。充電回路510Cは、Pチャネル型のMOSFETであるトランジスタ511cと、Nチャネル型のMOSFETであるトランジスタ512cと、多段接続された3個のインバータ514から516と、トランジスタ512cと並列に接続されたキャパシタ517とを含んでいる。トランジスタ511cのゲート端子とソース端子とは短絡されているため、サブスレッショルド電流 I が流れる。

[0230] 充電回路510Cの入力ノードN1が0Vのとき、インバータ516は1Vを出力し、トランジスタ512cはオンである。そのため、ノードN2は0Vである。

[0231] 充電回路510Cの入力ノードN1に1Vの入力電圧が印加されると、一定の遅延時間の後、インバータ516の出力が0Vになる。このとき、トランジスタ512cはオフになり、ドレイン-ソース間に電流が流れなくなる。この状態において、トランジスタ512cのドレイン-ソース間の寄生容量 C_{ds} およびキャパシタ517は、本開示における容量成分として機能する。これにより、トランジスタ511cのサブスレッショルド電流 I が、トランジスタ512cの寄生容量 C_{ds} およびキャパシタ517に充電される。この際、キャパシタ517が追加されているため、より長い待ち時間を生成することができる。

[0232] (第4の変形形態)

図25は、本実施の形態5の第4の変形形態に係る充電回路510Dの構成を示す図である。充電回路510Dは、Pチャネル型のMOSFETであるトランジスタ511dと、Nチャネル型のMOSFETであるトランジスタ512dと、多段接続された3個のインバータ514から516と、カスコード接続された3個のMOSFETであるトランジスタ518から520とを含んでいる。

[0233] トランジスタ520のゲート端子とソース端子とは短絡されているため、サブスレッショルド電流 I が流れる。このサブスレッショルド電流 I が増幅されて、トランジスタ511dの出力電流 I になる。

[0234] 充電回路510Dの入力ノードN1が0Vのとき、インバータ516は1Vを出力し、トランジスタ512dはオンである。そのため、ノードN2は0Vである。

[0235] 充電回路510Dの入力ノードN1に1Vの入力電圧が印加されると、一定の遅延時間の後、インバータ516の出力が0Vになる。このとき、トランジスタ512dはオフになり、ドレイン-ソース間に電流は流れなくなる。この状態において、トランジスタ512dのドレイン-ソース間の寄生容量 C_{ds} は、本開示における容量成分として機能する。これにより、トランジスタ511dの出力電流 I が、トランジスタ512dの寄生容量 C_{ds} に

充電される。

[0236] [実施の形態6]

(パルス生成回路の変形形態)

本開示の実施の形態6では、スパイクニューロン回路システムのパルス生成回路の種々の変形形態について説明する。

[0237] (第1の変形形態)

図26は、本実施の形態6の第1の変形形態に係るパルス生成回路620Aの構成を示す図である。パルス生成回路620Aは、実施の形態1に係るパルス生成回路20において、初段のインバータ21をコンパレータ628に置き換えたものである。

[0238] 詳細には、パルス生成回路620Aは、インバータ22から24と、Nチャンネル型のMOSFETであるトランジスタ27と、コンパレータ628とを備えている。コンパレータ628の負極端子は、パルス生成回路620Aの入力ノードN1に接続されている。コンパレータ628の正極端子は、電源線VDDとグラウンドGNDとの間の中間電位を有するノードN6に接続されている。本実施の形態6では、順方向に直列接続された4つのダイオード629から632によって、ノードN6の電圧は0.5Vに設定されている。

[0239] 入力ノードN1の電圧が、ノードN6の電圧である0.5Vよりも低いとき、コンパレータ628は1Vを出力する。このとき、インバータ22は0Vを出力し、インバータ23は1Vを出力し、インバータ24は0Vを出力するため、出力ノードN2の電圧は0Vである。

[0240] 入力ノードN1の電圧が、ノードN6の電圧である0.5Vよりも高くなると、コンパレータ628は0Vを出力する。このとき、インバータ22は1Vを出力し、インバータ23は0Vを出力し、インバータ24は1Vを出力するため、出力ノードN2の電圧は1Vになる。したがって、入力ノードN1の電圧が0.5Vよりも高くなると、パルス生成回路620Aの出力は、一定の遅延時間の後、0Vから1Vに急上昇する。

- [0241] 出力ノードN2の電圧が1Vになると、トランジスタ27がオンになり、入力ノードN1の電圧が0Vになる。これにより、コンパレータ628は1Vを出力し、インバータ22は0Vを出力し、インバータ23は1Vを出力し、インバータ24は0Vを出力するため、出力ノードN2の電圧は0Vになる。結果として、パルス生成回路620Aの出力は、1Vから0Vに急降下する。
- [0242] 上記のパルス生成回路620Aでは、その出力が変化する閾値であるノードN6の電圧は、パルス生成回路620Aの用途に応じて、0Vから1Vの間で自由に設定することができる。
- [0243] (第2の変形形態)
- 図27は、本実施の形態6の第2の変形形態に係るパルス生成回路620Bの構成を示す図である。パルス生成回路620Bは、実施の形態1に係るパルス生成回路20において、先頭から1段目のインバータ21および2段目のインバータ22をコンパレータ633に置き換えたものである。
- [0244] 詳細には、パルス生成回路620Bは、インバータ23および24と、Nチャネル型のMOSFETであるトランジスタ27と、コンパレータ633とを備えている。コンパレータ633の正極端子は、パルス生成回路620Bの入力ノードN1に接続されている。コンパレータ633の負極端子は、電源線VDDとグラウンドGNDとの間の中間電位を有するノードN6に接続されている。本実施の形態6では、ノードN6の電圧は0.5Vに設定されている。
- [0245] 入力ノードN1の電圧が、ノードN6の電圧である0.5Vよりも低いとき、コンパレータ633は0Vを出力する。このとき、インバータ23は1Vを出力し、インバータ24は0Vを出力するため、出力ノードN2の電圧は0Vである。
- [0246] 入力ノードN1の電圧が、ノードN6の電圧である0.5Vよりも高くなると、コンパレータ633は1Vを出力する。このとき、インバータ23は0Vを出力し、インバータ24は1Vを出力するため、出力ノードN2の電

圧は1 Vになる。したがって、入力電圧が0.5 Vよりも高くなると、パルス生成回路620Bの出力は、一定の遅延時間の後、0 Vから1 Vに急上昇する。

[0247] 出力ノードN2の電圧が1 Vになると、トランジスタ27がオンになり、入力ノードN1の電圧が0 Vになる。これにより、コンパレータ633は0 Vを出力し、インバータ23は1 Vを出力し、インバータ24は0 Vを出力するため、出力ノードN2の電圧は0 Vになる。結果として、パルス生成回路620Bの出力は、1 Vから0 Vに急降下する。

[0248] 上記のパルス生成回路620Bでも、その出力が変化する閾値であるノードN6の電圧は、パルス生成回路620Bの用途に応じて、0 Vから1 Vの間で自由に設定することができる。

[0249] [実施の形態7]

(パルス生成回路720)

図28は、本実施の形態7に係るパルス生成回路720の構成を示す図である。パルス生成回路720は、Nチャネル型のMOSFETであるトランジスタ735と、Pチャネル型のMOSFETであるトランジスタ736と、インバータ734と、多段接続されたインバータ737から739と、Pチャネル型のMOSFETであるトランジスタ740とを含んでいる。

[0250] トランジスタ735のドレイン端子とトランジスタ736のドレイン端子とは、ともに入力ノードN1に接続されている。トランジスタ735のゲート端子とトランジスタ736のゲート端子とは、ともに出力ノードN2に接続されている。トランジスタ735のソース端子は、グラウンドGNDに接地されている。トランジスタ736のソース端子はトランジスタ740のドレイン端子に接続されており、トランジスタ740のソース端子は電源線VDDに接続されている。したがって、トランジスタ740がオンである場合には、トランジスタ735および736は、出力ノードN2に自身の入力が接続されるとともに入力ノードN1に自身の出力が接続されるインバータとして機能する。

- [0251] また、インバータ734の入力端子は、入力ノードN1に接続されている。インバータ734の出力端子は、トランジスタ740のゲート端子と、多段接続された3個のインバータ737から739の初段の入力端子とに接続されている。多段接続された3個のインバータ737の最後段の出力端子は、出力ノードN2に接続されている。
- [0252] 入力ノードN1の電圧が0Vのとき、インバータ734は1Vを出力する。このとき、インバータ737は0Vを出力し、インバータ738は1Vを出力し、インバータ739は0Vを出力するため、出力ノードN2の電圧は0Vにある。また、インバータ734の出力が1Vであるため、トランジスタ740はオフである。
- [0253] 入力ノードN1の電圧が次第に上昇していき、インバータ734の出力が反転する所定の閾値電圧に到達すると、インバータ734の出力が0Vになる。このとき、トランジスタ740がオンになり、トランジスタ735および736によって構成されるインバータが動作して、その出力であるノードN1の電圧が1Vに急上昇する。
- [0254] これと並行して、インバータ737が1Vを出力し、インバータ738が0Vを出力し、インバータ739が1Vを出力することにより、出力ノードN2の電圧が1Vになる。したがって、入力ノードN1の電圧が所定の閾値電圧に到達すると、一定の遅延の後、出力ノードN2の電圧が0Vから1Vに急上昇する。
- [0255] 出力ノードN2の電圧が1Vになると、トランジスタ735および736によって構成されるインバータの出力であるノードN1の電圧は1Vから0Vに急降下する。これにより、インバータ734の出力が1Vになり、トランジスタ740がオフになることにより、トランジスタ735および736によって構成されるインバータの動作が停止する。
- [0256] これと並行して、インバータ737が0Vを出力し、インバータ738が1Vを出力し、インバータ739が0Vを出力することにより、出力ノードN2の電圧が0Vになる。したがって、出力ノードN2の電圧が0Vから1

Vに急上昇すると、一定の遅延の後、出力ノードN2の電圧が1Vから0Vに急降下する。

[0257] 以上のようにして、パルス生成回路720によるパルス信号の生成が行われる。パルス生成回路720において、入力ノードN1からインバータ734、トランジスタ740、トランジスタ735および736によって構成されるインバータを経由して、入力ノードN1に戻る経路は、入力ノードN1の電圧の上昇を速めることにより、パルス信号の立ち上がりを急峻にする正帰還ループを構成する。

[0258] また、入力ノードN1からインバータ734、多段接続されたインバータ737から739、出力ノードN2、トランジスタ735および736によって構成されるインバータを経由して、入力ノードN1に戻る経路は、入力ノードN1の電圧を急降下させることにより、パルス信号の立ち下がり急峻にする負帰還ループを構成する。

[0259] 以上説明したように、本実施の形態7に係るパルス生成回路720は、パルス信号の立ち上がりを急峻にする正帰還ループと、パルス信号の立ち下がり急峻にする負帰還ループとを備えている。これにより、パルス幅の狭い、鋭い波形のパルス信号を生成することができる。また、トランジスタ740がオフの時には、トランジスタ735および736によって構成されるインバータに貫通電流が流れないため、消費電力が抑えられる。

[0260] [実施の形態8]

(スパイクングニューロン回路システム800)

次に、本開示の実施の形態8に係るスパイクングニューロン回路システム800について説明する。

[0261] 図29は、本開示の実施の形態8に係るスパイクングニューロン回路システム800の構成を示す図である。スパイクングニューロン回路システム800は、パルス生成回路20から出力されるパルス信号列Vpsのパルス間隔を制御することによって、パルス信号列Vpsに任意の情報を載せて出力する。換言すれば、スパイクングニューロン回路システム800は、搬送波

としてのパルス信号列 V_{ps} のパルス間隔を変調する「パルス間隔変調」を行う。

[0262] スパイキングニューロン回路システム800は、充電回路10と、パルス生成回路20と、制御回路850とを備えている。制御回路850には、図示しない外部装置から時間変化する入力信号としてのアナログ信号 Sig_ang が入力される。一例として、図示しない外部装置は温度センサであり、時間変化するアナログ信号 Sig_ang は、温度センサによって検出された温度の情報を含んでいる。ただし、図示しない外部装置および時間変化するアナログ信号 Sig_ang は、これに限定されるものではない。なお、充電回路10およびパルス生成回路20は、実施の形態1と同一のものである。また、実施の形態1に存在していたCR時定数回路30、参照信号回路40およびORゲート60は存在しない。

[0263] スパイキングニューロン回路システム800の入力端子 T_{in} には、図示しない外部電源によって1Vの直流電圧が継続して印加される。したがって、充電回路10には1Vの直流電圧が継続して入力される。これにより、充電回路10は一定の時間周期で充放電を繰り返し、パルス生成回路20は一定間隔のパルス信号列 V_{ps} を出力する。

[0264] (制御回路850)

制御回路850は、図示しない外部装置から入力される時間変化するアナログ信号 Sig_ang に基づいて、充電回路10に含まれるトランジスタ11のバルク電圧 V_b を制御することによって、パルス生成回路20から出力されるパルス信号列 V_{ps} のパルス間隔を制御する。図30は、制御回路850の内部の構成を示す図である。制御回路850は、A/Dコンバータ回路858と、選択信号生成回路856と、制御電圧生成回路857とを含んでいる。

[0265] (A/Dコンバータ回路858)

A/Dコンバータ回路858は、時間変化するアナログ信号 Sig_ang が入力されると、これを一定の時間間隔でサンプリングして量子化し、3

ビットのデジタル信号 Sig_dig に変換して出力する。A/Dコンバータ回路858の構成としては、周知の様々な回路構成を採用することができる。

[0266] (選択信号生成回路856)

選択信号生成回路856は、A/Dコンバータ回路858から出力される3ビットのデジタル信号 Sig_dig に基づいて、8つの選択信号 $Vsw+2$ から $Vsw-5$ を生成して出力する。これら8つの選択信号 $Vsw+2$ から $Vsw-5$ は、3ビットのデジタル信号 Sig_dig に対応して、いずれか1つだけが1Vとなり他はすべて0Vとなる信号である。図31は、選択信号生成回路856の入力と出力の対応関係を示す図である。

[0267] (制御電圧生成回路857)

図32は、制御電圧生成回路857の内部の構成を示す図である。制御電圧生成回路857は、12個のダイオード57aから57lと、8つのスイッチ857mから857tとを含んでいる。制御電圧生成回路857は、選択信号生成回路856から出力される8つの選択信号 $Vsw+2$ から $Vsw-5$ に基づいて、8段階に変化するバルク制御電圧 $Vctr_b$ を生成して出力する。

[0268] 図29に戻って、制御回路850から出力される8段階に変化するバルク制御電圧 $Vctr_b$ は、充電回路10に含まれるトランジスタ11のバルク端子に印加され、トランジスタ11のバルク電圧 Vb が8段階に変化する。トランジスタ11のバルク電圧 Vb が8段階に変化することによって、パルス生成回路20から出力されるパルス信号列 Vps のパルス間隔が8段階に変化する。結果として、パルス信号列 Vps のパルス間隔は、図示しない外部装置から入力されるアナログ信号 Sig_ang に基づいて8段階に変化する。換言すれば、図示しない外部装置から入力されるアナログ信号 Sig_ang に基づいて、パルス信号列 Vps のパルス間隔が8段階に制御される。

[0269] 以上説明したように、本実施の形態8に係るスパイクニューロン回路

800は、時間変化する入力信号としてのアナログ信号 $S_{i g_a n g}$ に基づいて、パルス生成回路20から出力されるパルス信号列 $V_{p s}$ のパルス間隔を制御する。これにより、パルス信号列 $V_{p s}$ にアナログ信号 $S_{i g_a n g}$ の情報を載せて伝送することができる。パルス間隔が制御されたパルス信号列 $V_{p s}$ は、例えば、昇圧チョッパ回路または降圧チョッパ回路のスイッチング周波数の制御に用いることが可能である。また、この制御によって、電源素子との間でインピーダンス整合をとることも可能である。

[0270] なお、A/Dコンバータ回路858の出力は3ビットに限定されるものではなく、2ビット以下でもよいし、4ビット以上でもよい。A/Dコンバータ回路858の出力するビット数に応じて、選択信号生成回路856の出力する選択信号の数および制御電圧生成回路857のスイッチの数が決定される。また、外部装置から入力される信号は、アナログ信号ではなくデジタル信号であってもよい。この場合、A/Dコンバータ回路858は省略することができる。

[0271] また、本実施の形態8と実施の形態2とを組み合わせることによって、充電回路に含まれるPチャネル型のMOSFETのバルク電圧 V_b を制御することによって、パルス信号 $V_{p s}$ 列のパルス間隔を制御してもよい。また、本実施の形態8と実施の形態3または実施の形態4とを組み合わせることによって、充電回路に含まれるNチャネル型またはPチャネル型のMOSFETのゲート電圧 V_g を制御することによって、パルス信号 $V_{p s}$ 列のパルス間隔を制御してもよい。

[0272] 本実施の形態8において、実施の形態1に存在していたCR時定数回路30、参照信号回路40およびORゲート60は存在しない例について説明した。さらに本実施の形態8にまた、実施の形態1に存在していたCR時定数回路30、参照信号回路40およびORゲート60を組みあわせることによって、充電回路10に含まれるトランジスタ11の制御電圧に対して実施の形態1において行われた、いわゆるキャリブレーション動作を行った後に、さらに実施の形態8の制御回路850による制御をおこなってもよい。かか

る場合には送信すべき任意の情報を、更に正確に送信することが出来る。

[0273] [実施の形態9]

図33は、実施の形態9に係る制御電圧生成回路57Aの構成の一例を示す図である。制御電圧生成回路57Aは、制御パルス生成回路571、NOTゲート572、Pチャンネル型のMOSFETであるトランジスタ573、Nチャンネル型のMOSFETであるトランジスタ574及びキャパシタ575を有する。

[0274] 制御パルス生成回路571には、選択信号生成回路56（図3参照）から出力される複数のビットからなる選択信号 V_{sw} が入力される。制御パルス生成回路571は、選択信号 V_{sw} の値に応じてパルス幅が定まる充電制御パルス P_c を出力する。また、制御パルス生成回路571には、リセット生成回路53（図3参照）から出力されるリセット信号 $Reset$ が入力される。制御パルス生成回路571は、リセット信号 $Reset$ に応じて放電制御パルス P_d を出力する。

[0275] 充電制御パルス P_c は、NOTゲート572を介してトランジスタ573のゲート端子に供給される。放電制御パルス P_d は、トランジスタ574のゲート端子に供給される。トランジスタ573は、ソースが電源線 V_{DD} に接続され、ドレインがトランジスタ574のドレイン及びキャパシタ575の一端に接続されている。トランジスタ574のソースは、グラウンド GND に接地されている。キャパシタ575の一端は、バルク制御電圧 V_{ctr_b} の出力ノードとされている。キャパシタ575の他端は、グラウンド GND に接地されている。

[0276] トランジスタ573は、充電制御パルス P_c のパルス幅に応じた期間に亘りオン状態となる。トランジスタ573がオン状態となることで、キャパシタ575が充電される。キャパシタ575の充電電圧がバルク制御電圧 V_{ctr_b} として出力される。キャパシタ575の充電電圧のレベルは、トランジスタ573のオン期間に応じたものとなる。すなわち、充電制御パルス P_c のパルス幅及びパルス数によって、バルク制御電圧 V_{ctr_b} のレベ

ルが制御される。上記した第1の実施形態に係る制御電圧生成回路57は、5つの選択信号 V_{sw+2} から V_{sw-2} に応じてバルク制御電圧 V_{ctr_b} を5段階で制御するものであった。これに対して、本実施の形態9に係る制御電圧生成回路57Aにおいては、制御信号 S_{CTR} によって、バルク制御電圧 V_{ctr_b} が5以上の段階で制御され得る。制御パルス生成回路571は、断続的に供給される制御信号 S_{CTR} に応じて充電制御パルス P_c を断続的に出力することで、キャパシタ575の充電電圧のリアルタイムの更新を断続的に行ってもよい。制御信号 S_{CTR} は、1ビットの固定幅のパルス信号であってもよい。

[0277] 一方、トランジスタ574は、リセット信号 $Reset$ に応じてオン状態となる。すなわち、トランジスタ574は、バルク制御電圧 V_{ctr_b} のレベルを切り替えるべきタイミングにおいてオン状態となる。トランジスタ574がオン状態となることで、キャパシタ575に蓄積された電荷が放電される。これにより、バルク制御電圧 V_{ctr_b} のレベルが低下する。

[0278] 上記した実施の形態1に係る制御電圧生成回路57によれば、バルク制御電圧 V_{ctr_b} を制御する際の電圧の刻み幅は、第1の電源線L1と第2の電源L2との間に直列接続されるダイオードの数によって定まるものであった。また、バルク制御電圧 V_{ctr_b} を制御する際の電圧の刻み幅を、ダイオードの順方向電圧よりも小さくすることができない。一方、本実施の形態9に係る制御電圧生成回路57Aによれば、キャパシタ575の充電電圧がバルク制御電圧 V_{ctr_b} として出力されるので、バルク制御電圧 V_{ctr_b} を制御する際の電圧の刻み幅を、回路素子を追加することなく行うことが可能である。また、ダイオードの順方向電圧よりも小さい刻み幅で、バルク制御電圧 V_{ctr_b} を制御することが可能である。

[0279] [実施の形態10]

図34A及び図34Bは、それぞれ、パルス生成回路20を構成する複数のインバータのうち、初段のインバータ21と2段目のインバータ22のみを示した図である。初段のインバータ21は、Nチャンネル型のMOSFET

であるトランジスタ21aとPチャネル型のMOSFETであるトランジスタ21bとを含んで構成されている。トランジスタ21a及び21bは相補的にオン状態となる。同様に、2段目のインバータ22は、Nチャネル型のMOSFETであるトランジスタ22aとPチャネル型のMOSFETであるトランジスタ22bとを含んで構成されている。トランジスタ22a及び22bは相補的にオン状態となる。

[0280] ここで、インバータを構成するPチャネル型のMOSFET（以下、P-MOSと表記する）とNチャネル型のMOSFET（以下、N-MOSと表記する）のチャンネル幅の比について考える。一般的にMOSFETの移動度は、Nチャネル型の方がPチャネル型よりも高い。インバータを構成するP-MOSとN-MOSのチャンネル幅の比は、移動度の比に応じて定められる。例えば、P-MOSとN-MOSの移動度の比（P：N）が例えば1：2である場合、インバータを構成するP-MOSとN-MOSのチャンネル幅の比（P：N）は、2：1に設計され得る。

[0281] 図34Aには、インバータ21及び22のそれぞれにおいて、N-MOSとP-MOSのチャンネル幅の比（N：P）が、これらのトランジスタの移動度の比に応じて、1：2とされた場合の各部の信号波形が示されている。ここでは、チャンネル幅の比（N：P）=1：2を標準値とする。この場合、MOSFETの閾値電圧ばらつき等の影響により、インバータ21及び22からそれぞれ出力されるパルスの幅は、入力パルスのパルス幅よりも狭くなり、パルスが消失するおそれがある。この問題は、インバータを構成するP-MOSとN-MOSのチャンネル幅の比を標準値から調整することで解消することが可能である。この点について、図34Bを参照しつつ説明する。

[0282] 初段のインバータ21にハイレベルからローレベルに遷移するパルス信号が入力されると、N-MOSであるトランジスタ21aがオン状態となり、P-MOSであるトランジスタ21bはオフ状態となる。例えば、オン状態となるトランジスタ21aについてチャンネル幅を広げることにより、インバータ21を構成するトランジスタ21b及び21aのチャンネル幅の比（N：

P) を標準値である 1 : 2 から 1.5 : 2 に変更する。これによりインバータ 21 から出力されるパルスの幅の細りを抑制することができる。

[0283] 初段のインバータ 21 から出力される、ハイレベルからローレベルに遷移するパルス信号は、2 段目のインバータ 22 に入力される。2 段目のインバータ 22 にハイレベルからローレベルに遷移するパルス信号が入力されると、P-MOS であるトランジスタ 22b がオン状態となり、N-MOS であるトランジスタ 22a はオフ状態となる。例えば、オン状態となるトランジスタ 22b についてチャネル幅を広げることにより、インバータ 22 を構成するトランジスタ 22a 及び 22b のチャネル幅の比 (N : P) を標準値である 1 : 2 から 1 : 2.5 に変更する。これによりインバータ 22 から出力されるパルスの幅の細りを抑制することができる。なお、4 段目 (最後段) のインバータ 24 におけるチャネル幅の比は、2 段目のインバータ 22 におけるチャネル幅の比と同様の値となるように設定され得る。

[0284] 以上のように、本実施の形態 10 に係るパルス生成回路 20 は、インバータ 21 ~ 24 を構成する P-MOS 及び N-MOS のチャネル幅の比が、隣接するインバータ間で互いに異なる。これにより、各インバータから出力されるパルスのパルス幅が狭くなり、パルスが消失する問題を解消することができる。なお、上記の構成は、パルス生成回路 20 のみならず、スパイクングニューロン回路システムを構成する NAND、NOR、ラッチ等の全てのロジック回路に適用することが可能である。また、上記したチャネル幅の比として記載した数値は一例であり、パルスの消失を防ぐことができるように、チャネル幅の比は適宜変更することが可能である。

[0285] [実施の形態 11]

図 35 は、実施の形態 11 に係るスパイクングニューロン回路システム 1100 の構成の一例を示す図である。スパイクングニューロン回路システム 1100 は、3 つのスパイクングニューロン回路 1110A、1110B、1110C と、3 つの出力制御回路 1120A、1120B、1120C と、を含んで構成されている。

- [0286] スパイキングニューロン回路1100A、1100B、1100Cは、それぞれ、充電回路10及びパルス生成回路20を備えている。パルス生成回路20は、それぞれ、パルス信号 V_{pls1} 、 V_{pls2} 、 V_{pls3} を出力する。スパイキングニューロン回路1110A、1110B、1110Cは、互いに独立して動作するものとされ、パルス生成回路20の各々から出力されるパルス信号 V_{pls1} 、 V_{pls2} 、 V_{pls3} は、互いに非同期である。
- [0287] 出力制御回路1120A、1120B、1120Cは、それぞれ、スパイキングニューロン回路1110A、1110B、1110Cに対応して設けられている。スパイキングニューロン回路1110A、1110B、1110Cからそれぞれ出力されるパルス信号 V_{pls1} 、 V_{pls2} 、 V_{pls3} は、それぞれ、対応する出力制御回路1120A、1120B、1120Cの入力端子(IN)に入力される。出力制御回路1120A、1120B、1120Cは、それぞれ、対応するパルス信号 V_{pls1} 、 V_{pls2} 、 V_{pls3} に応じたタイミングで状態が遷移する出力信号 V_{out1} 、 V_{out2} 、 V_{out3} を出力端子(OUT)から出力する。出力制御回路1120A、1120B、1120Cの制御端子(WAIT)には、タイミング制御回路1140から出力される共通の待機信号 S_{WAIT} が入力される。出力制御回路1120A、1120B、1120Cは、それぞれ、待機信号 S_{WAIT} が入力された場合、待機信号 S_{WAIT} によって示される待機期間において出力信号 V_{out1} 、 V_{out2} 、 V_{out3} の状態を保持する。すなわち、待機期間において出力信号 V_{out1} 、 V_{out2} 、 V_{out3} の状態の遷移が禁止される。
- [0288] 図36は、出力制御回路1120Aの内部の構成の一例を示す図である。なお、出力制御回路1120A、1120B、1120Cの構成は互いに同じである。出力制御回路1120Aは、2つのSRラッチ1121、1122と、2つのNORゲート1123、1124とを備えている。SRラッチ1121のS端子は、出力制御回路1120Aの入力端子(IN)とされ、

このS端子にはパルス信号V p l s 1が入力される。SRラッチのR端子は、出力制御回路1120Aのリセット端子(RESET)とされ、このR端子には、出力信号V o u t 1をリセットするためのリセット信号が入力される。SRラッチ1121のQ端子は、NORゲート1123の一方の入力端子に接続されている。SRラッチ1121の/Q端子は、NORゲート1124の一方の入力端子に接続されている。なお、/Q端子は、Q端子から出力される信号の論理を反転させた信号が出力される端子である。

[0289] NORゲート1123、1124の他方の入力端子は、出力制御回路1120Aの制御端子(WAIT)とされ、これらの入力端子には待機信号S_{WAIT}が入力される。NORゲート1123の出力端子は、SRラッチ1122のS端子に接続され、NORゲート1124の出力端子は、SRラッチ1122のR端子に接続されている。SRのラッチ1122のQ端子は、出力制御回路1120Aの出力端子(OUT)とされている。

[0290] 図37は、本実施の形態11に係るスパイクングニューロン回路システム1100の動作の一例を示すタイミングチャートである。図37には、時刻t2から時刻t4までの期間に待機信号S_{WAIT}がハイレベルとされ、時刻t2よりも前の時刻t1において、スパイクングニューロン回路1110Aがパルス信号V p l s 1を出力し、時刻t2よりも後であり且つ時刻t4よりも前の時刻t3において、スパイクングニューロン回路1110Bがパルス信号V p l s 2を出力し、時刻t4よりも後の時刻t5において、スパイクングニューロン回路1110Cがパルス信号V p l s 3を出力する場合が例示されている。待機信号S_{WAIT}がハイレベルとなる時刻t2からt4までの期間は、出力信号V o u t 1、V o u t 2、V o u t 3の状態が保持される待機期間である。

[0291] 出力制御回路1120Aは、時刻t1においてパルス信号V p l s 1に応じて出力信号V o u t 1をハイレベルに遷移させる。出力制御回路1120Bには、時刻t3にパルス信号V p l s 2が入力されているが、時刻t3は待機期間内であるので、出力制御回路1120Bは、出力信号V o u t 2を

ハイレベルに遷移させず、直前の状態（ローレベル）に保持する。出力制御回路1120Bは、待機期間が終了する時刻 t_4 において、出力信号 V_{out2} をハイレベルに遷移させる。出力制御回路1120Cは、時刻 t_5 においてパルス信号 V_{pls3} に応じて出力信号 V_{out3} をハイレベルに遷移させる。

[0292] 本実施の形態11に係るスパイクニューロン回路システム1100によれば、例えば、優先度の高いプロセスが実行されている間、出力信号 V_{out1} 、 V_{out2} 、 V_{out3} の状態の遷移を禁止することで回路動作を適正に保つことが可能となる。

[0293] 図38は、本実施の形態11に係るスパイクニューロン回路システム1100によって制御される昇圧回路1130の構成の一例を示す図である。昇圧回路1130は、インダクタ1131、電流制御用のスイッチ1132、ダイオード1133、キャパシタ1134A、1134B、1134C、キャパシタ選択用のスイッチ1135A、1135B、1135Cを備える。スイッチ1135A、1135B、1135Cは、それぞれ、スパイクニューロン回路システム1100（出力制御回路1120A、1120B、1120C 図35参照）の出力信号 V_{out1} 、 V_{out2} 、 V_{out3} によって制御される。スイッチ1135A、1135B、1135Cがオン状態となることで、対応するキャパシタ1134A、1134B、1134Cが、インダクタ1131に流れる電流 I_L によって充電される。

[0294] 図39は、インダクタ1131に流れる電流 I_L の波形図である。スイッチ1132がオン状態となることで電流 I_L は増加し、スイッチ1132がオフ状態となることで電流 I_L は減少する。スイッチ1132がオフ状態となるオフ期間 t_{OFF} において、スイッチ1135A、1135B、1135Cの全てがオフ状態となると、電流 I_L の行き場がなくなり、電圧が急上昇し、昇圧回路1130が損傷するおそれがある。本実施の形態11に係るスパイクニューロン回路システム1100によって、オフ期間 t_{OFF} において、出力信号 V_{out1} 、 V_{out2} 、 V_{out3} の状態の遷移を禁止して、スイッチ

1135A、1135B、1135Cの全てがオフ状態となることを回避することで、上記の問題を回避することが可能となる。なお、以上の説明では、昇圧回路1130におけるキャパシタ1134A、1134B、1134Cの選択に、スパイクングニューロン回路システム1100（出力制御回路1120A、1120B、1120C）の出力信号 V_{out1} 、 V_{out2} 、 V_{out3} を用いる場合を例示したが、本実施の形態に係るスパイクングニューロン回路システム1100は、他の目的で使用することも可能である。例えば、集積回路に含まれる、所定の機能を発揮する複数の機能ブロックを、選択的に有効化させる目的で使用することも可能である。パルス生成回路及び出力制御回路の数、並びにパルス信号及び出力信号の発生タイミングは、使用目的に応じて、適宜変更することが可能である。

[0295] [実施の形態12]

図40は、実施の形態12に係る充電回路1210の構成の一例を示す図である。充電回路1210は、Nチャンネル型のMOSFETであるトランジスタ1211と、容量成分としてのキャパシタ1212とを含んでいる。トランジスタ1211のドレイン端子は、充電回路1210の入力ノードN0に接続されており、入力ノードN0は、入力端子 T_{in} に接続されている。トランジスタ1211のソース端子は、キャパシタ1212の一方の端子に接続されている。キャパシタ1212の他方の端子は、グランドGNDに接地されている。

[0296] 本実施の形態12に係る充電回路1210はキャパシタ1213及び1214を備える。キャパシタ1213は、一端がトランジスタ1211のドレイン端子に接続され、他端がトランジスタ1211のゲート端子に接続されている。キャパシタ1214は、一端がトランジスタ1211のゲート端子に接続され、他端がグランドGNDに接地されている。キャパシタ1213とキャパシタ1214の静電容量の比に応じて定まる電圧が、トランジスタ1211のゲート端子に印加される。

[0297] 上記した実施の形態1に係る充電回路10は、トランジスタ11のオフ電

流によってキャパシタ12の充電を行うものであった。この形態によれば、入力電圧が印加されてからパルス信号が出力されるまでの待ち時間の制御範囲を十分に確保できないおそれがある。一方、本実施の形態12に係る充電回路1210によれば、トランジスタ1211のゲート端子に、キャパシタ1213とキャパシタ1214の静電容量の比に応じて定まる電圧を印加して、トランジスタ1211をサブスレッショルド状態で使用するの、待ち時間の制御範囲を広くすることが可能となる。本実施の形態12に係る充電回路1210によれば、トランジスタ1211の出力電流（すなわち、キャパシタ1212の充電電流）を例えば、 $1\text{ pA} \sim 10\text{ nA}$ の範囲で制御することが可能である。なお、実施の形態12に係る充電回路1210を、スパイクニューロン回路システムに適用する場合、トランジスタ1211の出力電流を制御するための制御回路を省略してもよい。一方、スパイクニューロン回路システムは、本実施の形態12に係る充電回路1210と、トランジスタ1211のバックゲートの電圧を制御する、先の実施形態において説明した制御回路（例えば、図1に示す制御回路50、図14に示す制御回路250、図29に示す制御回路850）と同様の制御回路の双方を備えていてもよい。例えば、トランジスタ1211の出力電流を、キャパシタ1213とキャパシタ1214の静電容量の比によって粗調整し、トランジスタ1211のバックゲートの電圧を制御する制御回路によってトランジスタ1211のプロセスばらつきや温度依存性を補償するような微調整を行ってもよい。

[0298] なお、2021年7月2日に出願された日本国特許出願2021-111124の開示は、その全体が参照により本明細書に取り込まれる。また、本明細書に記載された全ての文献、特許出願および技術規格は、個々の文献、特許出願、および技術規格が参照により取り込まれることが具体的かつ個々に記された場合と同程度に、本明細書中に参照により取り込まれる。

請求の範囲

- [請求項1] 入力電圧が印加されると、電界効果トランジスタの出力電流による容量成分への充電を開始する充電回路と、
- 前記容量成分の充電電圧が第1の所定値に到達すると、パルス信号を生成して出力するパルス生成回路と、
- 前記電界効果トランジスタのバルク電圧またはゲート電圧のいずれかまたは両方を制御することによって、前記電界効果トランジスタの出力電流を制御する制御回路と、
- を備える、スパイクニューロン回路システム。
- [請求項2] 前記制御回路は、前記電界効果トランジスタのバルク電圧またはゲート電圧のいずれかまたは両方を制御するための制御電圧を生成する制御電圧生成回路を含む
- 請求項1に記載のスパイクニューロン回路システム。
- [請求項3] 前記制御回路は、前記制御電圧生成回路が前記制御電圧を生成するための選択信号を生成する選択信号生成回路をさらに含み、
- 前記選択信号生成回路は、前記選択信号を生成するための情報を記憶する記憶回路を有する
- 請求項2に記載のスパイクニューロン回路システム。
- [請求項4] 前記制御回路は、前記電界効果トランジスタの前記バルク電圧または前記ゲート電圧のいずれかまたは両方を離散的に制御する
- 請求項2又は請求項3に記載のスパイクニューロン回路システム。
- [請求項5] 前記制御電圧生成回路は、第1の電源線と第2の電源線との間に順方向に直列接続された複数のダイオードを含み、前記ダイオード間の各ノードに生じる電圧のいずれかを前記制御電圧として生成する
- 請求項2から請求項4のいずれか1項に記載のスパイクニューロン回路システム。
- [請求項6] 前記制御電圧生成回路は、キャパシタを含み、前記キャパシタの充

電圧を前記制御電圧として生成する

請求項2から請求項4のいずれか1項に記載のスパイクニューロン回路システム。

[請求項7] 前記入力電圧が印加されてから所定の時間が経過すると参照信号を出力する参照信号回路をさらに備え、

前記制御回路は、前記参照信号が出力されるタイミングと前記パルス信号が出力されるタイミングとの時間差に基づいて、前記入力電圧が印加されてから前記パルス信号が出力されるまでの待ち時間を補償する

請求項1から請求項6のいずれか1項に記載のスパイクニューロン回路システム。

[請求項8] 前記所定の時間の温度変化に対する変動は、前記待ち時間の温度変化に対する変動よりも小さい

請求項7に記載のスパイクニューロン回路システム。

[請求項9] 前記充電回路は、半導体基板上に実装され、

前記スパイクニューロン回路システムは、前記半導体基板に外付けされる個別素子によって構成される抵抗器およびキャパシタを含み、該キャパシタを所定の時定数で充電する時定数回路をさらに備え、

前記参照信号回路は、前記キャパシタの充電電圧が第2の所定値に到達すると、前記参照信号を出力する

請求項7または請求項8に記載のスパイクニューロン回路システム。

[請求項10] 前記抵抗器および前記キャパシタへの電力供給を制御するスイッチをさらに備え、

前記スイッチは、前記待ち時間を補償する際にのみ、前記抵抗器および前記キャパシタへの電力供給を許容する

請求項9に記載のスパイクニューロン回路システム。

[請求項11] 前記制御回路は、前記参照信号が出力されるタイミングと前記パルス信号が出力されるタイミングとの時間差が第3の所定値以下になるまで、前記電界効果トランジスタのバルク端子またはゲート端子のいずれかまたは両方に供給する電圧を段階的に切り替える

請求項10に記載のスパイクニューロン回路システム。

[請求項12] 前記制御回路は、前記電界効果トランジスタのバルク電圧またはゲート電圧のいずれかまたは両方を制御するための制御電圧を生成する制御電圧生成回路と、前記制御電圧生成回路が前記制御電圧を生成するための選択信号を生成する選択信号生成回路をさらに含み、前記参照信号が出力されるタイミングと前記パルス信号が出力されるタイミングとの時間差が前記第3の所定値以下になると、前記待ち時間の補償を終了し、

前記選択信号生成回路は、前記選択信号を生成するための情報を記憶する記憶回路を有し、前記待ち時間の補償の終了時における前記選択信号を生成するための情報を前記記憶回路に記憶する

請求項11に記載のスパイクニューロン回路システム。

[請求項13] 前記充電回路の前記容量成分は、トランジスタの寄生容量を含む

請求項1から請求項12のいずれか1項に記載のスパイクニューロン回路システム。

[請求項14] 前記制御回路は、前記バルク電圧を制御することによって、前記電界効果トランジスタの前記出力電流を制御する

請求項1から請求項13のいずれか1項に記載のスパイクニューロン回路システム。

[請求項15] 前記電界効果トランジスタはNチャンネル型であり、

前記制御回路は、前記スパイクニューロン回路システムの電源電圧をVDDとすると、 $-VDD$ から $0.4VDD$ の範囲で前記バルク電圧を制御する

請求項14に記載のスパイクニューロン回路システム。

- [請求項16] 前記電界効果トランジスタはPチャンネル型であり、
前記制御回路は、前記スパイクニューロン回路システムの電源電圧をVDDとすると、 $0.6VDD$ から $2VDD$ の範囲で前記バルク電圧を制御する
請求項14に記載のスパイクニューロン回路システム。
- [請求項17] 前記制御回路は、前記ゲート電圧を制御することによって、前記電界効果トランジスタの前記出力電流を制御する
請求項1から請求項16のいずれか1項に記載のスパイクニューロン回路システム。
- [請求項18] 前記制御回路は、前記スパイクニューロン回路システムの電源電圧をVDDとすると、0からVDDの範囲で前記ゲート電圧を制御する
請求項17に記載のスパイクニューロン回路システム。
- [請求項19] 前記パルス生成回路は、正帰還ループおよび負帰還ループを有する
請求項1から請求項18のいずれか1項に記載のスパイクニューロン回路システム。
- [請求項20] 前記正帰還ループは前記パルス信号の立ち上がりを急峻にし、前記負帰還ループは前記パルス信号の立ち下がり急峻にする
請求項19に記載のスパイクニューロン回路システム。
- [請求項21] 前記パルス生成回路は、縦続接続された複数のインバータを含み、
前記複数のインバータは、それぞれ、相補的にオン状態となるPチャンネル型の電界効果トランジスタ及びNチャンネル型の電界効果型トランジスタを含み、
前記Pチャンネル型の電界効果トランジスタ及び前記Nチャンネル型の電界効果型トランジスタのチャンネル幅の比が、隣接するインバータ間で互いに異なる
請求項1から請求項20のいずれか1項に記載のスパイクニューロン回路システム。

- [請求項22] 待機信号を出力するタイミング制御回路と、
少なくとも1つの前記パルス生成回路に対応して設けられ、対応するパルス生成回路から出力されるパルス信号に応じたタイミングで状態が遷移する出力信号を出し、前記待機信号が入力された場合、前記待機信号によって示される待機期間において前記出力信号の状態を保持する複数の出力制御回路と、
を備える請求項1から請求項21のいずれか1項に記載のスパイクニューロン回路システム。
- [請求項23] 前記容量成分に接続されたスイッチング素子を備え、
前記充電回路による前記容量成分の充電と、前記スイッチング素子による前記容量成分の放電が繰り返されることにより、前記パルス生成回路からパルス信号列が出力され、
前記制御回路は、前記パルス生成回路から出力される前記パルス信号列のパルス間隔を制御する
請求項1から請求項10のいずれか1項に記載のスパイクニューロン回路システム。
- [請求項24] 前記制御回路は、送信対象の情報に基づいて、前記パルス信号列の前記パルス間隔を制御する
請求項23に記載のスパイクニューロン回路システム。
- [請求項25] 前記送信対象の情報は時間変化する入力信号である
請求項24に記載のスパイクニューロン回路システム。
- [請求項26] 入力電圧が印加されると、電界効果トランジスタの出力電流による容量成分への充電を開始する充電回路と、
容量成分に接続される入力ノードとパルス信号が出力される出力ノードとの間に接続される複数のインバータと、
前記入力ノードと第1の基準電圧との間に設けられて、制御端子が前記出力ノードに接続されるスイッチング素子とを備え、
前記複数のインバータにおけるインバータ間の接続点から前記入力

ノードへと帰還する帰還ループを有さない、スパイクングニューロン回路。

[請求項27] 前記複数のインバータのうちの初段のインバータは、前記第1の基準電圧と中間出力ノードとの間に設けられる第1のスイッチング素子と、前記中間出力ノードと第2の基準電圧との間に設けられる第2のスイッチング素子とを含み、

前記第1の基準電圧と前記第1のスイッチング素子との間には、第1のダイオードが順方向に接続され、前記第2のスイッチング素子と前記第2の基準電圧との間には、第2のダイオードが順方向に接続される

請求項26に記載のスパイクングニューロン回路。

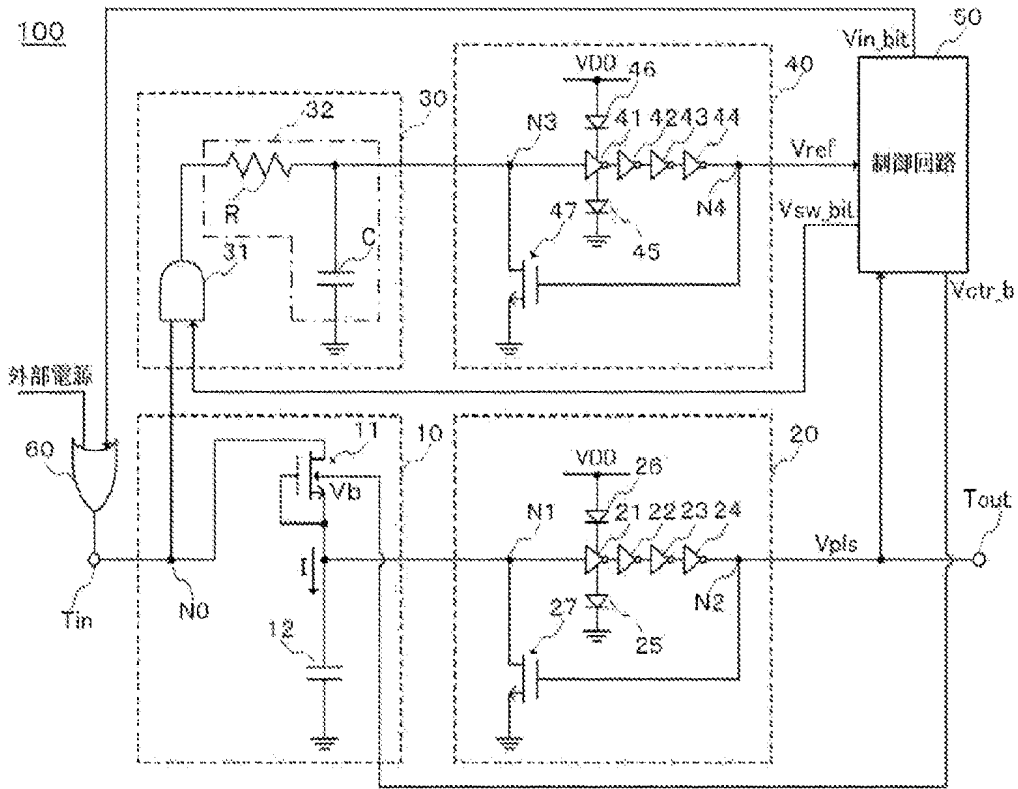
[請求項28] 一方の入力端子が、前記入力ノードに接続され、他方の入力端子が、前記第1の基準電圧と前記第2の基準電圧との間の所定の中間電位に接続され、出力端子が前記複数のインバータのうちの初段のインバータの入力端子に接続されたコンパレータを更に含む

請求項27に記載のスパイクングニューロン回路。

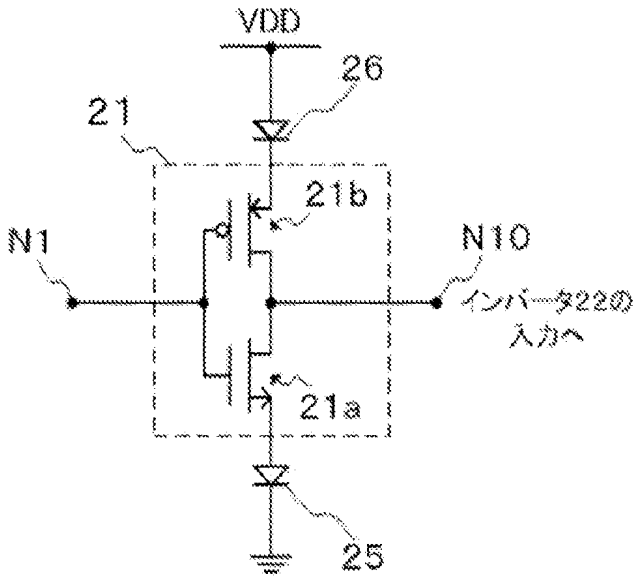
[請求項29] 前記充電回路は、複数のキャパシタを含み、前記複数のキャパシタの静電容量の比に応じて定まる電圧が、前記電界効果トランジスタのゲート端子に印加される

請求項26から請求項28のいずれか1項に記載のスパイクングニューロン回路。

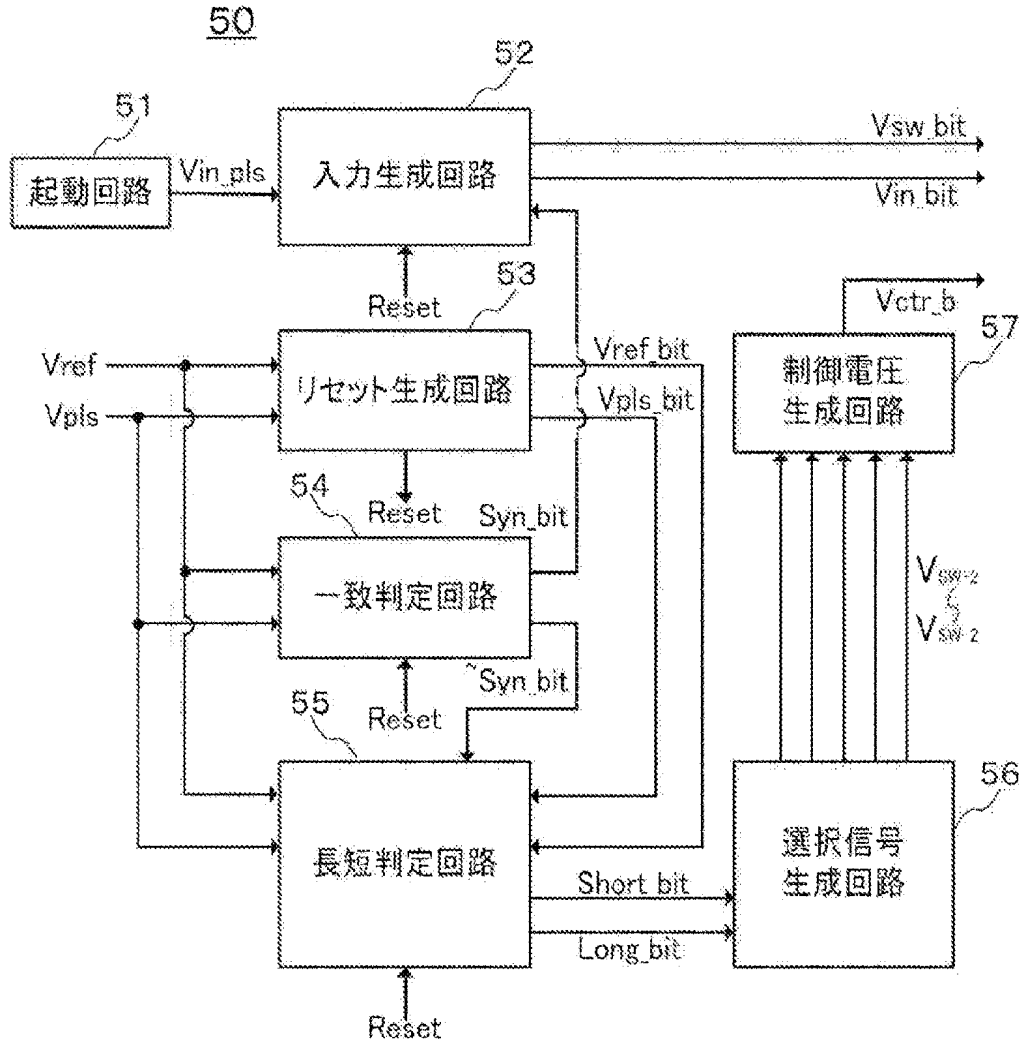
[図1]



[図2]

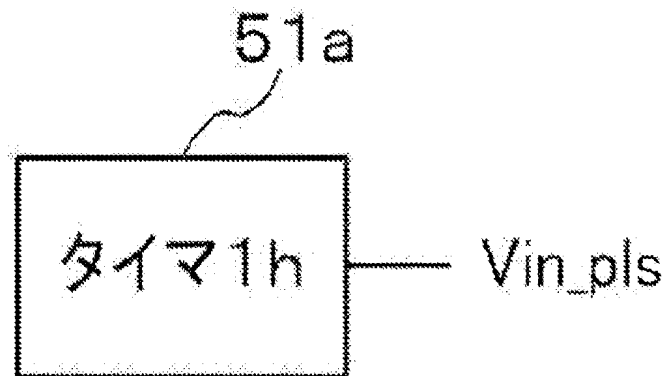


[図3]

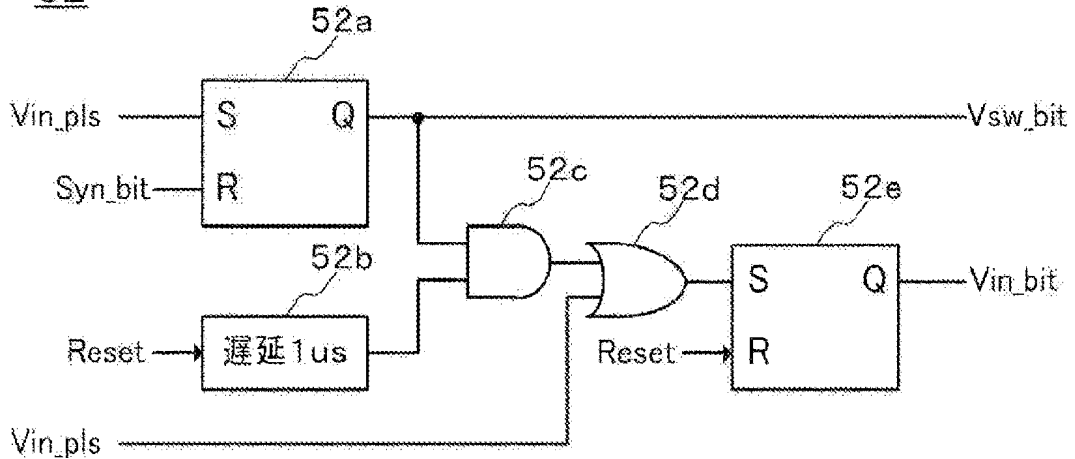


[図4]

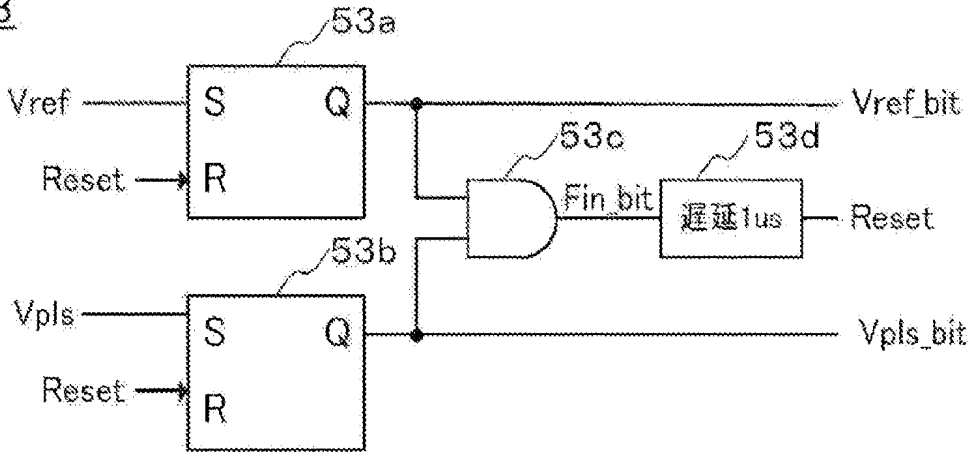
51



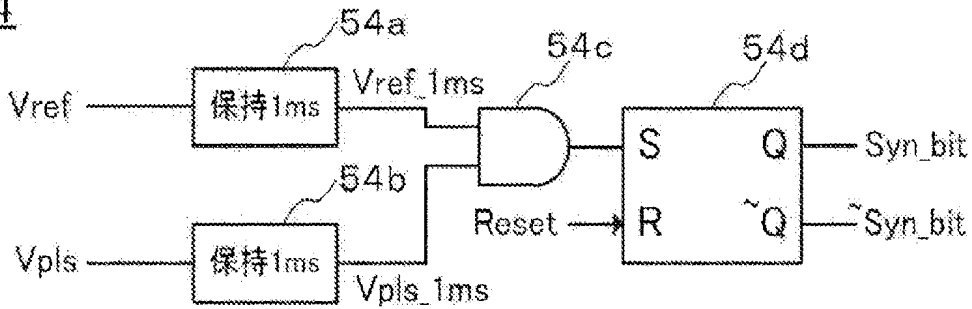
[図5]
52



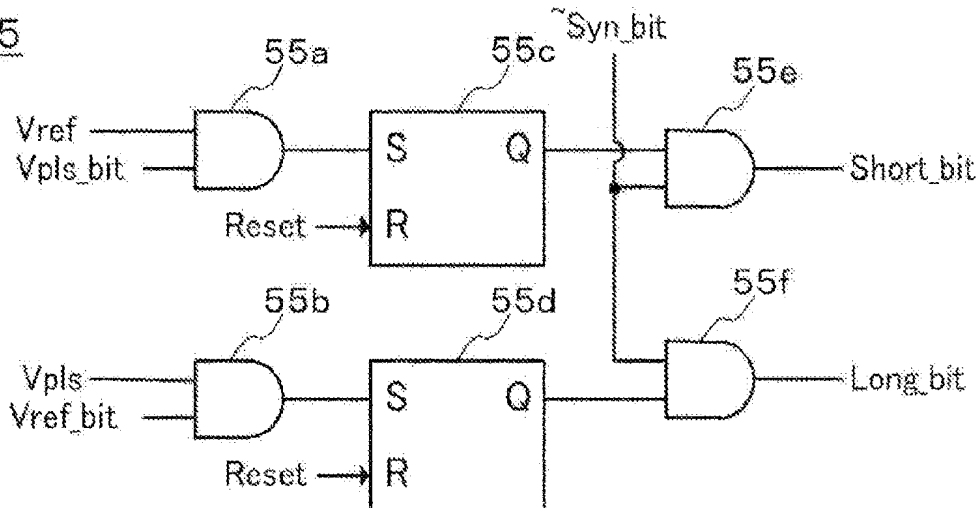
[図6]
53



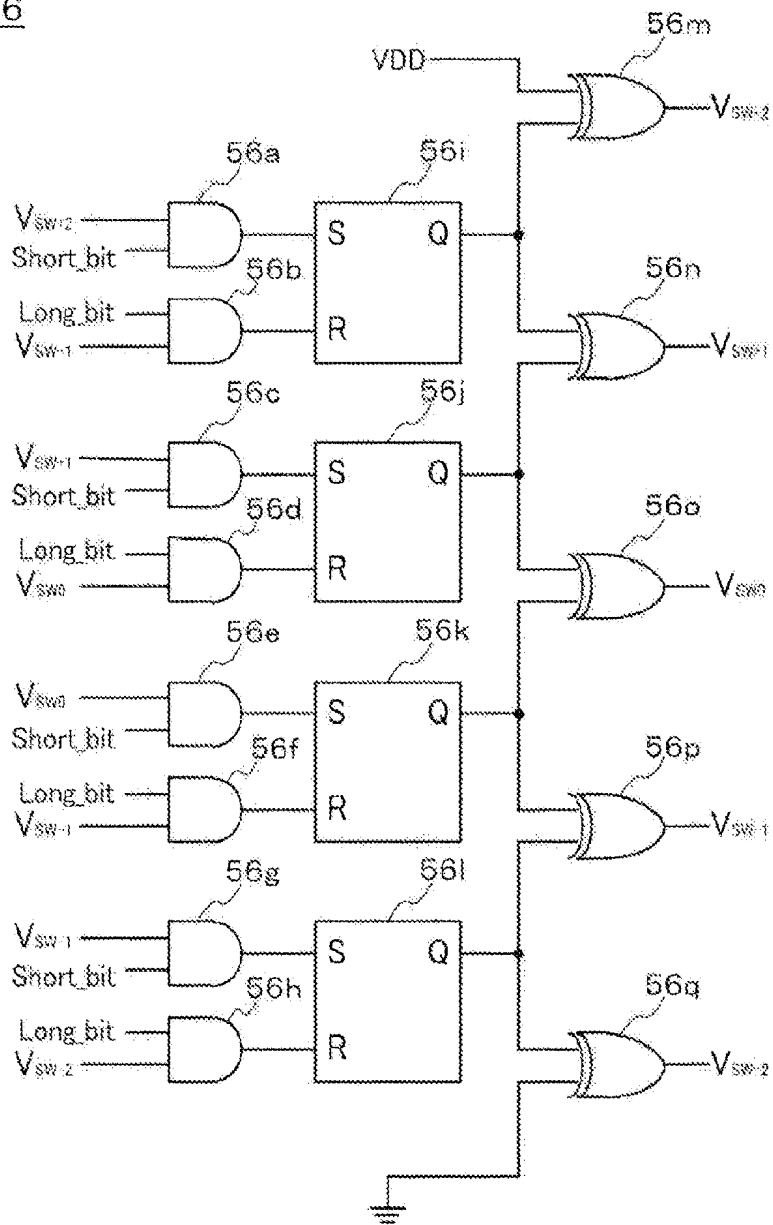
[図7]
54



[図8]
55

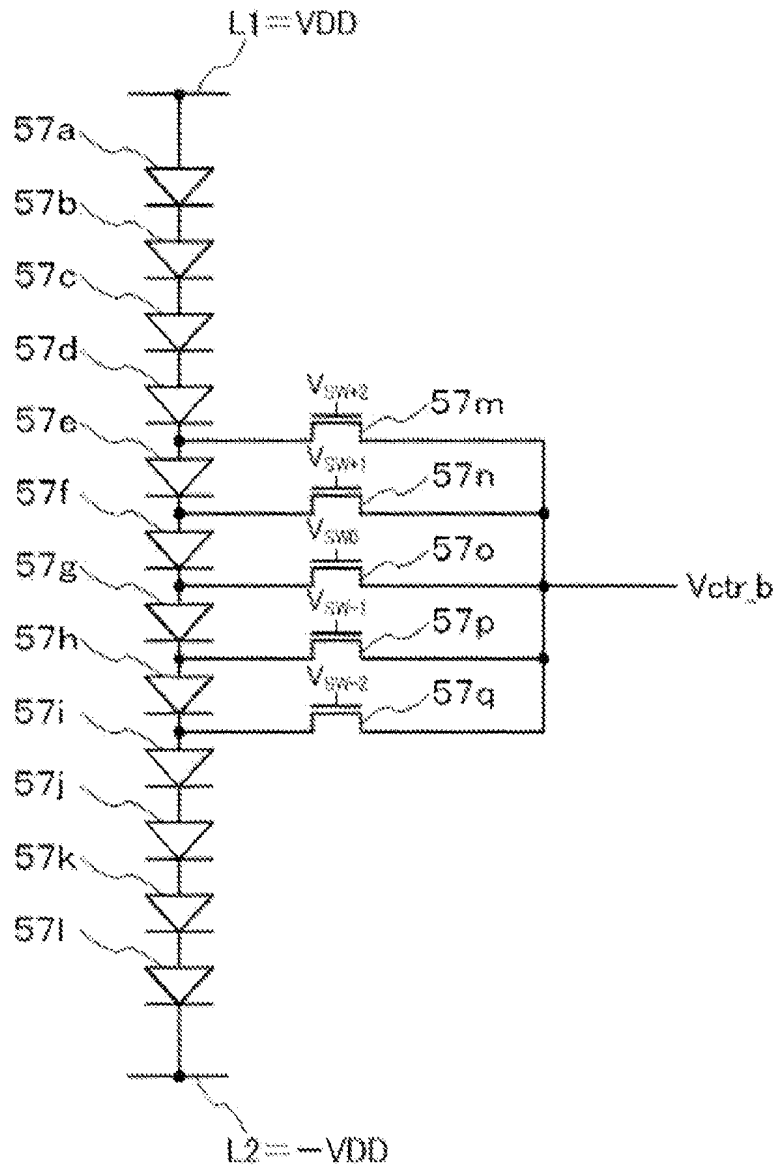


[9]
56

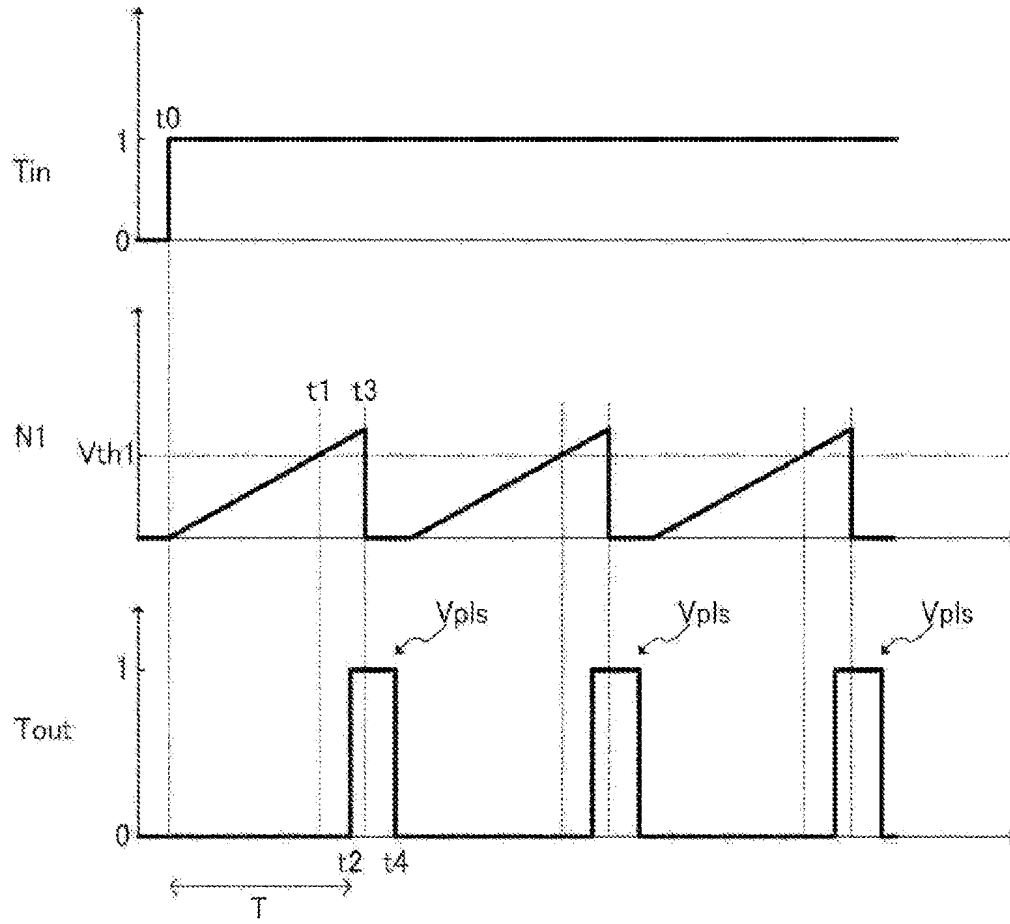


[図10]

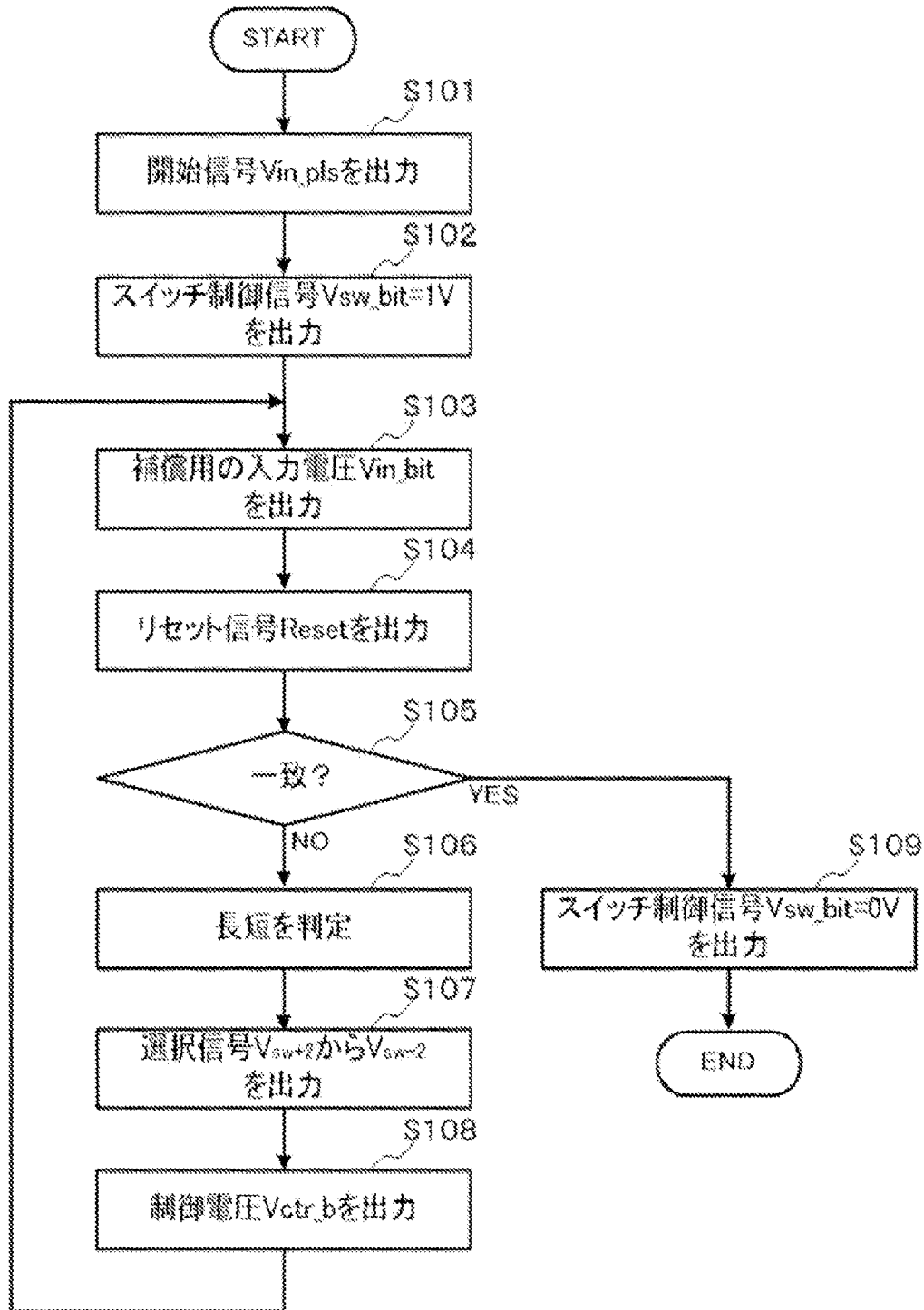
57



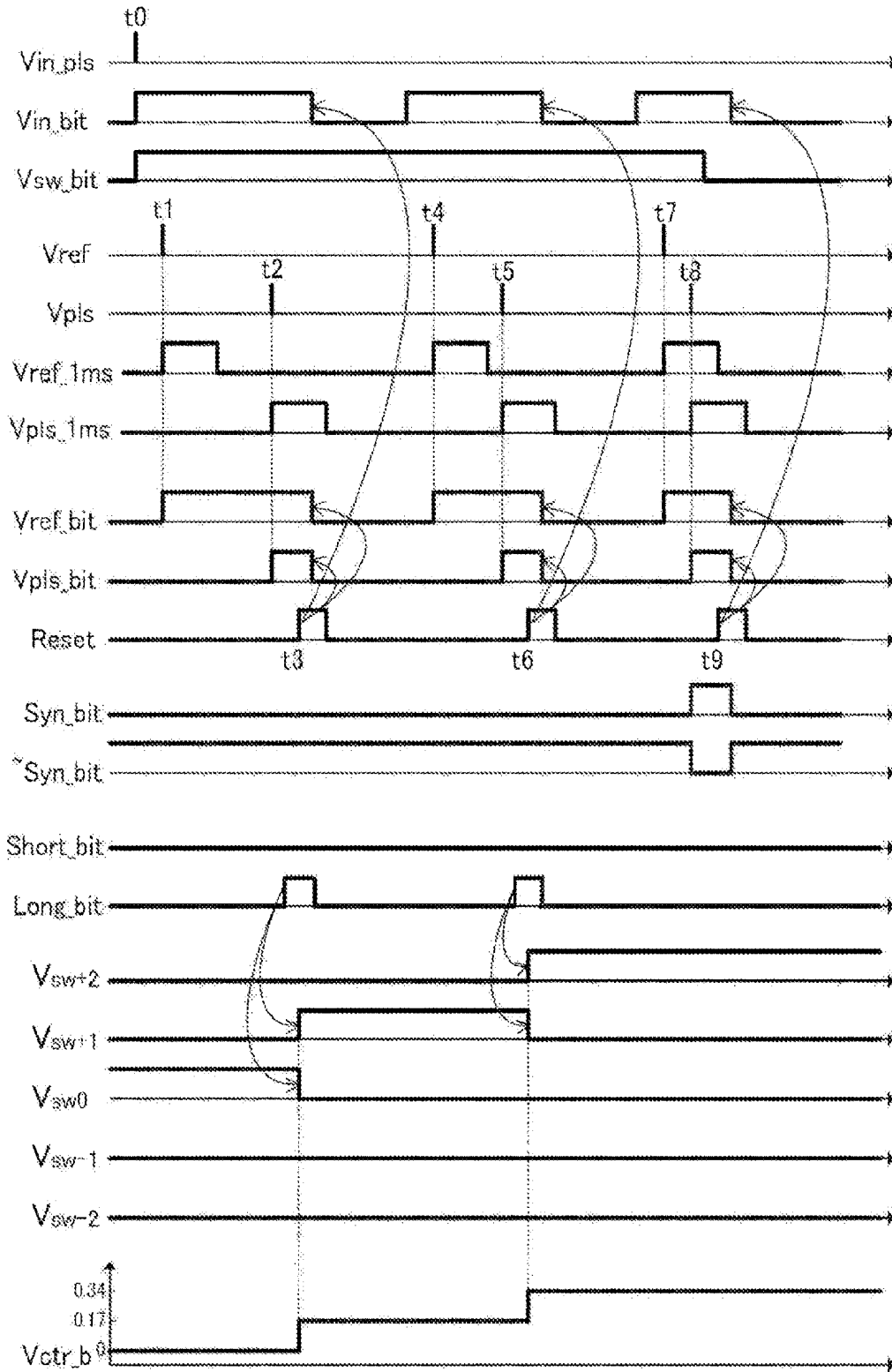
[図11]



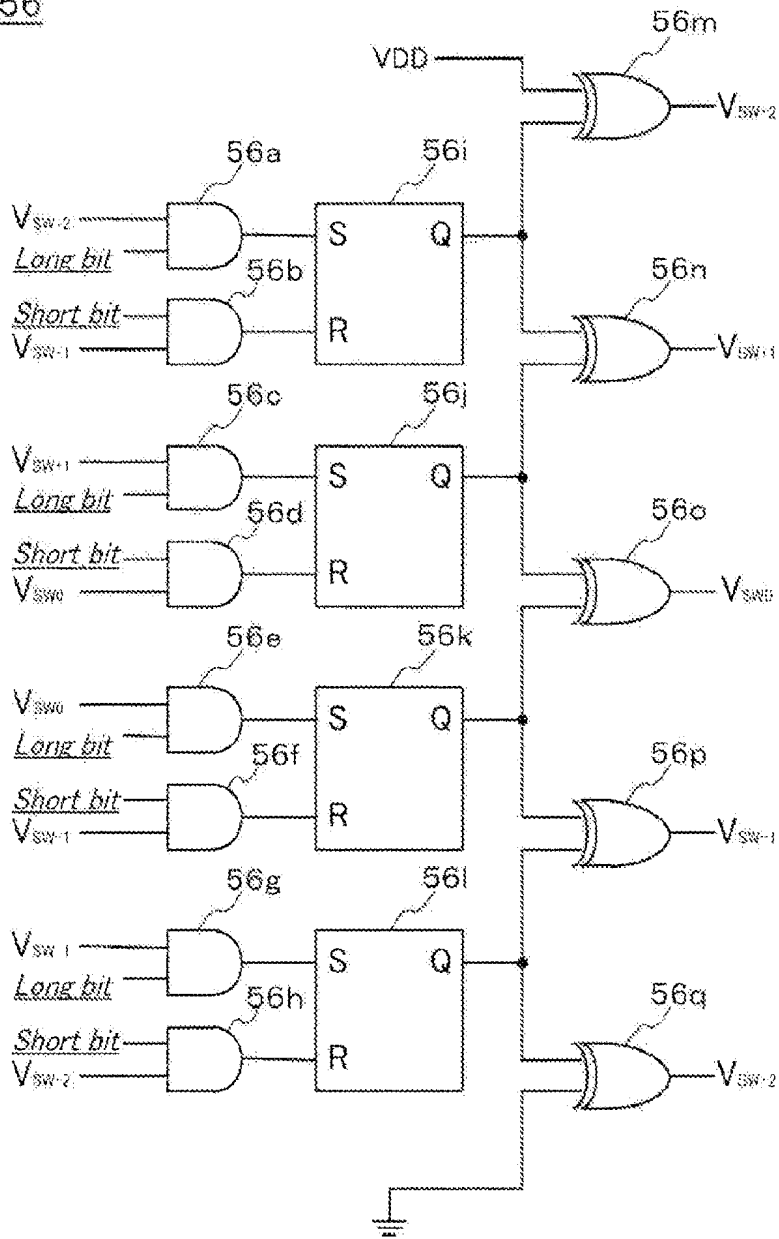
[図12]



[図13]

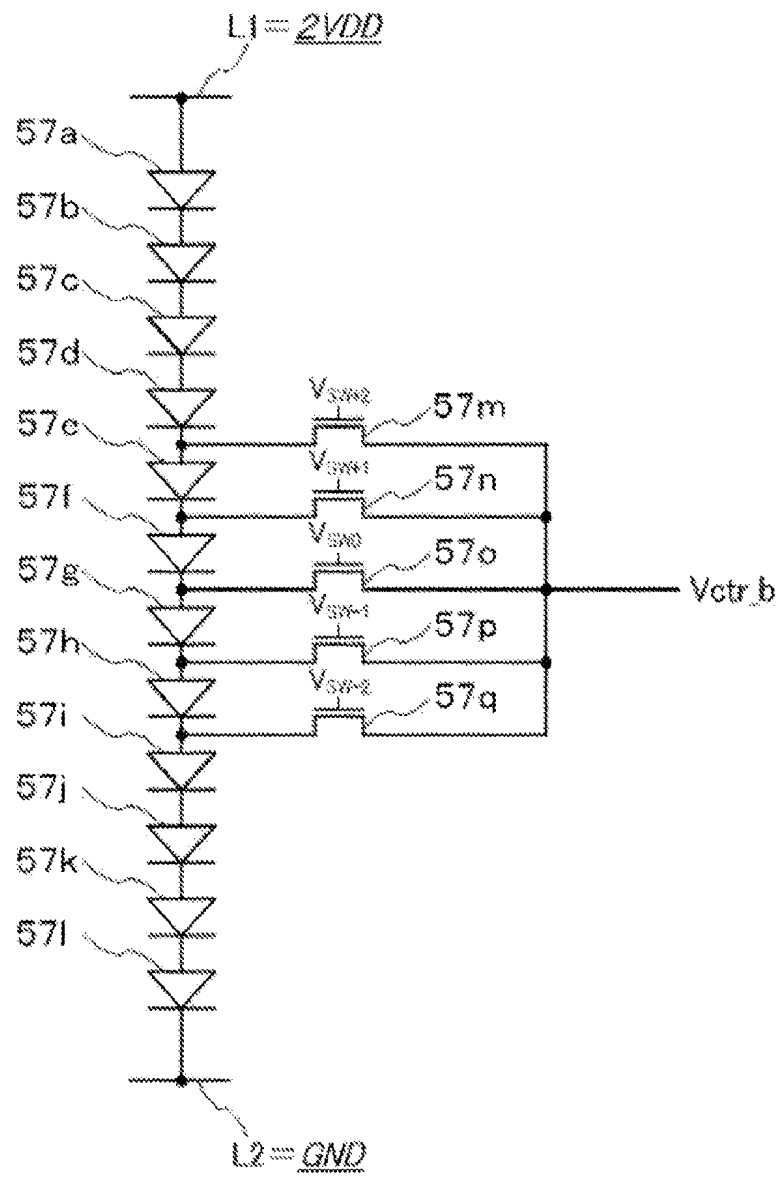


[15]
256

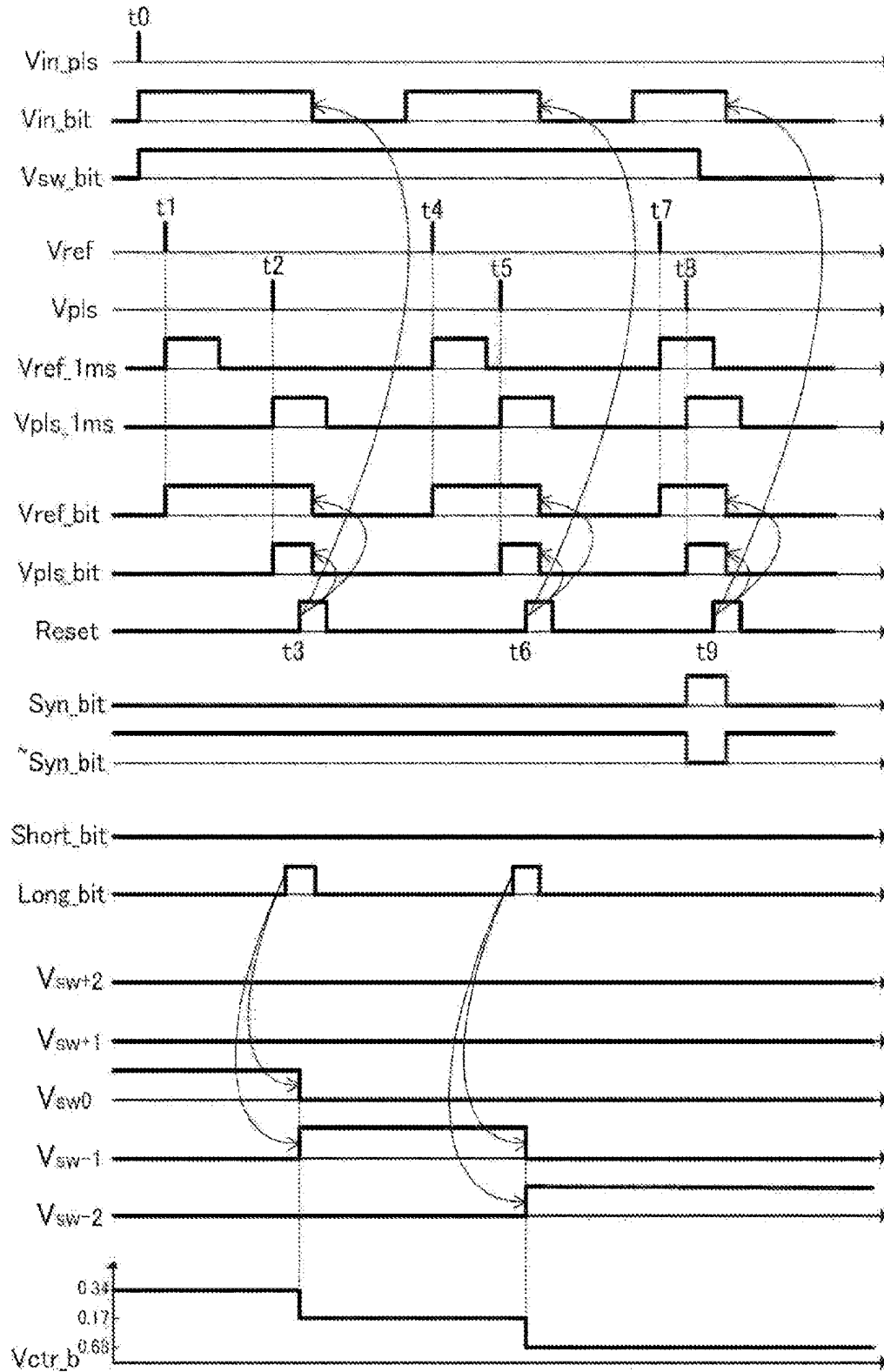


[図16]

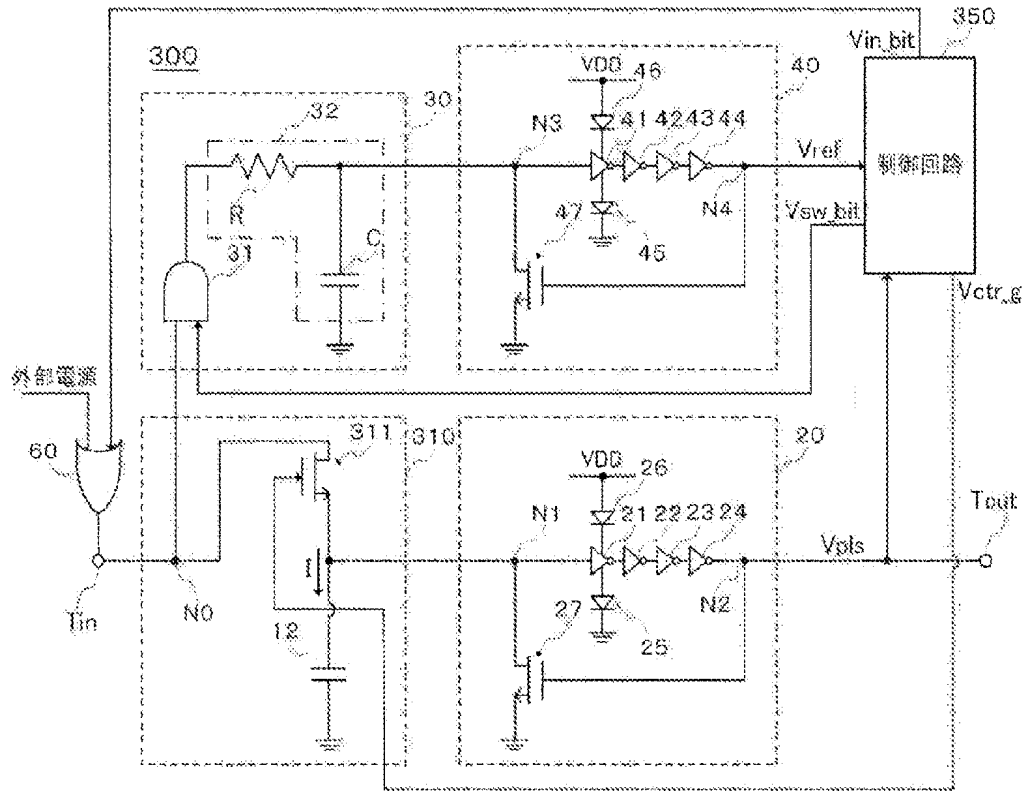
257




[図17]

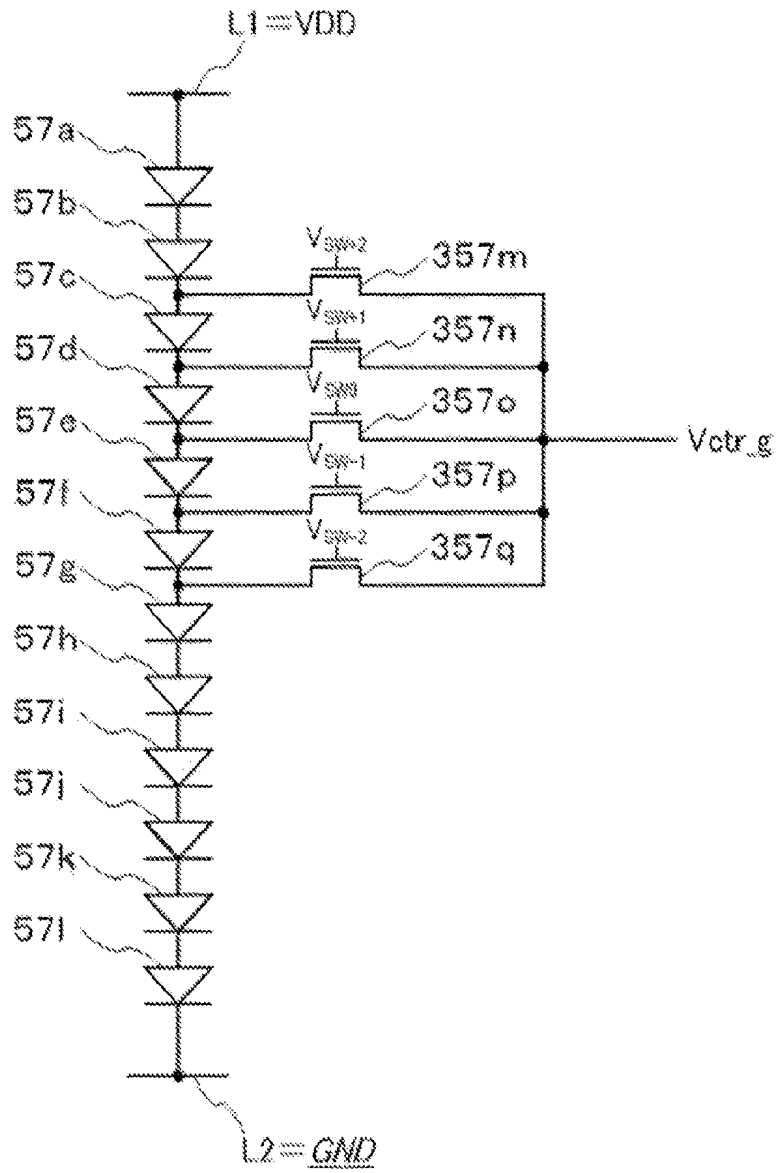


[圖18]

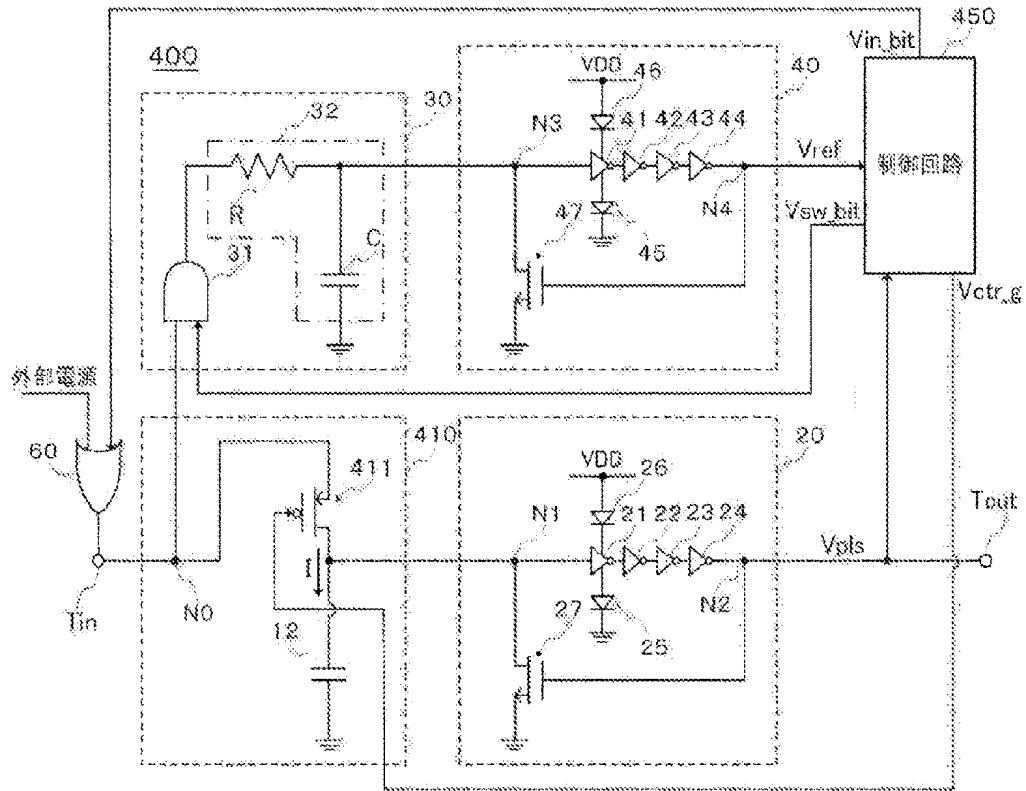


[]19]

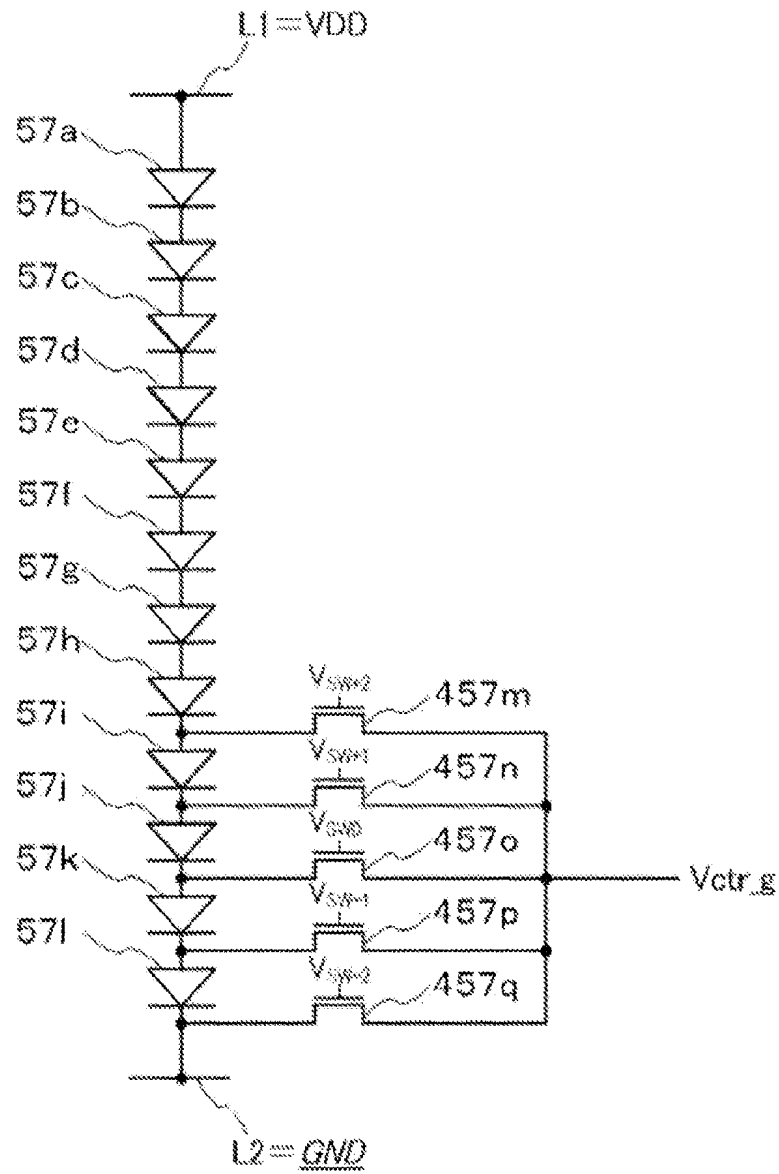
357



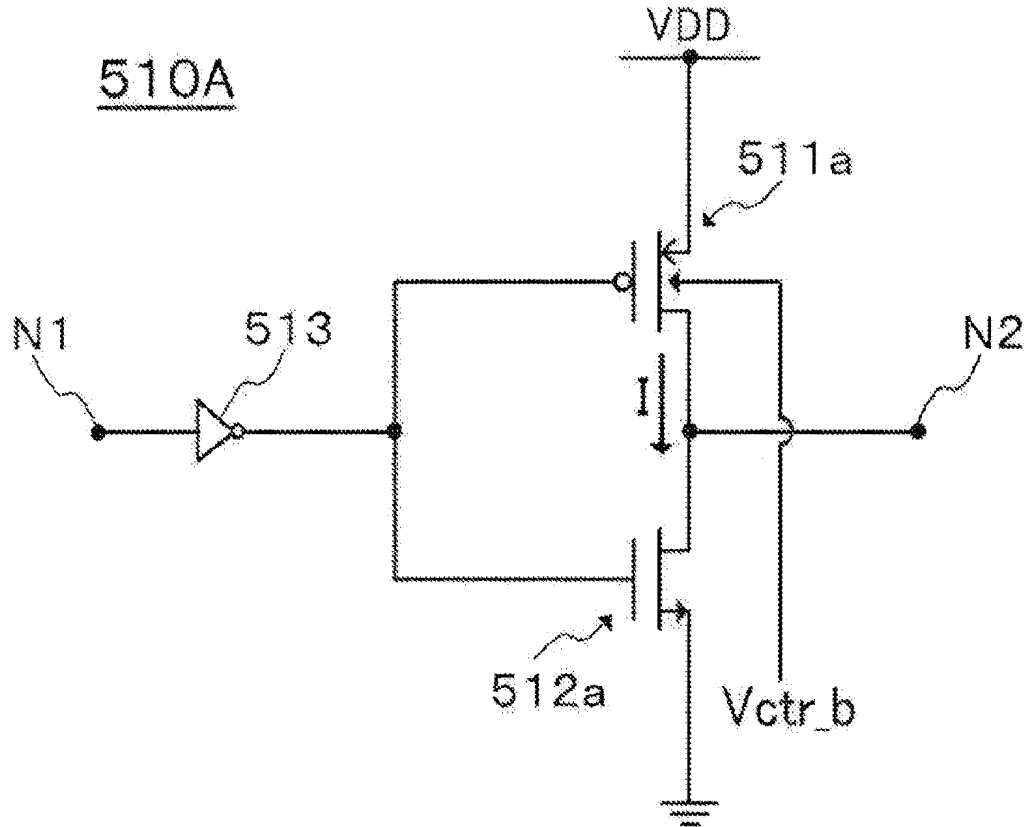
[圖20]



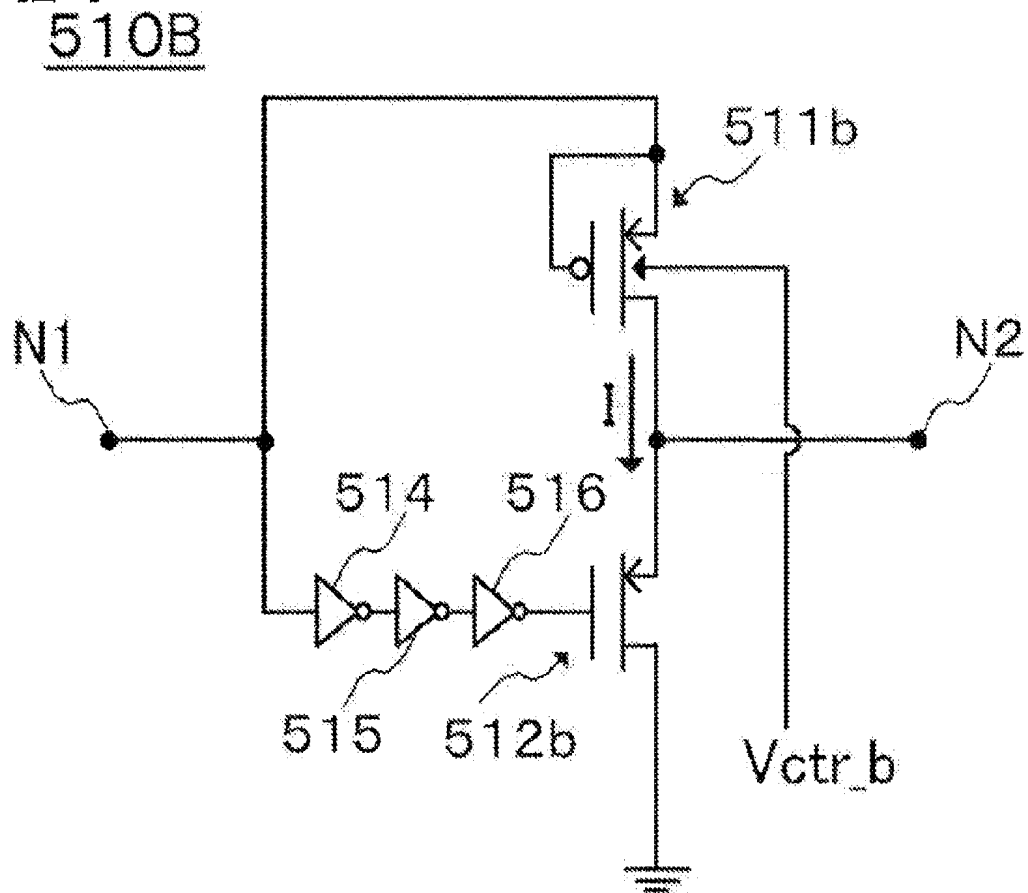
[図21]

457

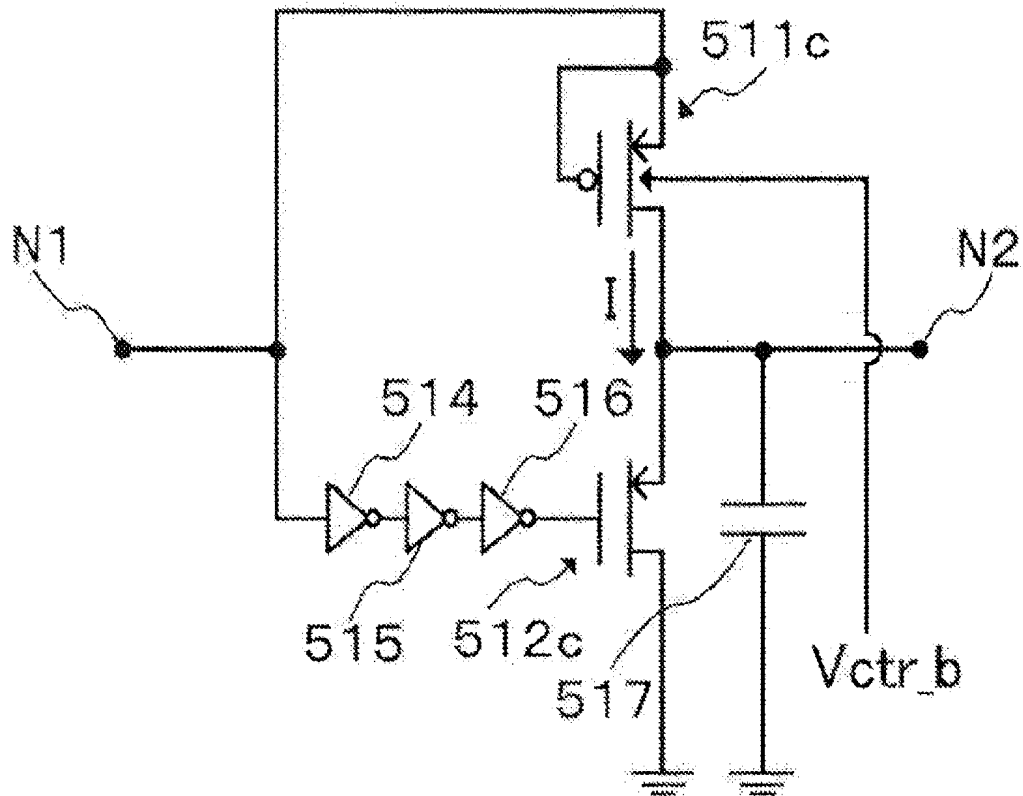
[図22]



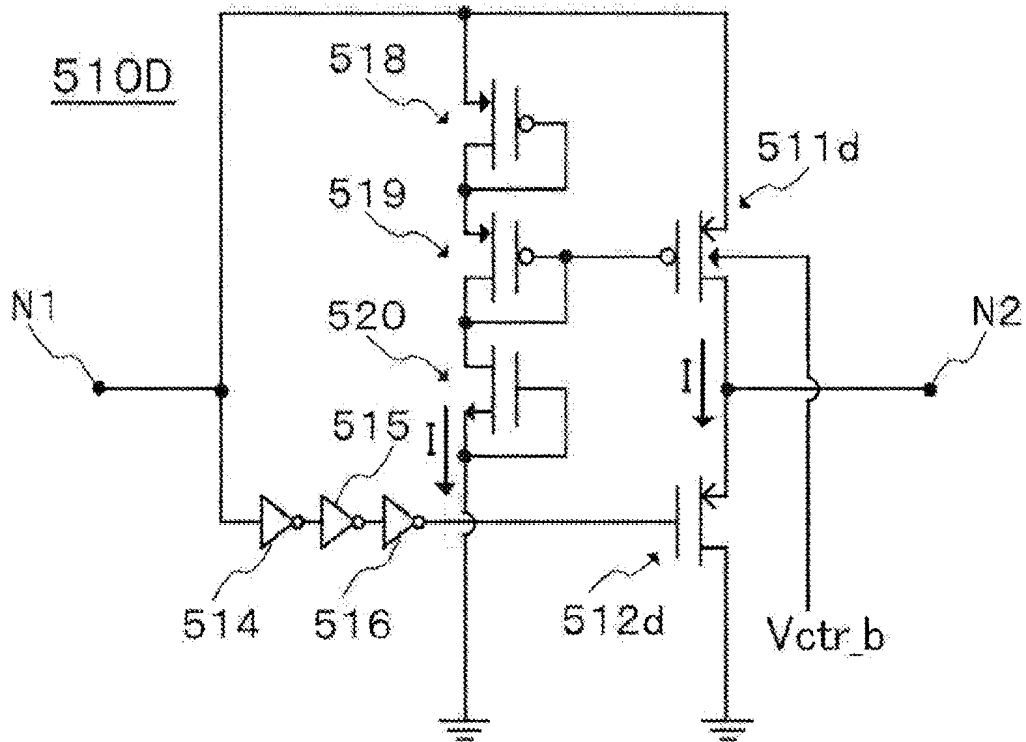
[図23]




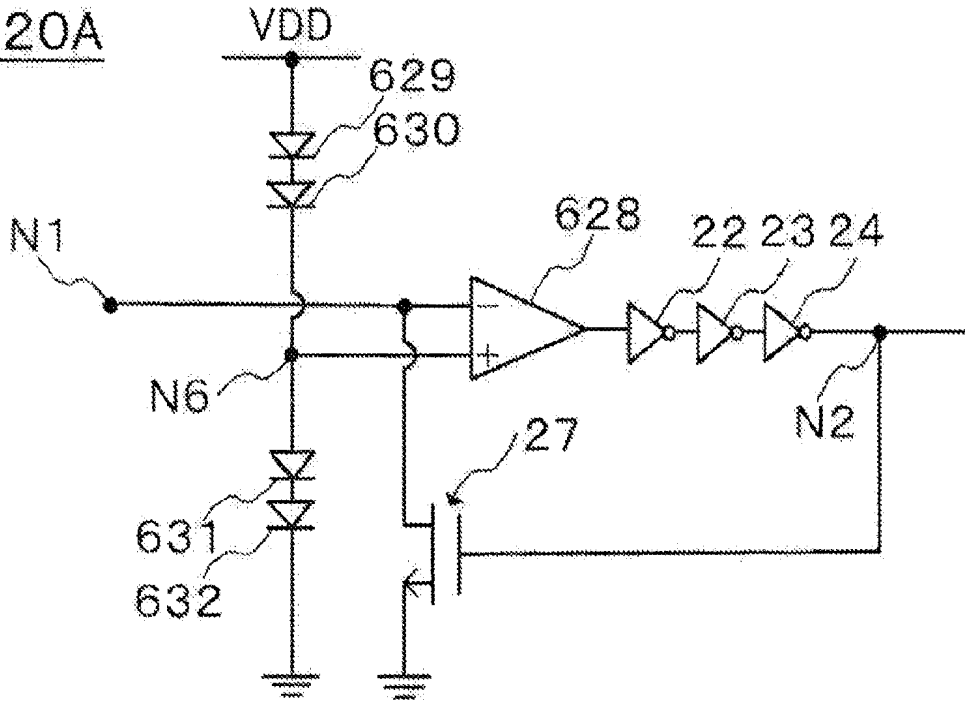
[図24]


510C

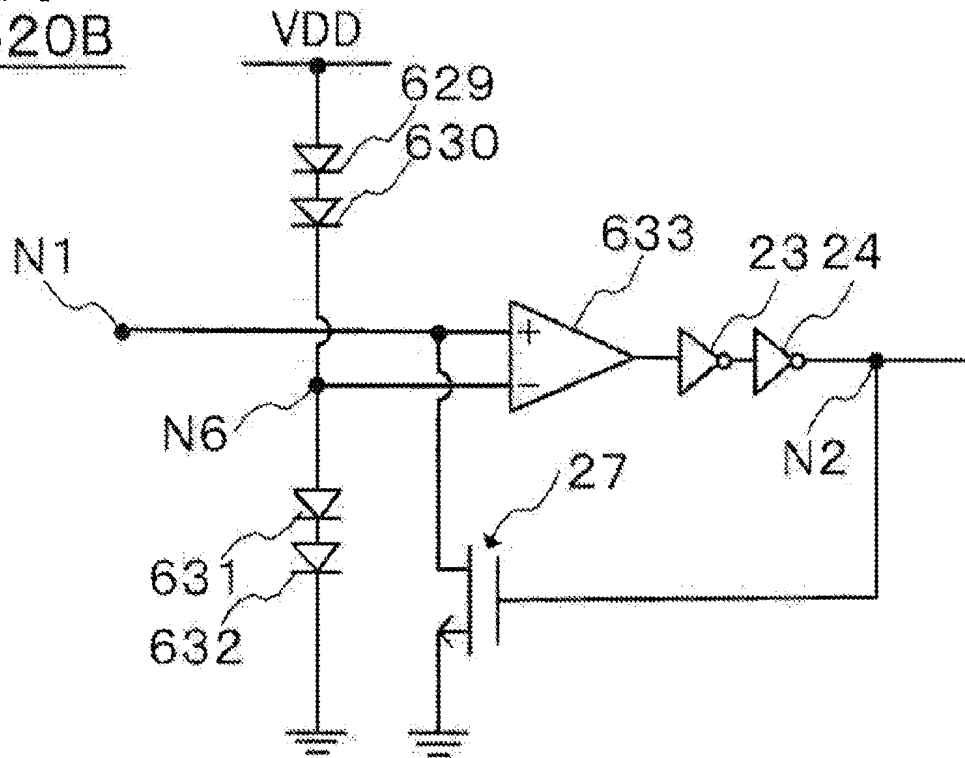
[図25]

510D

[26]
620A

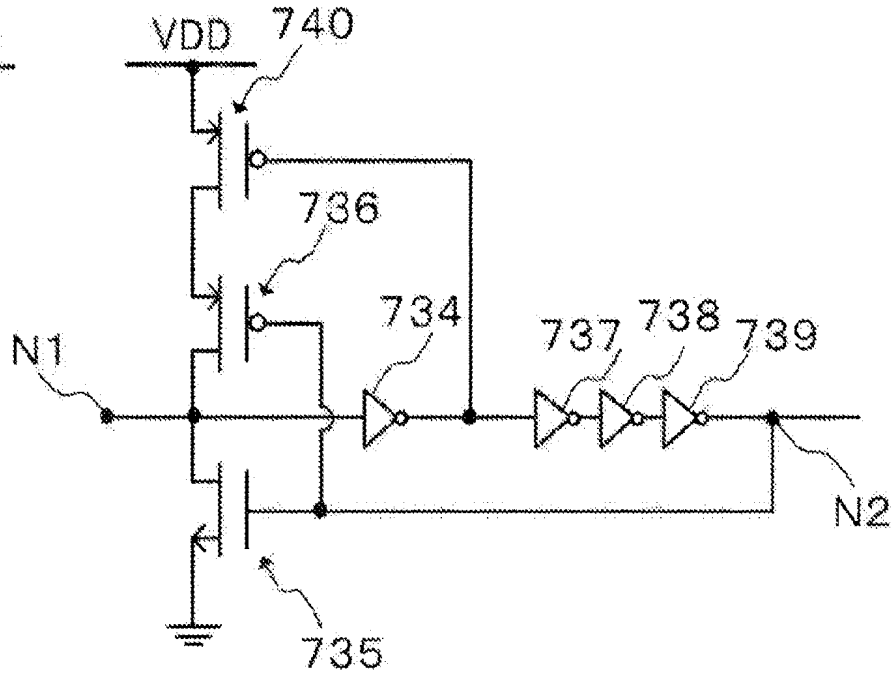


[27]
620B



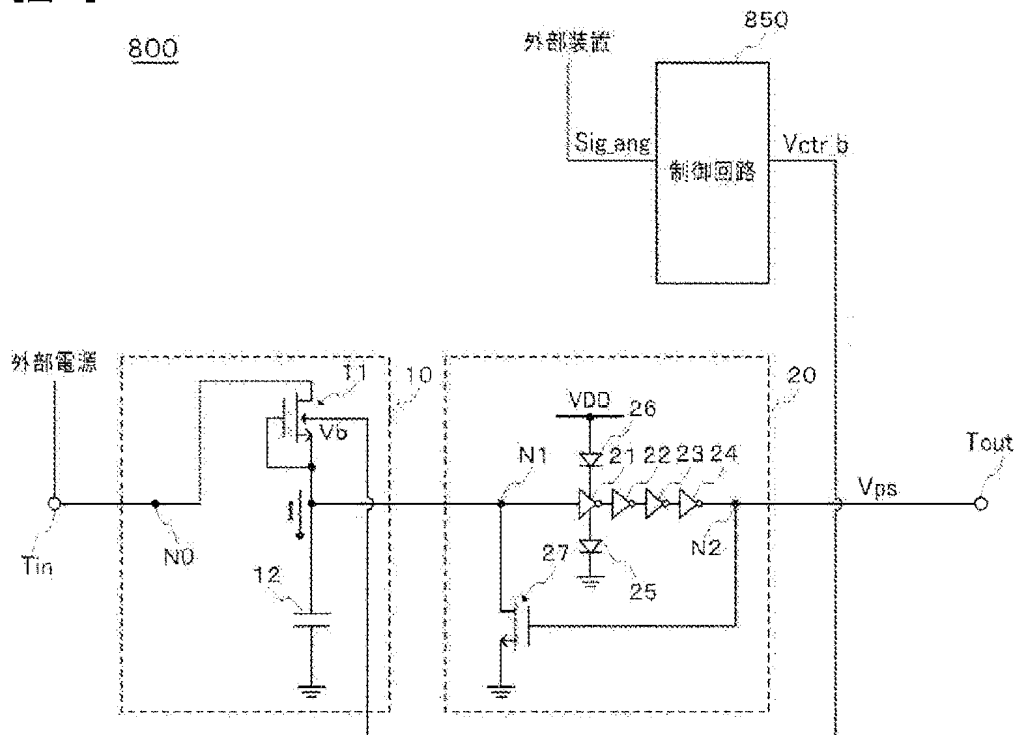
[図28]

720

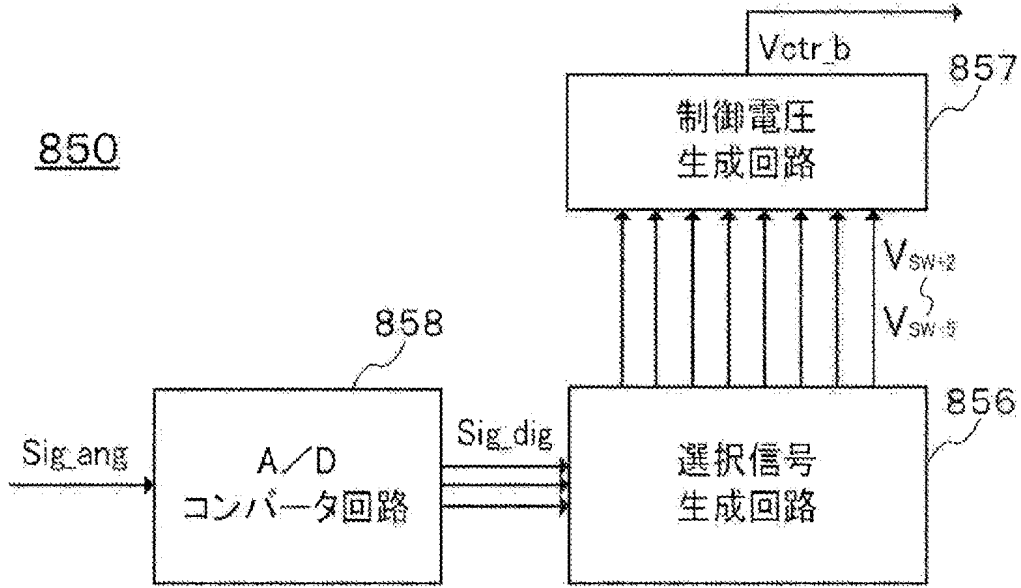


[図29]

800



[図30]

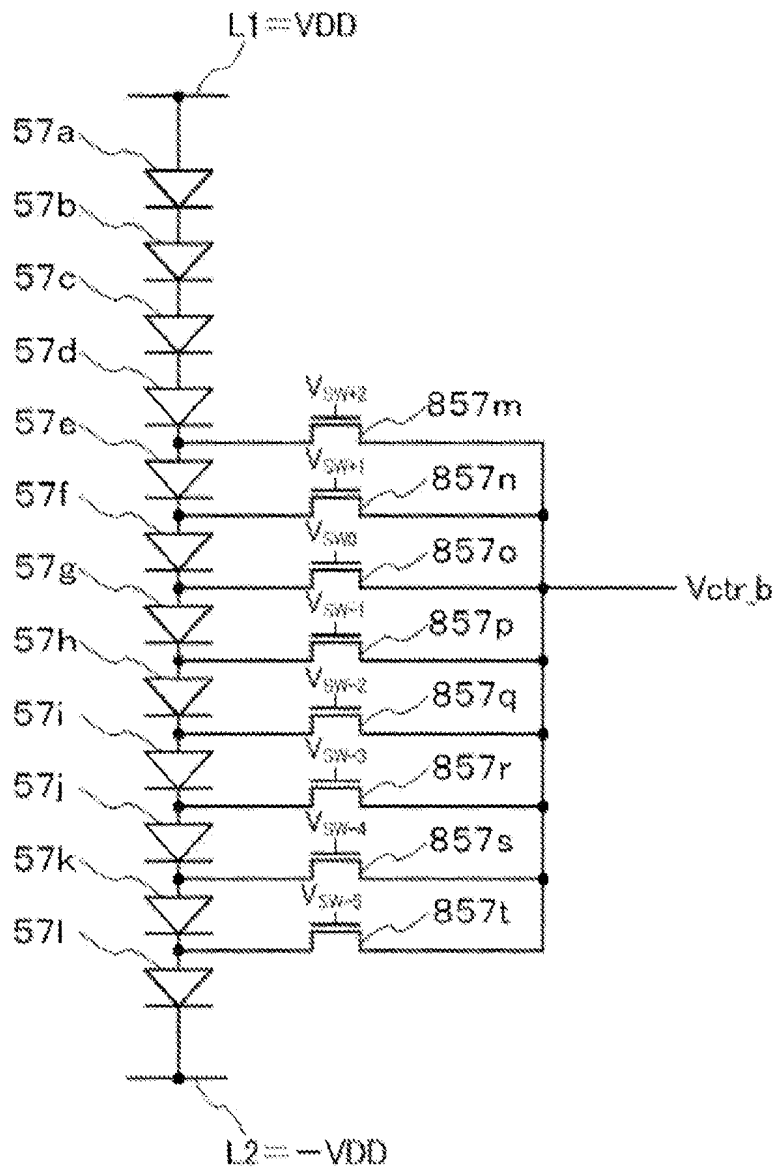


[図31]

Sig_dig	V_{sw+2}	V_{sw+1}	V_{sw+0}	V_{sw-1}	V_{sw-2}	V_{sw-3}	V_{sw-4}	V_{sw-5}
000	0	0	0	0	0	0	0	1
001	0	0	0	0	0	0	1	0
010	0	0	0	0	0	1	0	0
011	0	0	0	0	1	0	0	0
100	0	0	0	1	0	0	0	0
101	0	0	1	0	0	0	0	0
110	0	1	0	0	0	0	0	0
111	1	0	0	0	0	0	0	0

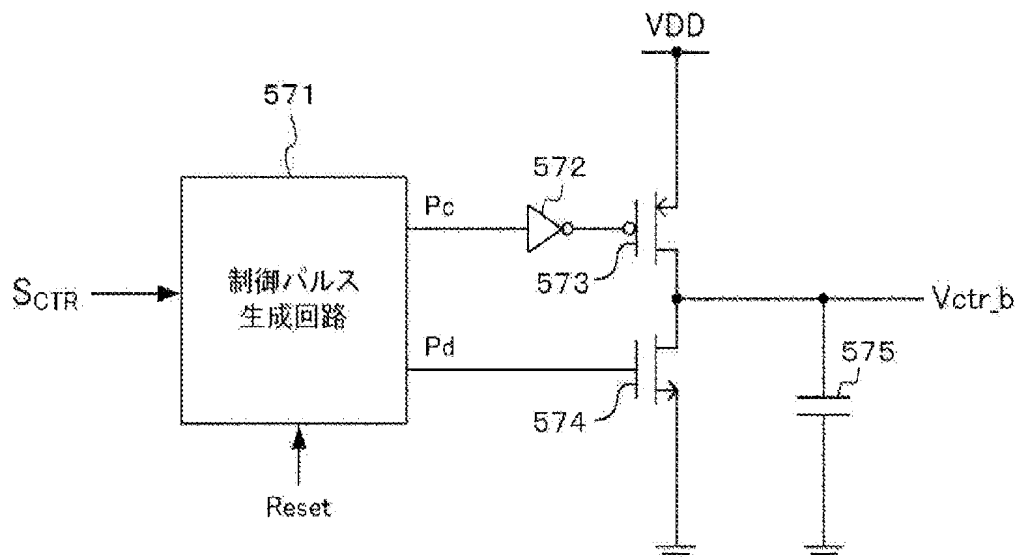
[図32]

857

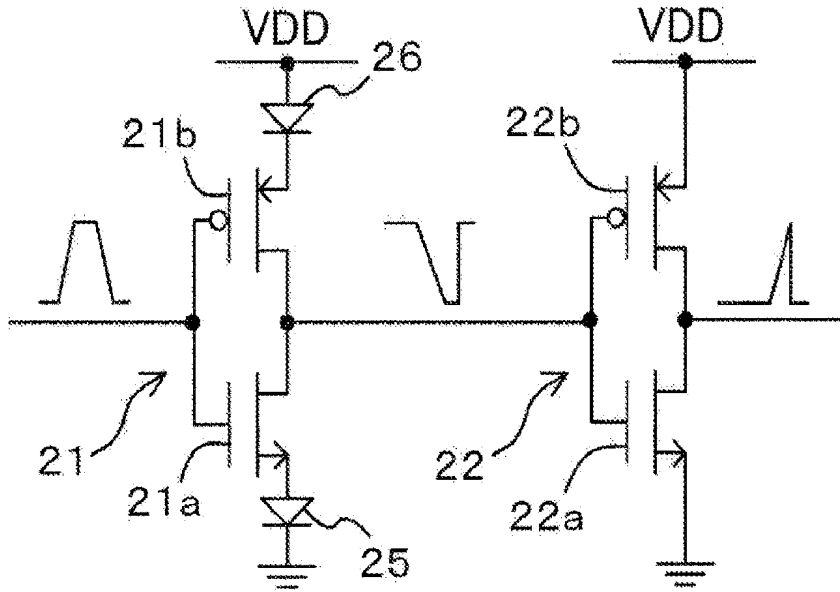


[図33]

57A



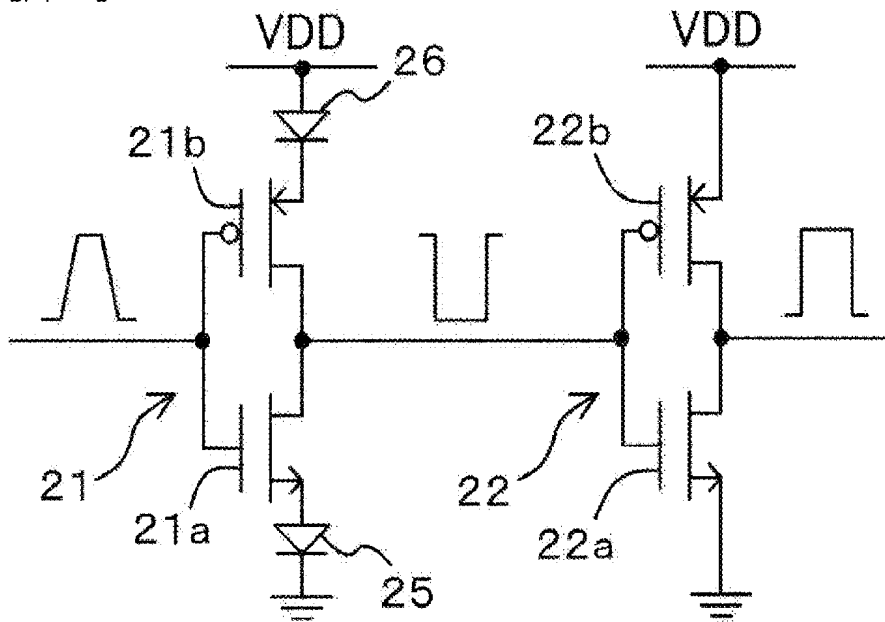
[図34A]



チャンネル幅比(N:P)

1:2

[図34B]



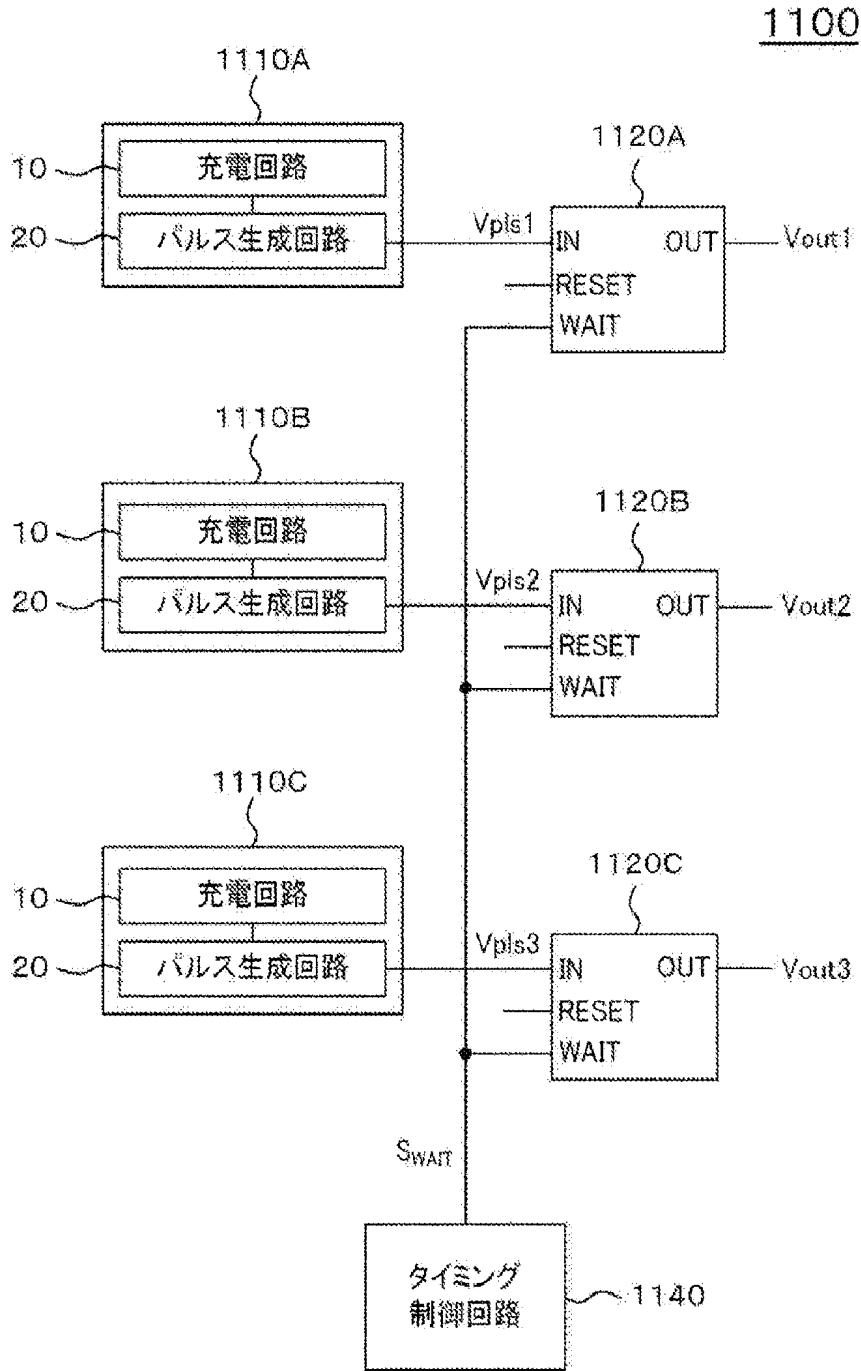
チャンネル幅比(N:P)

1.5:2

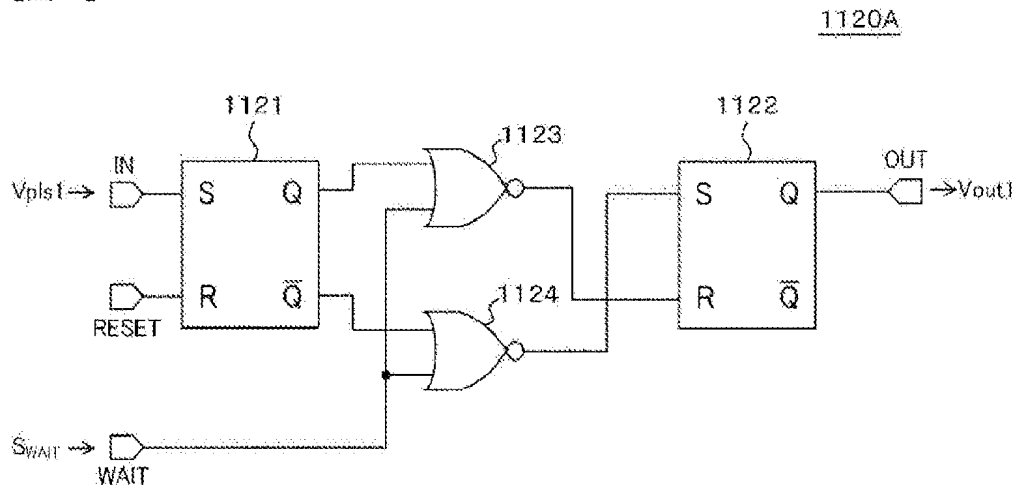
チャンネル幅比(P:N)

1:2.5

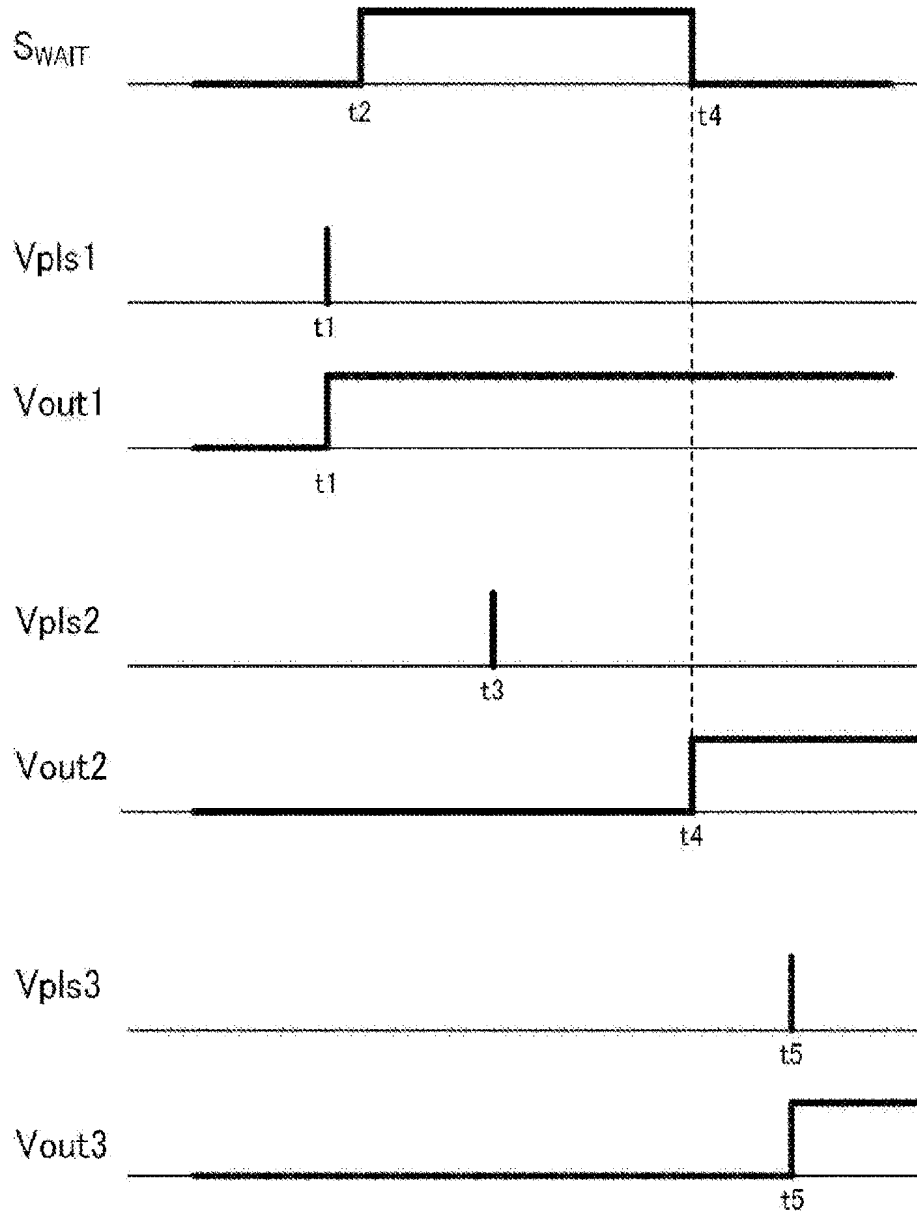
[図35]



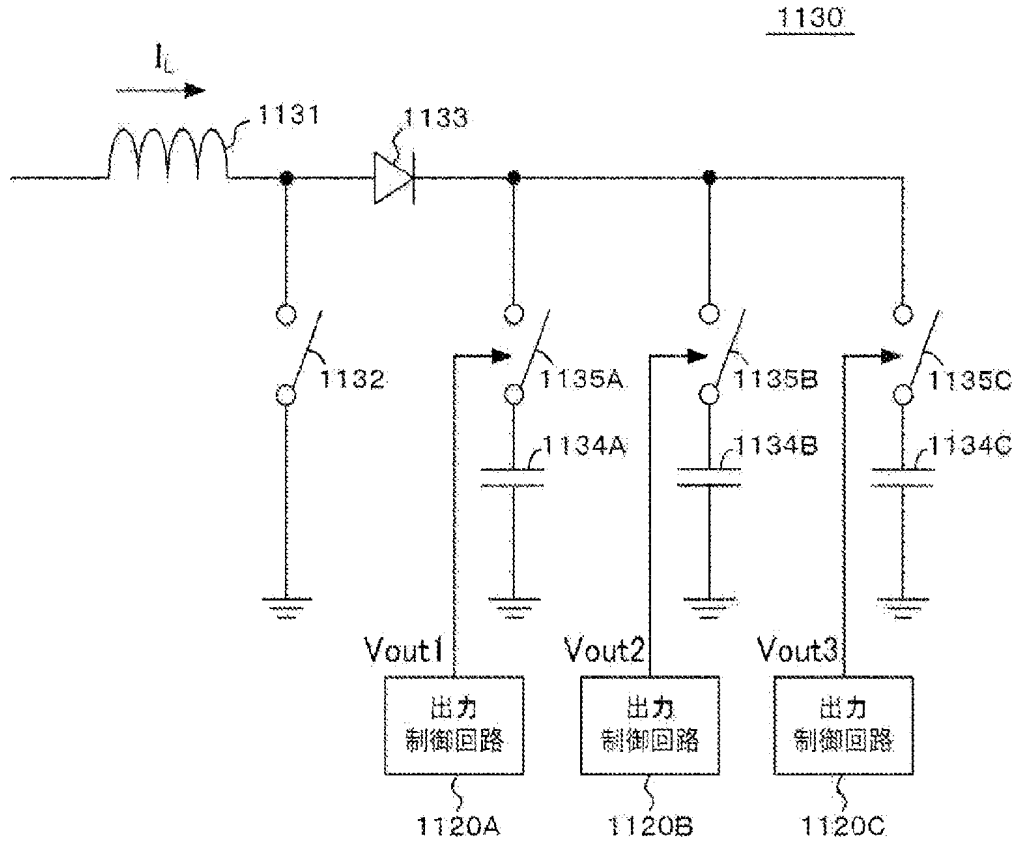
[図36]



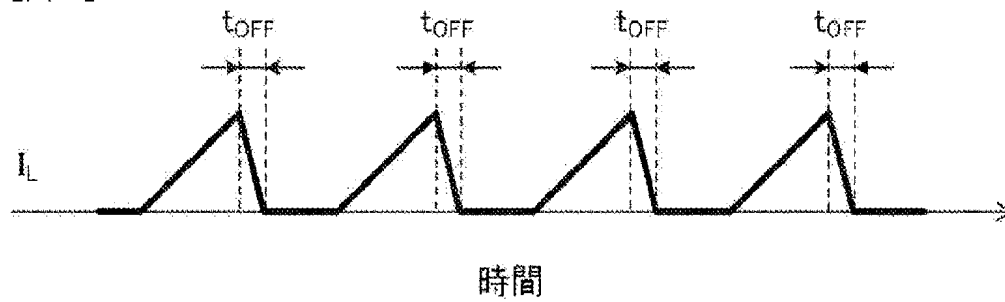
[37]



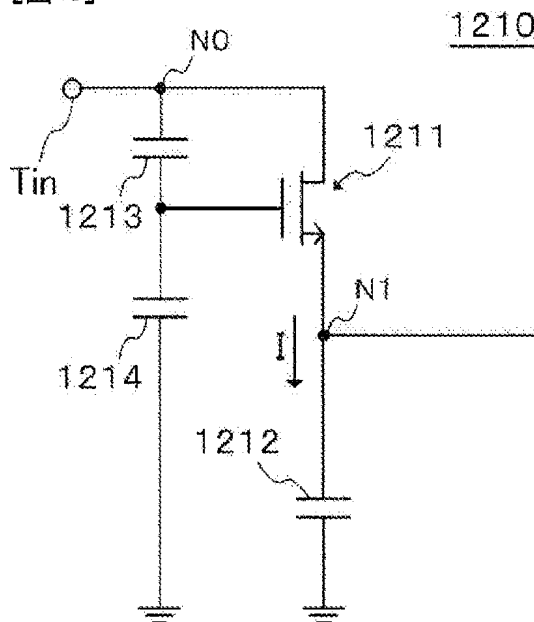
[図38]



[図39]



[図40]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/024189

A. CLASSIFICATION OF SUBJECT MATTER		
G06G 7/60(2006.01)i FI: G06G7/60		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06G7/60		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Published registered utility model applications of Japan 1994-2022 Registered utility model specifications of Japan 1996-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2001-148619 A (LUCENT TECHNOLOGIES INC) 29 May 2001 (2001-05-29) paragraphs [0002], [0013]-[0025], fig. 1-3	1-2, 4-5, 13-18, 23-26, 29 19-21 3, 6-12, 22, 27-28
Y	WO 2020/175209 A1 (JAPAN SCIENCE AND TECHNOLOGY AGENCY) 03 September 2020 (2020-09-03) paragraphs [0073]-[0074], [0304], [0336], fig. 2, 4, 67	19-21
A	JP 2020-21480 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 06 February 2020 (2020-02-06) paragraphs [0132]-[0136]	1-29
A	JP 7-230302 A (UCHU KAIHATSU JIGYODAN) 29 August 1995 (1995-08-29) paragraphs [0009]-[0011], fig. 1	1-29
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 16 August 2022		Date of mailing of the international search report 30 August 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/024189

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2001-148619	A	29 May 2001	US 6242988 B1 column 1, lines 15-21, column 2, line 55 to column 5, line 6, fig. 1-3	
WO	2020/175209	A1	03 September 2020	US 2022/0014179 A1 paragraphs [0149]-[0150], [0415], [0451], fig. 2, 4, 67 CN 113508386 A	
JP	2020-21480	A	06 February 2020	US 2020/0028498 A1 paragraphs [0179]-[0183] US 2021/0119614 A1	
JP	7-230302	A	29 August 1995	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G06G 7/60(2006.01); FI: G06G7/60		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G06G7/60 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国登録実用新案公報 1994-2022年 日本国実用新案登録公報 1996-2022年		
国際調査で使った電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2001-148619 A (ルーセント テクノロジーズ インコーポレーテッド) 29.05.2001 (2001-05-29) 段落[0002], [0013]-[0025], 図1-3	1-2, 4-5, 13-18, 23-26, 29 19-21 3, 6-12, 22, 27-28
Y	WO 2020/175209 A1 (国立研究開発法人科学技術振興機構) 03.09.2020 (2020-09-03) 段落[0073]-[0074], [0304], [0336], 図2, 4, 67	19-21
A	JP 2020-21480 A (株式会社半導体エネルギー研究所) 06.02.2020 (2020-02-06) 段落[0132]-[0136]	1-29
A	JP 7-230302 A (宇宙開発事業団) 29.08.1995 (1995-08-29) 段落[0009]-[0011], 図1	1-29
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー "A" 特に関連のある文献ではなく、一般的技術水準を示すもの "E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの "I" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） "O" 口頭による開示、使用、展示等に言及する文献 "P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日以後に公表された文献 "T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの "X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの "Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの "&" 同一パテントファミリー文献		
国際調査を完了した日 16.08.2022		国際調査報告の発送日 30.08.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 松浦 かおり 5E 1791 電話番号 03-3581-1101 内線 3521

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/024189

引用文献	公表日	パテントファミリー文献	公表日
JP 2001-148319 A	29.05.2001	US 6242988 B1 第1欄第15行-第21行, 第2欄 第55行-第5欄第6行, 図1-3	
WO 2020/175209 A1	03.09.2020	US 2022/0014179 A1 段落[0149]-[0150], [0415], [0451], 図2, 4, 67 CN 113508386 A	
JP 2020-21480 A	06.02.2020	US 2020/0028498 A1 段落[0179]-[0183] US 2021/0119614 A1	
JP 7-230302 A	29.08.1995	(ファミリーなし)	