

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年10月6日(06.10.2022)



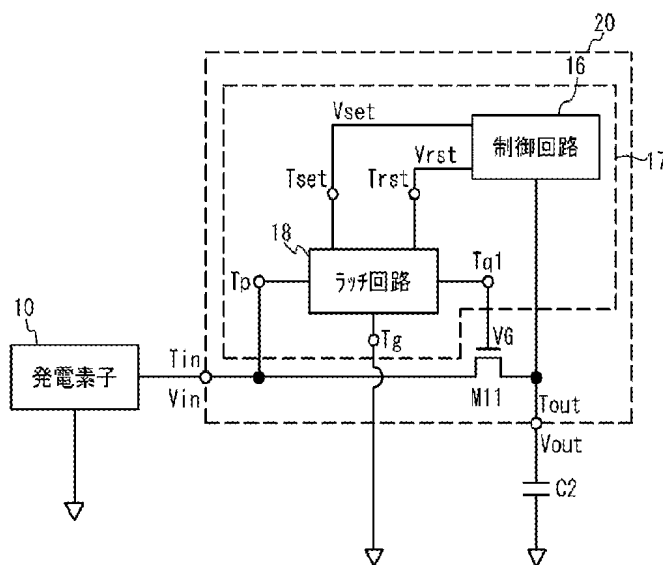
(10) 国際公開番号

WO 2022/210273 A1

- (51) 国際特許分類:
H03K 17/687 (2006.01) *H02M 3/155* (2006.01)
H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2022/014036
- (22) 国際出願日: 2022年3月24日(24.03.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-057530 2021年3月30日(30.03.2021) JP
- (71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者: 矢嶋 赳 彬 (YAJIMA, Takeaki); 〒8190395 福岡県福岡市西区元岡7-4-4 九州大学内 Fukuoka (JP).
- (74) 代理人: 片山 修 平 (KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋1-6-1 三井住友海上テプコビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH,

(54) Title: SWITCH CIRCUIT AND POWER SUPPLY CIRCUIT

(54) 発明の名称: スイッチ回路および電源回路



- 10 Power generation element
16 Control circuit
18 Latch circuit

(57) Abstract: This switch circuit is equipped with: a first switching element in which the connection state between a power generation element and a power storage device is controlled according to the voltage to be applied to a first control terminal; and a control circuit which outputs a first voltage for keeping the first switching element switched on to the first control terminal from when the voltage difference between ends of the power storage device is in an initial state until the voltage difference, which increases as time passes, reaches a first prescribed value which is larger compared to the initial

WO 2022/210273 A1

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

state, and outputs a second voltage for keeping the first switching element switched off to the first control terminal from when the voltage difference exceeds the first prescribed value until the voltage difference falls below a second prescribed value which is smaller than the first prescribed value.

(57) 要約: スイッチ回路は、第1制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御される第1スイッチング素子と、前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記初期状態よりも大きい第1所定値になるまで前記第1制御端子に前記第1スイッチング素子をオンさせつづける第1電圧を出力し、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第1所定値よりも小さい第2所定値を下回るまで前記第1制御端子に前記第1スイッチング素子をオフさせつづける第2電圧を出力する制御回路と、を備える。

明 細 書

発明の名称：スイッチ回路および電源回路

技術分野

[0001] 本発明は、スイッチ回路および電源回路に関する。

背景技術

[0002] 振動発電素子から発生される電力を変換する電力変換回路内の制御回路を動作させる電力として、かかる振動発電素子自体から発生した電力を用いるため、振動発電素子等の発電素子が発電した電力を、キャパシタ等の蓄電器に蓄電し、制御回路に供給することが知られている。その際には発電素子の出力と蓄電器とを直接接続する機能を有するコールドスタートスイッチを設け、蓄電器に蓄電された電力により、回路の制御を開始する。その後、発電素子からの電圧が高くなった際に、発電素子の出力と蓄電器との接続を遮断して、コールドスタートスイッチにおける消費電力を低下させる。（特許文献1の図5）。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-33494

発明の概要

発明が解決しようとする課題

[0004] コールドスタートスイッチは、必要な電力をできるだけ安定して供給できるようにすることが望ましい。しかしながら、振動発電素子のように振動に出力の変化が大きい場合、コールドスタートスイッチのオン、オフを適切なタイミングで行うことが難しい。その場合には発電素子から発生した電力の利用効率が低下する。

[0005] 本発明は、上記課題に鑑みなされたものであり、コールドスタートスイッチのオン、オフの制御を適切なタイミングで行えるようにし、発電素子から発生した電力の利用効率を改善したスイッチ回路および電源回路を提供する

ことを目的とする。

課題を解決するための手段

- [0006] 本発明は、第1制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御される第1スイッチング素子と、前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記初期状態よりも大きい第1所定値になるまで前記第1制御端子に前記第1スイッチング素子をオンさせつづける第1電圧を出力し、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第1所定値よりも小さい第2所定値を下回るまで前記第1制御端子に前記第1スイッチング素子をオフさせつづける第2電圧を出力する制御回路と、を備えるスイッチ回路である。
- [0007] 上記構成において、前記発電素子は、交流電流を出力する発電部と、前記交流電流を整流する整流回路と、を備える構成とすることができる。
- [0008] 上記構成において、前記蓄電器は、その一端が基準電位に接続され、その他端が前記第1スイッチング素子により、前記発電素子との接続状態が制御され、前記第1スイッチング素子はエンハンスメント型FETであり、前記制御回路は、前記第1電圧として前記第1スイッチング素子の前記発電素子側の端子の電圧を出力し、前記第2電圧として前記基準電位を出力する構成とすることができる。
- [0009] 上記構成において、前記整流回路は前記基準電位に対して正の電圧を発生し、前記第1スイッチング素子はエンハンスメント型N F E Tである構成とすることができる。
- [0010] 上記構成において、前記整流回路は前記基準電位に対して負の電圧を発生し、前記第1スイッチング素子はエンハンスメント型P F E Tである構成とすることができる。
- [0011] 上記構成において、前記蓄電器は、その一端が基準電位に接続され、その他端が前記第1スイッチング素子により、前記発電素子との接続状態が制御され、前記第1スイッチング素子はエンハンスメント型FETであり、前記制御回路は、前記第1電圧として前記基準電位を出力し、前記第2電圧とし

て前記第1スイッチング素子の前記発電素子側の端子の電圧を出力する構成とすることができる。

[0012] 上記構成のうち前記第1スイッチング素子がエンハンスメント型N F E Tでない場合において、前記整流回路は前記基準電位に対して正の電圧を発生し、前記第1スイッチング素子はエンハンスメント型P F E Tである構成とすることができる。

[0013] 上記構成のうち前記第1スイッチング素子がエンハンスメント型P F E Tでない場合において、前記整流回路は前記基準電位に対して負の電圧を発生し、前記第1スイッチング素子はエンハンスメント型N F E Tである構成とすることができる。

[0014] 上記構成において、エンハンスメント型F E Tであり、第2制御端子に与えられる電圧に応じて前記第1スイッチング素子と前記蓄電器との接続状態が制御される第2スイッチング素子を備え、前記制御回路は、前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記第1所定値になるまで前記第2制御端子に前記基準電位を出力し、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第2所定値を下回るまで前記第2制御端子に前記第2スイッチング素子の前記蓄電器側の端子の電圧を出力する構成とすることができる。

[0015] 上記構成において、第3制御端子に与えられる電圧に応じて前記第1制御端子と基準電位との間の接続状態を制御する第3スイッチング素子を備え、前記蓄電器は、その一端が基準電位に接続され、その他端が前記第1スイッチング素子により、前記発電素子との接続状態が制御され、前記第1制御端子は前記発電素子と容量結合され、前記第1スイッチング素子はエンハンスメント型F E Tであり、前記制御回路は、前記電圧差が前記第1所定値になるまで前記第3制御端子に前記基準電位を出力しつづけ、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第2所定値を下回るまで前記第3制御端子に前記蓄電器の他端の電圧を出力する構成とすることができる。

[0016] 上記構成において、前記第1スイッチング素子より耐圧が低く、前記第1

制御端子に与えられる電圧に応じて前記第1スイッチング素子と前記蓄電器との間の接続状態を制御する第4スイッチング素子と、前記第1スイッチング素子と前記第4スイッチング素子との間の電圧が第3所定値を超えないように制限する制限素子と、を備える構成とすることができる。

[0017] 上記構成において、前記制御回路は、前記蓄電器の両端間の電圧差が前記初期状態から、時間とともに大きくなると前記電圧差が前記第1所定値になるまで前記第1制御端子に前記第1電圧を出力し、前記電圧差が前記第1所定値を超えると、前記第2所定値を下回るまで前記第1制御端子に前記第2電圧を出力するラッチ回路を備える構成とすることができる。

[0018] 上記構成において、前記制御回路は、前記電圧差が前記第2所定値を下回ると、前記ラッチ回路のラッチ状態をリセットし、前記第1スイッチング素子の制御端子に前記第1スイッチング素子をオンさせる前記第1電圧を出力する制御回路である構成とすることができる。

[0019] 上記構成において、前記初期状態では、前記蓄電器の両端間の電圧差が0Vである構成とすることができる。

[0020] 本発明は、上記スイッチ回路と、前記発電素子の出力電力を変換する電力変換回路と、を備え、前記スイッチ回路は、前記電圧差が前記第1所定値を超えると、前記電力変換回路に前記電力変換回路を起動させる信号を出力する電源回路である。

[0021] 上記構成において、前記スイッチ回路は、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第2所定値を下回るまでオフしつづける構成とすることができる。

[0022] 上記構成において、前記スイッチ回路は、前記電圧差が前記第1所定値を超えると、オフし、かつ前記電力変換回路に前記電力変換回路を起動させる信号を出力する構成とすることができる。

[0023] 上記構成において、前記電力変換回路は、インダクタを備え、前記発電素子から入力する第3電圧を第4電圧に変換する電圧変換回路である構成とすることができる。

[0024] 上記構成において、前記スイッチ回路は、前記電圧差が前記第1所定値を超えたか否かを判定する判定回路と、前記判定回路が前記電圧差が前記第1所定値を超えたと判定したとき前記起動させる信号を生成する生成回路と、を備える構成とすることができる。

発明の効果

[0025] 本発明によれば、コールドスタートスイッチのオン、オフの制御を適切なタイミングで行えるようにしたスイッチ回路および電源回路を提供することができる。

図面の簡単な説明

[0026] [図1]図1は、実施例に係るスイッチ回路が用いられる電源回路を示す回路図である。

[図2]図2は、実施例に係るスイッチ回路が用いられる電圧変換回路における時間に対するスイッチのオンおよびオフ、インダクタを流れる電流 I_L を示す図である。

[図3]図3(a)および図3(b)は、実施例1に係るスイッチ回路の回路図である。

[図4]図4は、実施例1に係るスイッチ回路の回路図である。

[図5]図5は、実施例1における制御回路の回路図である。

[図6]図6は、実施例1における判定回路の回路図である。

[図7]図7は、実施例1に係るスイッチ回路の各電圧およびFETのオン/オフの時間変化を示す図である。

[図8]図8(a)および図8(b)は、実施例1におけるラッチ回路の回路図である。

[図9]図9(a)および図9(b)は、実施例1の変形例1に係るスイッチ回路の回路図である。

[図10]図10は、実施例1の変形例1に係るスイッチ回路の回路図である。

[図11]図11は、実施例1の変形例1に係るスイッチ回路の各電圧およびFETのオン/オフの時間変化を示す図である。

[図12]図12(a)および図12(b)は、実施例1の変形例2に係るスイッチ回路の回路図である。

[図13]図13は、実施例2に係るスイッチ回路の各電圧、電流およびFETのオン/オフの時間変化を示す図である。

[図14]図14は、実施例2の変形例1に係るスイッチ回路の各電圧、電流およびFETのオン/オフの時間変化を示す図である。

[図15]図15は、実施例3に係るスイッチ回路の回路図である。

[図16]図16は、実施例4に係るスイッチ回路の回路図である。

[図17]図17は、実施例4の変形例1に係るスイッチ回路の回路図である。

[図18]図18は、実施例1から4およびその変形例のスイッチ回路が用いられるシステムを示すブロック図である。

発明を実施するための形態

[0027] 以下、図面を参照し、実施例について説明する。

実施例 1

[0028] 図1は、実施例に係るスイッチ回路が用いられる電源回路を示す回路図である。図1に示すように、電源回路は、電圧変換回路12およびスイッチ回路20を備えている。スイッチ回路20はコールドスタートスイッチCSWと制御回路16を備えている。コールドスタートスイッチCSWは入力端子Tinと出力端子Toutの間をオンオフするスイッチである。制御回路16は、コールドスタートスイッチCSWのオンオフを制御する。また、制御回路16は、電圧変換回路12に電圧変換回路12を起動させるイネーブル信号Venを出力する。発電素子10の出力はスイッチ回路20の入力端子Tinおよび電圧変換回路12の入力端子T1に入力する。発電素子10は、例えば振動発電素子等の環境発電素子である発電ユニット10aと整流回路10bとの組みあわせで構成されている。発電ユニット(発電部)10aが交流電流を出力する場合、発電ユニット10aが出力した交流電流は整流回路10bにより整流され入力端子Tinに入力する。

[0029] 振動発電素子は、例えば圧電材料を用いた圧電素子またはMEMS(Micro

Electro Mechanical Systems) を用いたMEMS素子である。振動発電素子は、例えば道路または橋梁等に設けられており、歩行者または車両など通過時の振動により発電する。発電素子10の発電電力は微小電力であり、時間とともに変化する。実施例1は、発電素子10としての出力がグラウンドに対し正となる整流回路10bを有する場合の例である。この場合、キャパシタC2の電圧V2は正である。このように、発電素子10はグラウンド（基準電位）に対して一方の極性の電圧を発生させる素子である。

[0030] スイッチ回路20の出力端子T_{out}はキャパシタC2の一端に接続されている。キャパシタC2は蓄電器である。電圧変換回路12の出力端子T2はキャパシタC2の一端に接続されている。スイッチ回路20の出力端子T_{out}の電圧V_{out}と電圧変換回路12の出力端子T2の電圧V2は、ともにキャパシタC2のグラウンドに対する電圧となる。以下では、電圧変換回路12の動作を説明する場合にはキャパシタC2の電圧として電圧V2を用いるが、その他の説明にはキャパシタC2の電圧として電圧V_{out}を用い説明する。

[0031] 電圧変換回路12は入力端子T1の電圧V1をキャパシタC2の電圧V2に変換して出力端子T2に出力する。電圧V1を入力端子T1に入力する電流で除した値は電圧変換回路12の入力インピーダンスに相当する。電圧変換回路12の入力インピーダンスと発電素子10の出力インピーダンスとが整合するよう電圧変換回路12の各素子の値が予め設定されている。電圧変換回路12内の制御部14を含む各部は発電素子10からキャパシタC2に蓄積された電力を用い動作する。

[0032] 電圧変換回路12の入力端子T1と出力端子T2との間にノードN01～N03が設けられている。スイッチSW1の一端はノードN01に接続され、他端はノードN02に接続されている。インダクタL1の一端はノードN02に接続され、他端はノードN03に接続されている。スイッチSW4の一端はノードN03に接続され、他端は出力端子T2に接続されている。1次側のキャパシタC1の一端はノードN01に接続され、他端はグラウンド（

基準電位)に接続されている。スイッチSW2の一端はノードN02に接続し、他端はグラウンドに接続されている。スイッチSW3の一端はノードN03に接続され、他端はグラウンドに接続されている。2次側のキャパシタC2の一端は出力端子T2に接続され、他端はグラウンドに接続されている。スイッチSW1~SW4はそれぞれ制御信号S1~S4に基づきオンまたはオフとなる。電圧変換回路12の制御部14にはイネーブル信号Venおよび電圧Voutが入力し、当該制御部14は制御信号S1~S4を出力する。制御部14および制御回路16は、例えば専用の回路でもよいし、プロセッサ等でもよい。

[0033] 図2は、実施例に係るスイッチ回路が用いられる電圧変換回路における時間に対するスイッチのオンおよびオフ、インダクタを流れる電流ILを示す図である。

[0034] 発電素子10が発電を始める前、キャパシタC2の電圧Voutは低く、例えば0Vである。電圧Voutが低いとき、コールドスタートスイッチCSWはオンし、発電素子10の出力を電圧変換回路12を介さずキャパシタC2に接続する。電圧変換回路12に、電圧変換回路12が実質的に動作する電力が供給されないため、電圧変換回路12は動作しない。例えば制御信号S1~S4は0Vであり、このときスイッチSW1~SW4はオフである。キャパシタC2の電圧Voutが電圧変換回路12を動作させるのに十分な大きさになると、制御回路16はコールドスタートスイッチCSWをオフし、電圧変換回路12にイネーブル信号Venを出力する。これにより、電圧変換回路12が起動し、動作を開始する。電圧変換回路12の制御部14は、スイッチSW1~SW4を制御し始める。

[0035] 時刻t00において、電圧V2の値はV21である。制御部14はスイッチSW1~SW4をオフに維持している。発電素子10の発電電流によりキャパシタC1に蓄積された電荷が増加し、電圧V1が徐々に増加する。電圧V1の値が閾値電圧V11を越えると、時刻t01において制御部14は、スイッチSW1およびSW3をオンし、スイッチSW2およびSW4のオフ

を維持する。これにより、キャパシタC1からノードN01、スイッチSW1、インダクタL1およびスイッチSW3を介しグラウンドに電流ILが流れ始める。時刻t01とt02の間において、電流ILは徐々に増加し、キャパシタC1の電荷が放出されるため、電圧V1は徐々に減少する。インダクタL1には磁界エネルギーが蓄積される。

[0036] 時刻t02において、電圧V1の値はV12となる。電圧V2の値はV21である。電流ILはIL1で最大となる。制御部14は、スイッチSW1およびSW3をオフし、スイッチSW2およびSW4をオンする。時刻t02とt03の間において、インダクタL1に蓄積された磁界エネルギーにより電流ILがグラウンドからスイッチSW2、インダクタL1およびスイッチSW4を流れ、キャパシタC2が充電される。電圧V2が上昇する。

[0037] 時刻t03において、制御部14は、スイッチSW2およびSW4をオフにし、スイッチSW1およびSW3のオフを維持する。時刻t03以降において、電流ILは0であり、電圧V1の値はV12、電圧V2の値はV22である。電圧値V21およびV22は電圧値V11およびV12より低くてもよいし、高くてもよい。以上のように、スイッチSW1～SW4がオフのときに発電素子10から入力端子T1に電流が入力すると、キャパシタC1が充電される。キャパシタC1のノードN01側のグラウンドに対する電圧が入力端子T1の電圧V1の値が閾値電圧V11に達し、電圧変換回路12が動作すると、キャパシタC1の電荷がキャパシタC2に移動する。キャパシタC2の出力端子T2側のグラウンドに対する電圧が出力端子T2の電圧V2となる。

[0038] 図3(a)および図3(b)は、実施例1に係るスイッチ回路の回路図である。図3(a)に示すように、実施例1では、コールドスタートスイッチCSWとしてエンハンスメントモード(ノーマリーオフモード)のNFETM11を用いる。NFETM11の閾値電圧は正である。NFETM11のソースは出力端子Toutに接続され、ドレインは入力端子Tinに接続されている。ソースとドレインのうち出力端子Toutに接続された端子が第

1端子であり、入力端子 T_{in} に接続された端子が第2端子である。ゲートは制御端子である。コールドスタートスイッチ CSW は、電圧 V_{out} が所定の参照電圧 V_{ref} 以下のときオンし、電圧 V_{out} が参照電圧 V_{ref} より大きいときオフするように制御される。そこで、電圧 V_{out} が参照電圧 V_{ref} 以下のとき、 $NFETM11$ のゲートは無電源でドレインに接続される。これにより、電圧 V_{out} に対する電圧 V_{in} が $NFETM11$ の閾値電圧以上となれば $NFETM11$ はオンする。図3(b)に示すように、電圧 V_{out} が参照電圧 V_{ref} より高いとき、 $NFETM11$ のゲートにグランド電位が印加される。これにより、 $NFETM11$ はオフする。

[0039] 以上のように、キャパシタ $C2$ の電圧 V_{out} が参照電圧 V_{ref} より低いとき、コールドスタートスイッチ CSW は制御回路に制御されず無電源でオンする。電圧 V_{out} が参照電圧 V_{ref} より高いときコールドスタートスイッチ CSW はオフする。

[0040] 図4は、実施例1に係るスイッチ回路の回路図である。図4に示すように、スイッチ回路20は $NFETM11$ および回路17を備えている。回路17は、図3(a)のように、電圧 V_{out} が参照電圧 V_{ref} 以下のとき、 $NFETM11$ がオンするようにゲートに電圧 V_G を印加し、図3(b)のように、電圧 V_{out} が参照電圧 V_{ref} より大きいとき、 $NFETM11$ がオフするようにゲートに電圧 V_G を印加する回路である。

[0041] $NFETM11$ はエンハンスメントモードであり、ソースは出力端子 T_{out} に接続され、ドレインは入力端子 T_{in} に接続されている。ラッチ回路18の電源端子 T_p は $NFETM11$ のドレインに接続されている。基準電位端子 T_g はグランドに接続されている。出力端子 T_{q1} は $NFETM11$ のゲートに接続されている。制御回路16は電圧 V_{out} に基づき、ラッチ回路18のセット端子 T_{set} およびリセット端子 T_{rst} にそれぞれ電圧 V_{set} および V_{rst} を出力する。ラッチ回路18は、端子 T_{set} に電圧 V_{set} としてハイレベルが入力すると、端子 T_{rst} にハイレベルが入力するまで、出力端子 T_{q1} に電源端子 T_p の電圧 V_{in} を出力する。また

、ラッチ回路18は、端子 T_{rst} に電圧 V_{rst} としてハイレベルが入力すると、端子 T_{set} にハイレベルが入力するまで、出力端子 T_{q1} に基準電位端子 T_g の電圧0Vを出力する。

[0042] 図5は、実施例1における制御回路16の回路図である。図5に示すように、電圧 V_{out} は判定回路22および24に入力する。判定回路22および24は、電圧 V_{out} がそれぞれ参照電圧 V_{ref1} および V_{ref2} 以上のとき電圧 V_{01} および V_{02} として電圧 V_{out} を出力し、それぞれ参照電圧 V_{ref1} および V_{ref2} より低いとき電圧 V_{01} および V_{02} としてグランド電位0Vを出力する。

[0043] スパイク生成回路26は、電圧 V_{01} および V_{02} がともにハイレベルとなるとリセット電圧 V_{rst} としてスパイク信号を出力する。スパイク生成回路28は電圧 V_{01} および V_{02} がともにローレベルとなるとセット電圧 V_{set} としてスパイク信号を出力する。スパイク生成回路26および28は、クロック信号を必要とせず、FETで構成され、出力パルス幅を発生する際だけ電力を消費するため、消費電力が小さい。したがって、発電素子として振動から発電する圧電素子などの微小起電力素子の制御回路を構成する回路として最適である。スパイク信号は、単発の信号であり、スパイク信号のパルス幅に対しスパイク信号の間隔が十分に広い信号である。

[0044] 図6は、実施例1における判定回路の回路図である。図6に示すように、判定回路22および24では、電圧 V_{out} が入力端子とグランドとの間にダイオードD1が順方向に、ダイオードD2が逆方向に直列に接続されている。判定回路22および24は回路素子の接続状態は同じであるが、そのダイオードD1とD2の大きさは後述するように別々に設定されている。ダイオードD1とD2との間のノードN1はインバータ I_{v1} および I_{v2} を介し電圧 V_{01} および V_{02} を出力する。インバータ I_{v1} および I_{v2} は電圧 V_{out} を電源電圧とする。ダイオードD2を流れる逆方向電流は両端の電圧によらずほぼ一定である。ダイオードD1を流れる順方向電流は両端の電圧に依存する。電圧 V_{out} が低い範囲では電圧 V_{out} が上昇してもノ

ードN1の電圧はほとんど上昇しないが、電圧Voutが高い範囲では電圧Voutが上昇するとノードN1の電圧は急激に上昇する。電圧Voutが低いとき、ノードN1の電圧は低くインバータIv1は電圧Voutを出力し、インバータIv1はグランド電位0Vを出力する。電圧Voutの電圧が上昇することでノードN1の電圧が急激に上昇すると、ノードN1の電圧はインバータIv1の閾値電圧以上となる。インバータIv1はグランド電位0Vを出力しインバータIv2は電圧Voutを出力する。

[0045] ダイオードD1とD2の大きさを適切に設定することで、電圧Voutが任意の参照電圧以上のときインバータIv2は電圧Voutを出力し、電圧Voutが参照電圧より低いときグランド電位0Vを出力するように設定できる。例えばダイオードD1をD2より大きくすると参照電圧を高くでき、ダイオードD1をD2より小さくすると参照電圧を低くできる。判定回路22では参照電圧をVref1とし、判定回路24では参照電圧をVref1より高いVref2とするように判定回路22および24内のダイオードD1とD2の大きさが設定されている。これにより、判定回路22および24は、電圧Voutがそれぞれ参照電圧Vref1およびVref2以上のとき電圧V01およびV02として電圧Voutを出力し、電圧Voutが参照電圧Vref1およびVref2より低いとき電圧V01およびV02としてグランド電位0Vを出力する。

[0046] 図7は、実施例1に係るスイッチ回路の各電圧およびFETのオン/オフの時間変化を示す図である。電圧V01、V02、リセット電圧Vrstおよびセット電圧Vsetに電圧Voutを破線で示している。図7に示すように、時刻t11において、電圧Vinはグランド電位0V付近であり、キャパシタC2の電圧Voutはグランド電位0V付近である。電圧V01、V02、リセット電圧Vrstおよびセット電圧Vsetはグランド電位0Vである。NFETM11のゲートの電圧VGは電圧Vinである。NFETM11はオフである。時刻t11以降に、電圧Vinが上昇する。ラッチ回路18は非対称であり出力端子Tq1の電圧VGは電圧Vinとなり上昇

する。

[0047] 時刻 t_{12} において、電圧 V_G が NFE TM11 の閾値電圧 V_{th} となると、NFE TM11 はオンする。時刻 t_{12} 以降において、NFE TM11 がオンするため、キャパシタ C_2 が充電し始める。これにより、電圧 V_{out} が上昇する。なお、電圧 V_{in} と V_{out} の上昇速度は同じとは限らない。

[0048] 時刻 t_{13} において電圧 V_{out} が参照電圧 V_{ref1} 以上となると、判定回路 22 は電圧 V_{01} として電圧 V_{out} を出力する。時刻 t_{14} において電圧 V_{out} が参照電圧 V_{ref2} 以上となると、判定回路 24 は電圧 V_{02} として電圧 V_{out} を出力する。スパイク生成回路 26 は、電圧 V_{01} と V_{02} がともにハイレベルとなると、リセット電圧 V_{rst} としてスパイク信号 30 を出力する。スパイク信号 30 の高さは電圧 V_{out} と同じである。ラッチ回路 18 は、出力端子 T_{q1} に電圧 V_G として基準電位端子 T_g の電圧であるグランド電位 $0V$ を出力する。NFE TM11 はオフする。スパイク信号 30 が出力されると、制御回路 16 は制御部 14 にイネーブル信号 V_{en} として活性を出力する。これにより、電圧変換回路 12 は起動し、動作を開始する。時刻 t_{14} 以降は電圧変換回路 12 の出力電圧 V_2 によりキャパシタ C_2 の電圧 V_{out} が上昇していく。

[0049] 時刻 t_{15} において、電圧 V_{in} が低下し始め、電圧 V_{out} が低下し始める。時刻 t_{16} において、電圧 V_{out} が参照電圧 V_{ref2} より低くなると、判定回路 22 は電圧 V_{02} としてグランド電位 $0V$ を出力する。時刻 t_{17} において、電圧 V_{out} が参照電圧 V_{ref1} より低くなると、判定回路 24 は電圧 V_{01} としてグランド電位 $0V$ を出力する。スパイク生成回路 28 は、電圧 V_{01} および V_{02} がともにグランド電位 $0V$ となると、セット電圧 V_{set} としてスパイク信号 32 を出力する。スパイク信号 32 の高さは電圧 V_{out} と同じである。ラッチ回路 18 は、出力端子 T_{q1} に電圧 V_G として電源端子 T_p の電圧である V_{in} を出力する。NFE TM11 はオンする。スパイク信号 32 が出力されると、制御回路 16 は制御部 14

にイネーブル信号 V_{en} として非活性を出力する。これにより、電圧変換回路 12 は動作を停止する。時刻 t_{18} において、電圧 V_{out} がほぼ 0 となる。

[0050] 実施例 1 によれば、図 4 のように、NFETM1 (第 1 スwitching 素子) は、ゲート (第 1 制御端子) に与えられる電圧に応じて発電素子 10 とキャパシタ C2 との接続状態が制御される。そして、図 7 の時刻 t_{11} から t_{14} のように、回路 17 は、キャパシタ C2 の両端間の電圧差 $V_{out} - 0V$ が時間とともに初期状態 (例えば 0V) から大きくなると電圧差 $V_{out} - 0V$ が初期状態よりも大きい参照電圧 V_{ref2} (第 1 所定値) になるまでゲートに NFETM11 をオンさせつづける第 1 電圧を出力する。回路 17 は、電圧差 $V_{out} - 0V$ が参照電圧 V_{ref2} を超えると、電圧差 $V_{out} - 0V$ が参照電圧 V_{ref1} (第 2 所定値) を下回るまでゲートに NFETM11 をオフさせつづける第 2 電圧を出力する。

[0051] これにより、コールドスタートスイッチ CSW における NFETM11 は無電源でオンする。時刻 t_{14} において、ラッチ回路 18 は、リセット電圧 V_{rst} が入力すると出力端子 $Tq1$ にグランド電位 (図 7 参照) を出力する。これにより、NFETM11 をオフできる。このように、コールドスタートスイッチ CSW を安定に制御することができる。

[0052] 制御回路 16 は、電圧 V_{out} とグランド電位との電圧差が時間とともに大きくなり参照電圧 V_{ref2} (第 1 参照電圧) 以上となるとリセット電圧 V_{rst} を出力する。また、制御回路 16 は、電圧変換回路 12 を起動するイネーブル信号 V_{en} を出力する。これにより、電圧 V_{out} が大きくなり、キャパシタ C2 に蓄えられた電力を例えば電圧変換回路 12 の電源に用いるときに、コールドスタートスイッチ CSW をオフできる。図 5 に示した判定回路 22 および 24 は、電圧 V_{out} とグランド電位との電圧差が参照電圧 V_{ref2} を超えたか否かを判定する判定回路として機能する。スパイク生成回路 26 および制御回路 16 は、電圧差が参照電圧 V_{ref2} を超えたと判定されたとき、イネーブル信号 V_{en} を生成する生成回路として機能す

る。

[0053] 制御回路16は、電圧 V_{out} とグランド電位0Vとの電圧差が時間とともに小さくなり、参照電圧 V_{ref1} （第2参照電圧）以下となるとセット電圧 V_{set} を出力する。ラッチ回路18の出力は第2電圧から第1電圧に切り替わる。すなわち、ラッチ回路のラッチ状態がリセットされる。これにより、電圧 V_{out} が小さくなり、キャパシタC2に蓄えられた電力を例えば電圧変換回路12の電源に用いられなくなったときに、コールドスタートスイッチCSWをオンできる。

[0054] 図8(a)および図8(b)は、実施例1におけるラッチ回路18の回路図である。図8(a)では、ラッチ回路18として、NOR型のラッチ回路を例に説明する。電源端子Tpと基準電位端子Tgとの間にPFETM7、M10、M2およびNFETM1が直列に接続されている。電源端子Tpと基準電位端子Tgとの間にこれらのFETと並列にPFETM8、M9、M4およびNFETM3が直列に接続されている。PFETM8およびM7のゲートはそれぞれセット端子Tsetおよびリセット端子Trstに接続されている。PFETM9およびM10のゲートは基準電位端子Tgに接続されている。

[0055] PFETM2およびNFETM1のドレインは共通にノードQ1に接続され、PFETM2およびNFETM1のゲートは共通にノードQ2に接続されている。PFETM4およびNFETM3のドレインは共通にノードQ2に接続され、PFETM4およびNFETM3のゲートは共通にノードQ1に接続されている。PFETM4およびNFETM3はインバータを形成し、PFETM2およびNFETM1はインバータを形成する。ノードQ1およびQ2は記憶ノードであり互いに相補的な電圧を保持する。

[0056] ノードQ1は出力端子Tq1に接続され、ノードQ2はTq2に接続されている。ノードQ1およびQ2はそれぞれNFETM5およびM6を介し基準電位端子Tgに接続されている。NFETM5およびM6のゲートはそれぞれリセット端子Trstおよびセット端子Tsetに接続されている。

[0057] ノードQ1がハイレベルおよびノードQ2がローレベルのとき、電圧V_{rst}がローレベルであれば、NFETM1およびM5はオフであり、PFETM2、M10およびM7はオンであり、NFETM3およびM6はオンであり、PFETM4、M9およびM8はオフである。電圧V_{rst}がハイレベルとなると、NFETM5がオンとなりノードQ1がローレベルとなる。また、PFETM7がオフとなる。これにより、ノードQ1がローレベルおよびノードQ2がハイレベルに切り替わる。ノードQ1がローレベルおよびノードQ2がハイレベルのときに、電圧V_{set}がハイレベルとなると、同様に、ノードQ1がハイレベルおよびノードQ2がローレベルに切り替わる。

[0058] 以上により、ラッチ回路18は、セット端子T_{set}にハイレベルの電圧V_{set}が入力すると、次にリセット端子T_{rst}にハイレベルの電圧V_{rst}が入力するまで、出力端子T_{q1}に電源端子T_pの電圧を出力し、出力端子T_{q2}に基準電位端子T_gの電圧を出力する。ラッチ回路18は、リセット端子T_{rst}にハイレベルの電圧V_{rst}が入力すると、次にセット端子T_{set}にハイレベルの電圧V_{set}が入力するまで、出力端子T_{q1}に基準電位端子T_gの電圧を出力し、出力端子T_{q2}に電源端子T_pの電圧を出力する。

[0059] PFETM9およびM10を設けずに、PFETM7およびM8のドレインとPFETM2およびM4のソースを直接接続してもよい。ノードQ1とQ2のレベルが反転するときには、電源端子T_pから基準電位端子T_gに電流が流れる。電源端子T_pの電圧が高いときに大電流が流れないようにPFETM9およびM10を設けている。

[0060] ノードQ1とQ2が対称的なラッチ回路では、電源電圧（基準電位端子T_gに対する電源端子T_pの電圧）が0Vから上昇していくと、ノードQ1とQ2のいずれが電源端子T_pの電圧（ハイレベル）となるか定まっていない。ラッチ回路18では、ノードQ1とQ2が非対称であり、ラッチ回路18の電源電圧が0Vから上昇していくとノードQ1の電圧がハイレベルとなる

。このように、非対称とするため、NFETM5のゲート幅をNFETM6のゲート幅より狭くする。一例として、NFETのゲート長は $0.8\mu\text{m}$ であり、PFETのゲート長は $5\mu\text{m}$ で、PFETのゲート幅は $0.6\mu\text{m}$ であり、NFETM1およびM3のゲート幅は $0.8\mu\text{m}$ である。このとき、NFETM5およびM6のゲート幅をそれぞれ $15\mu\text{m}$ および $60\mu\text{m}$ とする。これにより、電源電圧が 0V から上昇すると、NFETM5を流れる電流 I_5 よりNFETM6を流れる電流 I_6 が大きく、ノードQ2の電圧はノードQ1の電圧より低くなる。よって、ラッチ回路18はノードQ1が電源端子Tpの電圧になるように立ち上がる。ノードQ1とQ2が非対称に立ち上がれば、他のパラメータを変えてもよい。例えば、NFETM1のゲート幅をNFETM3のゲート幅より狭くする。PFETM2、M10およびM7のゲート幅をそれぞれPFETM4、M9およびM8のゲート幅より広くする。これにより、電源電圧が 0V から上昇すると、ノードQ2の電圧はノードQ1の電圧より低くなる。電源端子Tpの電圧が例えば 5V 程度に高くなっても、 1V 程度の電圧 V_{set} および V_{rst} により、ノードQ1およびQ2のレベルを切り替えるため、NFETM5およびM6のゲート幅を他のFETのゲート幅より大きくしている。

[0061] 図8(b)は、NAND型のラッチ回路の例である。ラッチ回路18は、PFETM20a~M20cおよびM21a~M21c、NFETM22a~M22dおよびM23a~M23dを備えている。ラッチ回路18の動作は図8(a)と同じであり説明を省略する。ラッチ回路18は、上記動作を行えば図8(a)および図8(b)以外の回路構成でもよい。

[0062] 図4に示すFETM11のゲートに電圧VGを印加する回路として、図8(a)および図8(b)のラッチ回路18を用いる。ラッチ回路18は、リセット電圧 V_{rst} (第1制御信号)が入力するとNFETM1のゲートにNFETM1をオフさせる第2電圧を出力しつづける。このようなラッチ回路18を用いることにより、ラッチ回路18は、リセット電圧 V_{rst} が入力する前は第1電圧を出力端子Tq1に出力し、リセット電圧 V_{rst} が入

力すると、第2電圧を出力端子Tq1に出力できる。NFETM11をオフさせる第2電圧を生成する回路を簡素に実現できる。

[0063] ラッチ回路18は、セット電圧Vset（第2制御信号）が入力するとリセット電圧Vrstが入力するまでNFETM1のゲートにNFETM1をオンさせる第1電圧を出力する。これにより、ラッチ回路18にセット電圧Vsetが入力することにより、NFETM11のゲートの電圧VGが第1電圧となり、NFETM11をオンさせることができる。

[0064] [実施例1の変形例1]

実施例1の変形例1では、コールドスタートスイッチCSWとしてPFETを用いる。このとき、第1端子および第2端子はそれぞれPFETのドレインおよびソースである。

[0065] 図9(a)および図9(b)は、実施例1の変形例1に係るスイッチ回路の回路図である。図9(a)に示すように、実施例1の変形例1では、コールドスタートスイッチCSWとしてエンハンスメントモードのPFETM11aを用いる。PFETM11aの閾値電圧は負である。PFETM11aのソースは入力端子Tinに接続され、ドレインは出力端子Toutに接続されている。電圧Voutが参照電圧Vref以下のとき、PFETM11aのゲートは無電源でグランドに接続される。これにより、電圧Vinに対するグランド電位がPFETM11aの閾値電圧以下となればPFETM11aはオンする。図9(b)に示すように、電圧Voutが参照電圧Vrefより高いとき、PFETM11aのゲートに入力端子Tinが接続される。これにより、PFETM11aはオフする。

[0066] 図10は、実施例1の変形例1に係るスイッチ回路の回路図である。図10に示すように、実施例1の変形例1では、実施例1の図4と比べ、NFETM11がエンハンスメント型のPFETM11aに置き換わっている。PFETM11aのソースは入力端子Tinに接続され、ドレインは出力端子Toutに接続され、ゲートはラッチ回路18aの出力端子Tq2に接続されている。出力端子Tq2がPFETM11aのゲートに接続されている以

外のラッチ回路18aの構成は実施例1のラッチ回路18と同じである。その他の回路構成は実施例1の図4と同じであり、説明を省略する。

[0067] 図11は、実施例1の変形例1に係るスイッチ回路の各電圧およびFETのオン/オフの時間変化を示す図である。PFETM11aのソース電圧に対するゲート電圧を電圧 $V_G - V_{in}$ として示している。PFETM11aの閾値電圧は負である。図11に示すように、時間に対する電圧 V_{in} の変化は図7と同じである。時刻 t_{11} において、PFETM11aのゲートの電圧 V_G はグランド電位0Vである。PFETM11aはオフである。時刻 t_{11} 以降に、電圧 V_{in} が上昇する。電圧 $V_G - V_{in}$ は $-V_{in}$ である。ラッチ回路18は、非対称であり、ラッチ回路18の電源電圧が0Vから上昇していくと出力端子 T_{q2} の電圧がローレベル（すなわちグランド電位）となる。電圧 V_{in} が上昇しても出力端子 T_{q2} の電圧はグランド電位0Vである。

[0068] 時刻 t_{12} において、電圧 $V_G - V_{in}$ がPFETM11aの閾値電圧 V_{th} となると、PFETM11aはオンする。時刻 t_{12} 以降において、電圧 V_{out} が上昇する。時刻 t_{14} において電圧 V_{out} が参照電圧 V_{ref2} 以上となると、制御回路16はラッチ回路18のリセット端子 T_{rst} にリセット電圧 V_{rst} としてスパイク信号30を出力する。ラッチ回路18は、出力端子 T_{q2} に電圧 V_G として電源端子 T_p の電圧である電圧 V_{in} を出力する。これにより、電圧 $V_G - V_{in}$ はほぼ0Vとなる。よって、PFETM11aはオフする。

[0069] 時刻 t_{17} において、電圧 V_{out} が参照電圧 V_{ref1} より低くなると、制御回路16はラッチ回路18のセット端子 T_{set} にセット電圧 V_{set} としてスパイク信号32を出力する。ラッチ回路18は、出力端子 T_{q2} に電圧 V_G として基準電位端子 T_g の電圧であるグランド電位0Vを出力する。これにより、電圧 $V_G - V_{in}$ は $-V_{in}$ となり、PFETM11aはオンする。その他の構成および動作は実施例1と同じであり説明を省略する。

[0070] 実施例1およびその変形例1では、入力電圧 V_{in} はグランド電位より高い。このとき、実施例1のように、コールドスタートスイッチCSWにNFETM11を用いるとき、NFETM11をオンさせる第1電圧は入力電圧 V_{in} である。実施例1の変形例1のように、コールドスタートスイッチCSWにPFETM11aを用いるとき、PFETM11aをオンさせる第1電圧はグランド電位の電圧である。これにより、NFETM11およびPFETM11aを安定にオンさせることができる。

[0071] 実施例1のように、コールドスタートスイッチCSWにNFETM11を用いるとき、NFETM11をオフさせる第2電圧はグランド電位の電圧である。実施例1の変形例1のように、コールドスタートスイッチCSWにPFETM11aを用いるとき、PFETM11aをオフさせる第2電圧は電圧 V_{in} である。これにより、実施例1の変形例2および3において用いられる $-\alpha$ または $+\alpha$ を生成するための余分な回路が不要となる。

[0072] 実施例1では、図7の時刻 t_{14} と t_{17} との間において電圧 V_{out} が電圧 V_{in} より高くなった場合、電圧 V_G はグランド電位0Vであり、電圧 V_{out} および V_{in} のいずれよりも低い。このため、NFETM11のゲート電圧はソース電圧より低い。よって、NFETM11はオフである。実施例1の変形例1では、図11の時刻 t_{14} と t_{17} との間において、電圧 V_{out} が電圧 V_{in} より高くなった場合、電圧 V_G は電圧 V_{in} であり、電圧 V_{out} より低い。このため、電圧 $V_{in}-V_{out}$ がPFETM11aの閾値電圧より低くなるとPFETM11aがオンし、端子 T_{out} から端子 T_{in} に電流が逆流してしまう。よって、コールドスタートスイッチCSWは実施例1のようにNFETM11であることが好ましい。

[0073] [実施例1の変形例2]

実施例1の変形例2は、コールドスタートスイッチとして、デプリッションモード（ノーマリーオンモード）を用いる例である。図12（a）および図12（b）は、実施例1の変形例2に係るスイッチ回路の回路図である。図12（a）に示すように、実施例1の変形例2では、コールドスタートス

スイッチCSWとしてデプリッションモードのNFETM11bを用いる。NFETM11bの閾値電圧は負である。NFETM11bのソースは出力端子T_{out}に接続され、ドレインは入力端子T_{in}に接続されている。電圧V_{out}が参照電圧V_{ref}以下のとき、NFETM11bのゲートは無電源でグランドに接続される。これにより、NFETM11bはオンする。図12(b)に示すように、電圧V_{out}が参照電圧V_{ref}より高いとき、NFETM11bのゲートに電圧V_{out} - α (α は正)が印加される。- α がNFETM11bの閾値電圧以下であればNFETM11bはオフする。

[0074] コールドスタートスイッチCSWとしてデプリッションモードのNFETを用いる実施例1の変形例2では、図12(b)において、- α が閾値電圧より十分に低くないとNFETM11bのリーク電流が大きくなってしまふ。コールドスタートスイッチCSWとしてデプリッションモードのPFETを用いる場合、PFETの閾値電圧は正である。PFETがオフのとき、PFETのリーク電流を小さくするためには、PFETのゲートに閾値電圧より十分に高い+ α を加える。しかし、十分に低い- α または十分に高い+ α を生成するには余分な回路を必要とし、それによって余分な電力も消費してしまう。実施例1およびその変形例1では、エンハンスメント型のトランジスタを用いることにより、- α または+ α を生成するには余分な回路が不要となる。これにより、余分な電力を抑制できる。

[0075] なお、ラッチ回路18がNFETM11およびPFETM11aのゲートに出力する電圧V_{in}は、出力端子T_{out}の電圧V_{in}からラッチ回路18の寄生抵抗分電圧降下した電圧であってもよい。また、ラッチ回路18がNFETM11およびPFETM11aのゲートに出力するグランド電位0Vの電圧は、グランド電位からラッチ回路18の寄生抵抗分電圧上昇した電圧であってもよい。

実施例 2

[0076] 実施例2およびその変形例は、入力電圧V_{in}がグランドに対し低い場合

の例であり、発電素子10の出力がグラウンドに対し負であり、キャパシタC2の電圧V2は負である。実施例2では、コールドスタートスイッチCSWとしてエンハンスメントモードのPFETM11aを用いる。回路構成は実施例1の変形例1の図9と同様であり説明を省略する。

[0077] 図13は、実施例2に係るスイッチ回路の各電圧、電流およびFETのオン/オフの時間変化を示す図である。図13に示すように、電圧 V_{in} 、 V_{out} 、 V_{O1} 、 V_{O2} 、リセット電圧 V_{rst} 、セット電圧 V_{set} および電圧 V_G は負である。PFETM11aの閾値電圧 V_{th} は負である。参照電圧 V_{ref1} および V_{ref2} は負である。時刻 t_{12} と t_{14} の間および時刻 t_{17} と t_{18} の間において、電圧 V_G は閾値電圧 V_{th} 以下となるためPFETM11aはオンする。時刻 t_{14} と t_{17} の間において、電圧 V_G は閾値電圧 V_{th} より高いため、PFETM11aはオフする。その他は実施例1の図7と同じであり説明を省略する。

[0078] [実施例2の変形例1]

実施例2の変形例1では、コールドスタートスイッチCSWとしてエンハンスメントモードのNFETM11を用いる。回路構成は実施例1の図4と同様であり説明を省略する。図14は、実施例2の変形例1に係るスイッチ回路の各電圧、電流およびFETのオン/オフの時間変化を示す図である。図14に示すように、NFETM11の閾値電圧 V_{th} は正である。参照電圧 V_{ref1} および V_{ref2} は負である。時刻 t_{12} と t_{14} の間および時刻 t_{17} と t_{18} の間において、電圧 $V_G - V_{in}$ は閾値電圧 V_{th} 以上となるためNFETM11はオンする。時刻 t_{14} と t_{17} の間において、電圧 $V_G - V_{in}$ はほぼ0Vであり閾値電圧 V_{th} より低いため、NFETM11はオフする。その他は実施例2の図13と同じであり説明を省略する。

[0079] 実施例2およびその変形例1では、入力電圧 V_{in} はグラウンド電位より低い。このとき、実施例2のように、コールドスタートスイッチCSWにPFETM11aを用いるとき、PFETM11aをオンさせる第1電圧はグラ

ンド電位である。実施例2の変形例1のように、コールドスタートスイッチCSWにNFETM11を用いるとき、NFETM11をオンさせる第1電圧は電圧 V_{in} である。これにより、NFETM11およびPFETM11aを安定にオンさせることができる。

[0080] 実施例2のように、コールドスタートスイッチCSWにPFETM11aを用いるとき、PFETM11aをオフさせる第2電圧は電圧 V_{in} である。実施例2の変形例1のように、コールドスタートスイッチCSWにNFETM11を用いるとき、NFETM11をオフさせる第2電圧はグランド電位である。これにより、 $-\alpha$ または $+\alpha$ を生成するための余分な回路が不要となる。

[0081] 実施例2では、図13の時刻 t_{14} と t_{17} との間において電圧 V_{out} が電圧 V_{in} より高くなった場合、電圧 V_G はグランド電位0Vであり、電圧 V_{out} および V_{in} のいずれよりも高い。このため、PFETM11aのゲート電圧はソース電圧より高い。よって、PFETM11aはオフである。実施例2の変形例1では、図14の時刻 t_{14} と t_{17} との間において電圧 V_{out} が電圧 V_{in} より低くなった場合、電圧 V_G は電圧 V_{in} であり、電圧 V_{out} より高い。このため、電圧 $V_{in}-V_{out}$ がNFETM11の閾値電圧より高くなるとNFETM11がオンし、端子 T_{in} から端子 T_{out} に電流が逆流してしまう。よって、コールドスタートスイッチCSWは実施例2のようにPFETM11aであることが好ましい。

実施例 3

[0082] 実施例1では、NFETM11がオンのとき、NFETM11はダイオード接続されているため、電圧降下が生じる。そこで、実施例1の変形例1のように、NFETM11の代わりにPFETM11aを用いる場合がある。しかし、実施例1の変形例1では、電圧 V_{out} が電圧 V_{in} より高くなった場合、端子 T_{out} から端子 T_{in} への電流が逆流してしまう。これにより、電力損失が発生するおそれがある。実施例3は、電圧 V_{out} が電圧 V_{in} より高くなった場合でも、端子 T_{out} から端子 T_{in} への電流が逆流

を抑制するスイッチ回路の例である。

[0083] 図15は、実施例3に係るスイッチ回路の回路図である。実施例1の変形例1の図10に比べ、スイッチ回路20は、PFETM2とラッチ回路18cを更に備えている。PFETM2のソースはPFETM11aのドレインに接続され、ドレインは出力端子 T_{out} に接続されている。ラッチ回路18cの電源端子 T_p はPFETM2のドレインに接続されている。ラッチ回路18cの基準電位端子 T_g はグランドに接続されている。ラッチ回路18cの出力端子 T_q2 はPFETM2のゲートに接続されている。ラッチ回路18cのセット端子 T_{set} およびリセット端子 T_{rst} には、それぞれ制御回路16から電圧 V_{set} および V_{rst} が入力する。その他の回路構成は実施例1の変形例1の図10と同じであり説明を省略する。

[0084] 図11を参照し、実施例3におけるスイッチ回路の動作を説明する。なお、説明を簡単にするため、PFETM11bおよびM2の閾値電圧はほぼ0Vであり、時刻 t_{11} と t_{12} とはほぼ同じ時刻と仮定する。図11において、時刻 t_{11} ～ t_{14} および t_{17} ～ t_{18} では、PFETM11bのゲートに印加される電圧 V_G およびPFETM2のゲートに印加される電圧 V_{G2} は0Vであり、時刻 t_{14} ～ t_{17} では、電圧 V_G および V_{G2} は V_{out} である。このため、PFETM2は、PFETM11aがオンおよびオフのときそれぞれオンおよびオフする。よって、実施例1の変形例1のスイッチ回路20、図11とほぼ同じ動作を行う。

[0085] このように、実施例3では、PFETM2（第2スイッチング素子）は、ゲート（第2制御端子）に与えられる電圧に応じてPFETM11a（第1スイッチング素子）とキャパシタC2との接続状態が制御される。回路17は、キャパシタC2の両端間の電圧差 $V_{out}-0V$ が参照電圧 V_{ref2} になるまでPFETM2のゲートにPFETM2をオンさせつづける0V（第1電圧）を出力する。回路17は、電圧差 $V_{out}-0V$ が参照電圧 V_{ref2} を超えると、電圧差 $V_{out}-0V$ が参照電圧 V_{ref1} を下回るまでPFETM2のゲートにPFETM2をオフさせつづける V_{out} （第2

電圧) を出力する。これにより、PFETM11aおよびPFETM2がオフのときに、電圧Voutが電圧Vinより高くなったとしても、PFETM2のゲート電圧VG2はVoutであり、PFETM2のオフは維持される。よって、端子Toutから端子Tinに電流が逆流することを抑制できる。したがって、電力損失を防ぎ、電力効率が下がることを抑制できる。

[0086] 実施例3では、入力電圧Vinがグランド電位より高い場合に、PFETM11aおよびPFETM2としてエンハンスメント型PFETを用いる例を説明したが、入力電圧Vinがグランド電位より低い場合には、PFETM11aおよびPFETM2の代わりに、エンハンスメント型NFETを用いてもよい。

実施例 4

[0087] 実施例4は、発電素子10の出力電圧(すなわち入力電圧Vin)が高い場合の例である。例えば発電素子として、有機ピエゾ素子またはエレクトレットを用いたMEMS(Micro Electro Mechanical Systems)素子のような容量成分が小さな素子を用いる場合、発電素子10の出力電圧が高くなり、例えば35Vとなる。このような場合に、実施例1のNFETM11として高耐圧FETを用いる。高耐圧FETは、ドレイン耐圧(ソースに対するドレインの耐圧)が高いFETであり、NFETM11として、例えばドレイン耐圧が35V以上のFETを用いる。しかし、実施例1では、ラッチ回路18の電源端子Tpに高電圧が加わる。一般的なMOSFETの耐圧は5V程度であり、電源端子Tpに5V以上の電圧が加わると、ラッチ回路18が破壊されてしまう。実施例4は、電圧Vinの電圧が高くなった場合でも、ラッチ回路18の破壊が抑制できる例である。

[0088] 図16は、実施例4に係るスイッチ回路の回路図である。図16に示すように、NFETM11のゲートはノードNGに接続されている。ノードNGと入力端子Tinとの間にキャパシタC3が接続されている。NFETM11とキャパシタC3は高耐圧素子であり、耐圧は例えば35V以上である。NFETM3のソースおよびドレインはそれぞれグランドおよびノードNG

に接続されている。NFETM3は、エンハンスメント型FETである。ラッチ回路18bの電源端子Tpは出力端子Toutに接続されている。基準電位端子Tgはグランドに接続されている。出力端子Tq2はNFETM3のゲートに接続されている。ラッチ回路18bのセット端子Tsetおよびリセット端子Trstには、それぞれ制御回路16から電圧VsetおよびVrstが入力する。

[0089] 図7において、時刻t11～t14およびt17～t18では、NFETM3のゲートに印加される電圧VG3は0Vであり、時刻t14～t17では、電圧VG3はVoutである。キャパシタC3のキャパシタンスをNFETM11のゲート容量およびNFETM3のドレイン容量に対し十分に大きくすれば、時刻t11以降、Vinが増加すると、入力端子Tinに容量結合したNFETM11のゲートの電圧VGはほぼVoutと同じ電圧で増加する。時刻t14において、電圧VG3がVoutとなり、NFETM3がオンすると、電圧VGは0VとなりNFETM11はオフする。時刻t17において、電圧VG3が0Vとなり、NFETM3がオフすると、電圧VGはほぼVinとなりNFETM11はオンする。その他のスイッチ回路20の動作は、実施例1の図7と同じであり説明を省略する。

[0090] 実施例4によれば、NFETM3（第3スイッチング素子）は、ゲート（第3制御端子）に与えられる電圧VG3に応じてノードNGと基準電位との間の接続状態を制御する。ラッチ回路18bは、キャパシタC2の両端の電圧差Vout-0Vが参照電圧Vref1になるまでNFETM3のゲートに基準電位を出力しつづけ、電圧差Vout-0Vが参照電圧Vref1を超えると、電圧差Vout-0Vが参照電圧Vref2を下回るまでNFETM3のゲートにVoutを出力する。このように、ラッチ回路18bの電源端子Tpは出力端子Toutに接続されるため、電圧Vinが高電圧となってもラッチ回路18bが破壊されることを抑制できる。

[0091] [実施例4の変形例1]

実施例4において、NFETM11がオフのときに、入力電圧Vinが高

くなると、NFETM11にリーク電流が流れ、入力端子Tinから出力端子Toutに電流が流れることがある。特に、NFETM11が高耐圧FETの場合、オフ抵抗が低くリーク電流が大きくなることがある。実施例4の変形例1は、NFETM11のリーク電流を抑制する例である。

[0092] 図17は、実施例4の変形例1に係るスイッチ回路の回路図である。図17に示すように、実施例4の図16に比べ、スイッチ回路20は、NFETM4とツェナーダイオードZdをさらに更に備えている。NFETM4のソースは出力端子Toutに接続され、ドレインはNFETM11のソースに接続され、ゲートはノードNGに接続されている。NFETM4はエンハンスメント型FETであり、NFETM4の閾値電圧はNFETM11の閾値電圧とほぼ同じである。NFETM4に、高耐圧FETを用いず、NFETM4よりドレイン耐圧の低いFETを用いることで、NFETM4のオフ抵抗をNFETM11より高くできる。ツェナーダイオードZdのアノードはグラウンドに接続され、カソードはNFETM11とM4との間のノードN4に接続されている。ツェナーダイオードZdの降伏電圧は、例えば5.5Vである。その他の回路構成は実施例4の図16と同じであり説明を省略する。

[0093] 図7において、PFETM2は、NFETM11がオンおよびオフときそれぞれオンおよびオフする。入力端子Tinと出力端子Toutとの間にNFETM11およびM4が直列接続されているため、NFETM11およびM4がオフのとき、入力端子Tinから出力端子Toutに流れるリーク電流を抑制できる。しかし、NFETM4のオフ抵抗が高い場合、ノードN4の電圧が高くなる。出力電圧Voutに対するノードN4の電圧が、NFETM4のドレイン耐圧を超えると、NFETM4が破壊される可能性がある。そこで、ツェナーダイオードZdの降伏電圧を、(NFETM4のドレイン耐圧-Voutの最大値)以下とする。これにより、ノードN4の電圧-VoutがNFETM4のドレイン耐圧より高くなることが抑制され、NFETM4の破壊を抑制できる。

- [0094] 実施例4の変形例1によれば、NFETM4（第4スイッチング素子）は、NFETM11よりドレイン耐圧が低く、ノードNGに与えられる電圧に応じてNFETM11と出力端子T_{out}との間の接続状態を制御する。ツェナーダイオードZ_d（制限素子）はノードN4の電圧が降伏電圧（第3所定値）を超えないように制限する。このように、NFETM4を設けることで、入力端子T_{in}から出力端子T_{out}に流れるリーク電流を抑制できる。ツェナーダイオードZ_dを設けることで、NFETM4に高電圧が印加されNFETM4が破壊されることを抑制できる。
- [0095] なお、ツェナーダイオードZ_dをNFETM11より入力端子T_{in}側に設けることで、NFETM11に加わる入力電圧V_{in}が高くなることを抑制できる。しかし、コールドスタートスイッチCSWがオフのときに、図1の整流回路10bとは別の整流回路（例えば後述する図18の整流回路62）において、発電ユニット10aの出力電力を整流する場合がある。この場合、入力端子T_{in}の電圧V_{in}を制限してしまうと、別の整流回路に高電圧が加わらなくなってしまう。そこで、実施例4の変形例1のように、ツェナーダイオードZ_dはノードN4の設けることが好ましい。
- [0096] 実施例4およびその変形例1では、入力電圧V_{in}がグラウンド電位より高い場合に、NFETM11およびM4としてエンハンスメント型NFETを用いる例を説明したが、入力電圧V_{in}がグラウンド電位より低い場合には、NFETM11およびM4の代わりに、エンハンスメント型PFETを用いればよい。
- [0097] 実施例1から4およびその変形例において、トランジスタがエンハンスメント型のとき、NFETM11、M11b、M3およびM4は、ゲート電圧がグラウンド電位0Vのときオフであり、ゲート電圧が正の閾値電圧より高くなるとオンする。PFETM11a、M11cおよびM2は、ゲート電圧（ソースに対するゲートの電圧）がグラウンド電位0Vのときオフであり、ゲート電圧が負の閾値電圧より低くなるとオンする。NFETM11、M11b、M3、M4PFETM11a、M11cおよびM2は、例えばシリコンを

用いたMOS (Metal Oxide Semiconductor) FETである。

[0098] 実施例1から4およびその変形例のスイッチ回路を図1の電圧変換回路12のコールドスタートスイッチCSWとして用いる。電圧変換回路12（電力変換回路）は、リセット電圧 V_{rst} が出力されると、発電素子10の出力電力の変換を開始する。すなわち、回路17は、リセット電圧 V_{rst} を出力するとき、電圧変換回路12を起動する。図1では、電源回路として降圧昇圧型の電圧変換回路の例を説明したが、電源回路は降圧型の電圧変換回路、昇圧型の電圧変換回路および反転型の電圧変換回路でもよい。電力変換回路は、インダクタを備え、発電素子10から入力する第3電圧（例えば直流電圧）を第4電圧（例えば直流電圧）に変換する電圧変換回路（例えばDC (Direct Current) - DCコンバータ）でもよい。また、電源回路は、交流を直流に変換する電力変換回路等でもよい。

[0099] 図18は、実施例1から4およびその変形例のスイッチ回路が用いられるシステムを示すブロック図である。図18に示すように、システムは、発電素子60、整流回路61、62、整合回路63、電圧変換回路64、充電管理回路65、蓄電器66、コールドスタート回路67および昇圧回路68を備えている。

[0100] 発電素子60は、例えば図1の発電素子10であり、微小電流の交流電力を発電する。整流回路61は例えばダイオードブリッジであり、整流回路62は例えば同期整流回路である。整合回路63は整流回路61および62の出力インピーダンスと電圧変換回路64の入力インピーダンスとを整合させる。電圧変換回路64は、例えば図1の電圧変換回路12であり、DC-DCコンバータである。充電管理回路65は複数の蓄電器66のうち適切な蓄電器66に蓄電する。蓄電器66は例えばキャパシタである。充電管理回路65は複数の蓄電器の両端の電圧をモニターし、適切に蓄電器に発電電力を充電する。コールドスタート回路67は、実施例1から4およびその変形例のいずれかに示されたスイッチ回路20であり、蓄電器66がほとんど充電されていないときに整流回路61の出力電流を蓄電器66に充電する。昇圧

回路68は例えばチャージポンプであり、整流回路62および電圧変換回路64等に用いる電圧を生成する。

[0101] システムの動作について説明する。蓄電器66がほとんど充電されていない状態において、発電素子60が微小電力を生成すると、整流回路61が微小電力を整流する。整流回路61は例えばダイオードブリッジのように外部電源がなくとも整流を行うことができる回路が好ましい。また、ダイオードブリッジに限らず、ゲートと、ソースまたはドレインを短絡させたFETを組みあわせて構成した整流回路としてもよい。このようなFETを組みあわせて構成した整流回路では、ダイオードブリッジに比べて電圧降下が少なくできる点で、微小電力発電に好適である。整流回路61が整流した電流はコールドスタート回路67を介し充電管理回路65に至り蓄電器66に蓄電される。蓄電器66が十分な電圧まで充電されると、昇圧回路68は、蓄電器66の電圧から整流回路62および電圧変換回路64に使用する電圧に昇圧する。蓄電器66の電圧は例えば1Vであり、昇圧回路68の出力電圧は例えば2Vである。蓄電器66の電圧を用い整流回路62および電圧変換回路64が動作する場合には昇圧回路68はなくてもよい。

[0102] 整合回路63は、発電素子60の発電量に応じ、整流回路61および62の入力電圧を変化させる。入力電圧を発電素子60の出力電流で除した値が整流回路61および62の入力インピーダンスとなる。そこで、整合回路63は、発電素子60の出力電流が大きいとき入力電圧を高くし、発電素子60の出力電流が小さいとき入力電圧を低くする。これにより、発電素子60の出力インピーダンスと整流回路61および62の入力インピーダンスを整合させる。整合回路63は入力電圧により整流回路61と62を切り替える。例えば整流回路61および62がそれぞれダイオードブリッジおよび同期整流回路の場合、入力電圧が1V以下となるとダイオードのオン電圧による損失が大きくなる。このため、整流回路62を用いる。入力電圧が1V以上の場合、整流回路61を用いる。

[0103] 電圧変換回路64は、整合回路63が設定した入力電圧を蓄電器66が充

電する電圧に変換する。蓄電器 66 の電圧は例えば 1 V または 3.3 V である。充電管理回路 65 は、複数の蓄電器 66 の電圧をモニターし、適切な蓄電器 66 に発電電力を充電する。

[0104] このような微小電力を発電する発電素子 60 を用いたシステムでは蓄電器 66 に電力が蓄積されていないとき、コールドスタート回路 67 は無電源でオンし、蓄電器 66 に電力が蓄積した後、オフする。実施例 1 から 4 およびその変形例のスイッチ回路 20 をコールドスタート回路 67 に用いることにより、コールドスタートスイッチを安定に制御することができる。

[0105] 以上説明した本実施形態においては、本発明の制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御されるスイッチング素子として例えば図 1 のコールドスタートスイッチ CSW を用いた。かかるスイッチング素子として FET を用いた。消費電力が小さいので、FET が好ましいが、本発明スイッチング素子としては FET に限らず、他のスイッチング素子、例えばバイポーラトランジスタの素子や IGBT (Insulated Gate Bipolar Transistor) でもよい。バイポーラトランジスタの素子では第 1 端子および第 2 端子はエミッタおよびコレクタであり、制御端子はベースである。IGBT では、第 1 端子および第 2 端子はエミッタおよびコレクタであり、制御端子はゲートである。

[0106] また前記蓄電器の両端間の電圧差が初期状態から時間とともに大きくなると前記電圧差が前記初期状態よりも大きい第 1 所定値になるまで前記制御端子に前記トランジスタをオンさせつづける第 1 電圧を出力し、前記電圧差が前記第 1 所定値を超えると、前記電圧差が前記第 1 所定値よりも小さい第 2 所定値を下回るまで前記制御端子に前記スイッチング素子をオフさせつづける第 2 電圧を出力する回路を例えば図 4 に示されるラッチ回路 18 を含む回路 17 とした。かかる図 4 に示される回路では、蓄電器の両端間の電圧差の通常の初期状態はゼロボルトであるが、本発明はかかるゼロボルトに限らない。例えば蓄電器にわずかに電荷が残っている状態では、その電荷量と蓄電器の容量とに応じた電圧となる本発明はこの構成に限らず、ラッチ回路を含

まないヒステリシス特性を有する回路で構成してもよい。たとえば、入力電圧に対して出力電圧がヒステリシス特性をもつ素子と、その素子の出力電圧に応じて、スイッチCSWのオンオフを制御する制御回路との組み合わせによって構成しても本発明に含まれる。

[0107] 以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

符号の説明

- [0108] 10 発電素子
12 電圧変換回路
14 制御部
16 制御回路
17 回路
18 ラッチ回路
20 スイッチ回路

請求の範囲

- [請求項1] 第1制御端子に与えられる電圧に応じて発電素子と蓄電器との接続状態が制御される第1スイッチング素子と、
前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記初期状態よりも大きい第1所定値になるまで前記第1制御端子に前記第1スイッチング素子をオンさせつづける第1電圧を出力し、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第1所定値よりも小さい第2所定値を下回るまで前記第1制御端子に前記第1スイッチング素子をオフさせつづける第2電圧を出力する制御回路と、
を備えるスイッチ回路。
- [請求項2] 前記発電素子は、交流電流を出力する発電部と、前記交流電流を整流する整流回路と、を備える請求項1に記載のスイッチ回路。
- [請求項3] 前記蓄電器は、その一端が基準電位に接続され、その他端が前記第1スイッチング素子により、前記発電素子との接続状態が制御され、
前記第1スイッチング素子はエンハンスメント型FETであり、前記制御回路は、前記第1電圧として前記第1スイッチング素子の前記発電素子側の端子の電圧を出力し、前記第2電圧として前記基準電位を出力する請求項2に記載のスイッチ回路。
- [請求項4] 前記整流回路は前記基準電位に対して正の電圧を発生し、
前記第1スイッチング素子はエンハンスメント型N F E Tである請求項3に記載のスイッチ回路。
- [請求項5] 前記整流回路は前記基準電位に対して負の電圧を発生し、
前記第1スイッチング素子はエンハンスメント型P F E Tである請求項3に記載のスイッチ回路。
- [請求項6] 前記蓄電器は、その一端が基準電位に接続され、その他端が前記第1スイッチング素子により、前記発電素子との接続状態が制御され、
前記第1スイッチング素子はエンハンスメント型F E Tであり、前

記制御回路は、前記第1電圧として前記基準電位を出力し、前記第2電圧として前記第1スイッチング素子の前記発電素子側の端子の電圧を出力する請求項2に記載のスイッチ回路。

[請求項7] 前記整流回路は前記基準電位に対して正の電圧を発生し、
前記第1スイッチング素子はエンハンスメント型P F E Tである請求項6に記載のスイッチ回路。

[請求項8] 前記整流回路は前記基準電位に対して負の電圧を発生し、
前記第1スイッチング素子はエンハンスメント型N F E Tである請求項6に記載のスイッチ回路。

[請求項9] エンハンスメント型F E Tであり、第2制御端子に与えられる電圧に応じて前記第1スイッチング素子と前記蓄電器との接続状態が制御される第2スイッチング素子を備え、

前記制御回路は、前記蓄電器の両端間の電圧差が初期状態から、時間とともに大きくなると前記電圧差が前記第1所定値になるまで前記第2制御端子に前記基準電位を出力し、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第2所定値を下回るまで前記第2制御端子に前記第2スイッチング素子の前記蓄電器側の端子の電圧を出力する請求項6から8のいずれか一項に記載のスイッチ回路。

[請求項10] 第3制御端子に与えられる電圧に応じて前記第1制御端子と基準電位との間の接続状態を制御する第3スイッチング素子を備え、

前記蓄電器は、その一端が基準電位に接続され、その他端が前記第1スイッチング素子により、前記発電素子との接続状態が制御され、

前記第1制御端子は前記発電素子と容量結合され、

前記第1スイッチング素子はエンハンスメント型F E Tであり、

前記制御回路は、前記電圧差が前記第1所定値になるまで前記第3制御端子に前記基準電位を出力しつづけ、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第2所定値を下回るまで前記第3制御端子に前記蓄電器の他端の電圧を出力する請求項6に記載のスイッ

チ回路。

[請求項11] 前記第1スイッチング素子より耐圧が低く、前記第1制御端子に与えられる電圧に応じて前記第1スイッチング素子と前記蓄電器との間の接続状態を制御する第4スイッチング素子と、

前記第1スイッチング素子と前記第4スイッチング素子との間の電圧が第3所定値を超えないように制限する制限素子と、
を備える請求項10に記載のスイッチ回路。

[請求項12] 前記制御回路は、前記蓄電器の両端間の電圧差が前記初期状態から、時間とともに大きくなると前記電圧差が前記第1所定値になるまで前記第1制御端子に前記第1電圧を出力し、前記電圧差が前記第1所定値を超えると、前記第2所定値を下回るまで前記第1制御端子に前記第2電圧を出力するラッチ回路を備える請求項1から11のいずれか一項に記載のスイッチ回路。

[請求項13] 前記制御回路は、前記電圧差が前記第2所定値を下回ると、前記ラッチ回路のラッチ状態をリセットし、前記第1スイッチング素子の制御端子に前記第1スイッチング素子をオンさせる前記第1電圧を出力する制御回路である請求項12に記載のスイッチ回路。

[請求項14] 前記初期状態では、前記蓄電器の両端間の電圧差が0Vである請求項1から13のいずれか一項に記載のスイッチ回路。

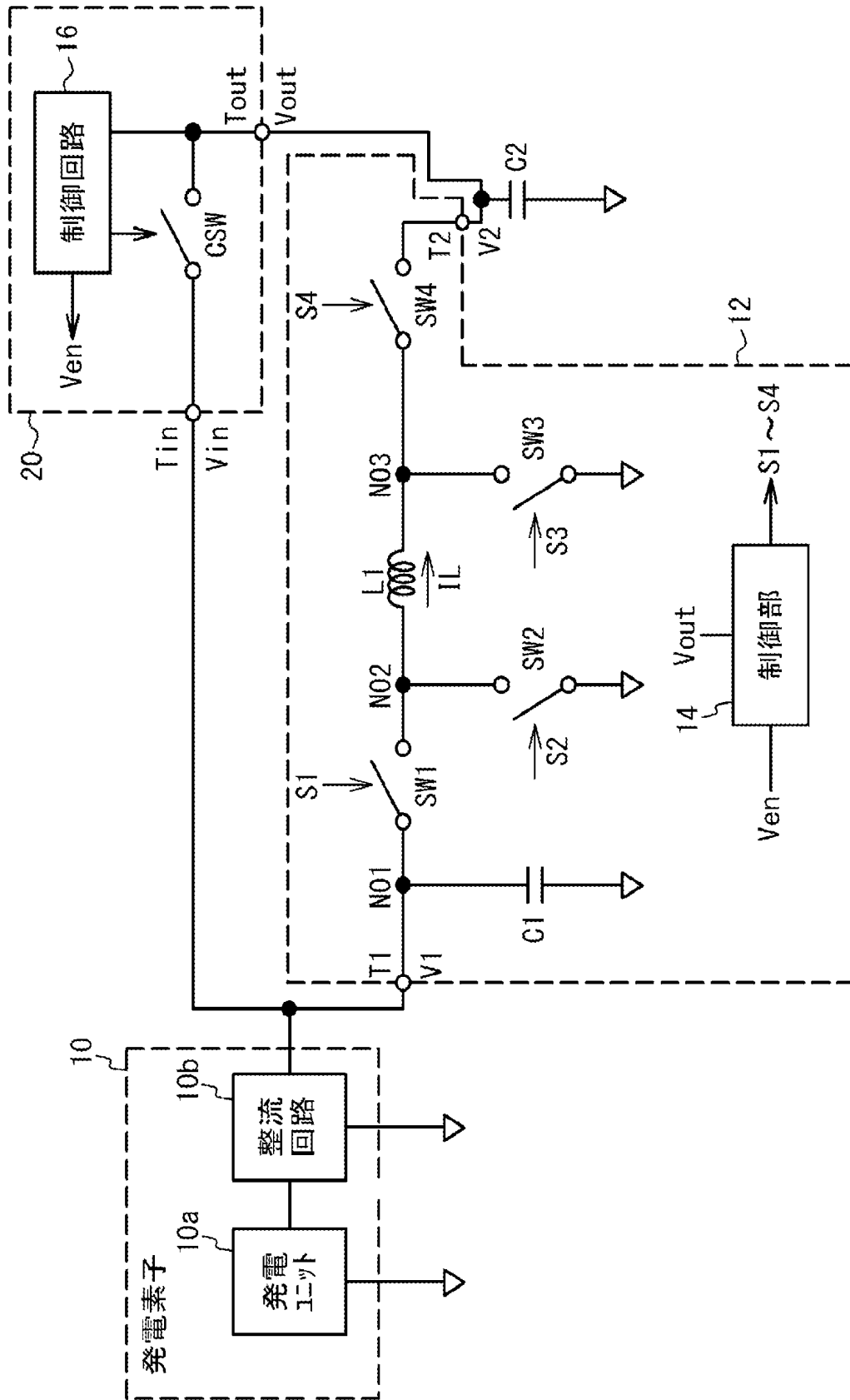
[請求項15] 請求項1から14のいずれか一項に記載のスイッチ回路と、
前記発電素子の出力電力を変換する電力変換回路と、
を備え、

前記スイッチ回路は、前記電圧差が前記第1所定値を超えると、前記電力変換回路に前記電力変換回路を起動させる信号を出力する電源回路。

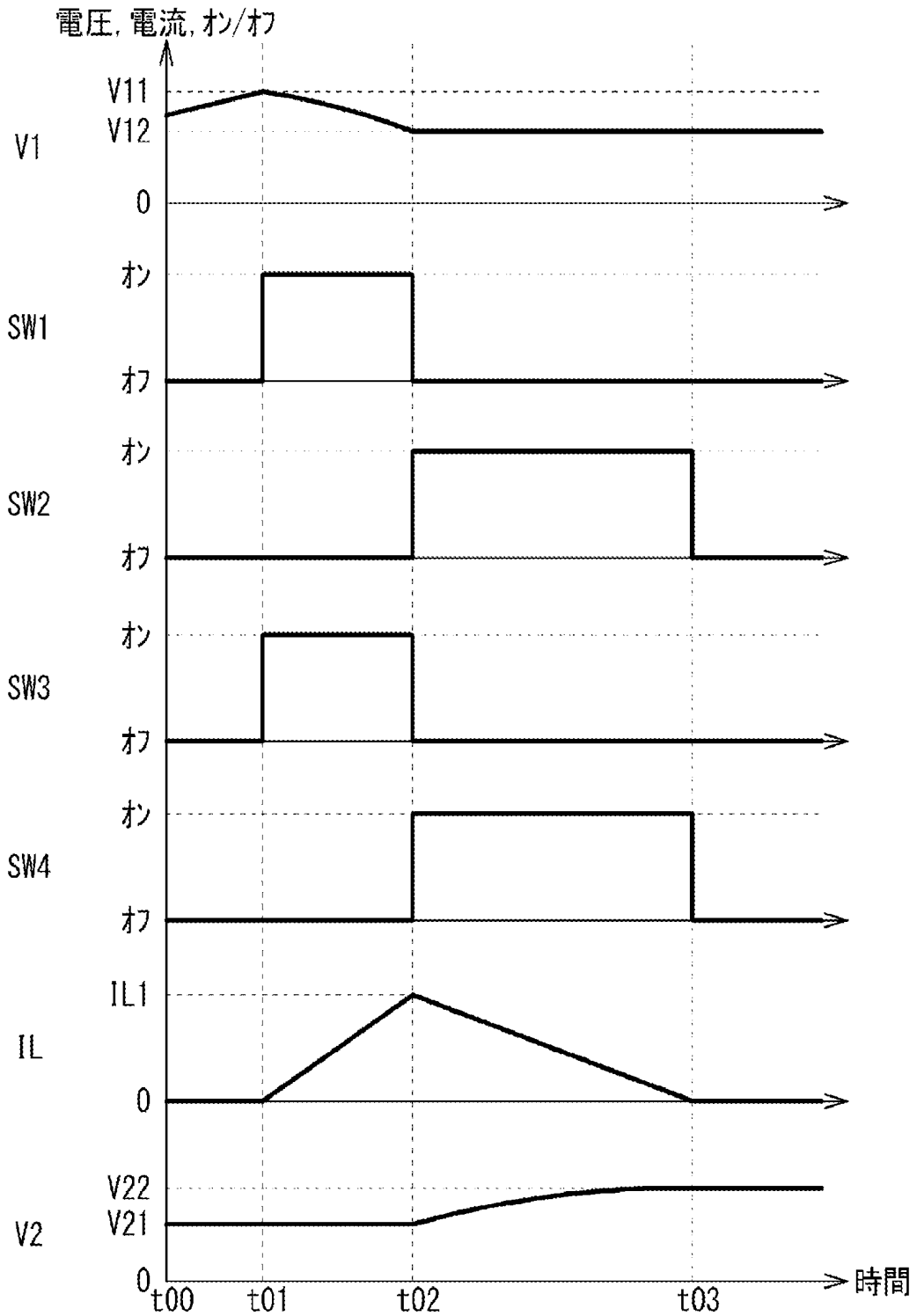
[請求項16] 前記スイッチ回路は、前記電圧差が前記第1所定値を超えると、前記電圧差が前記第2所定値を下回るまでオフしつづける請求項15に記載の電源回路。

- [請求項17] 前記スイッチ回路は、前記電圧差が前記第1所定値を超えると、オフし、かつ前記電力変換回路に前記電力変換回路を起動させる信号を出力する請求項15または16に記載の電源回路。
- [請求項18] 前記電力変換回路は、インダクタを備え、前記発電素子から入力する第3電圧を第4電圧に変換する電圧変換回路である請求項15から17のいずれか一項に記載の電源回路。
- [請求項19] 前記スイッチ回路は、前記電圧差が前記第1所定値を超えたか否かを判定する判定回路と、前記判定回路が前記電圧差が前記第1所定値を超えたとき前記起動させる信号を生成する生成回路と、を備える請求項15から18のいずれか一項に記載の電源回路。

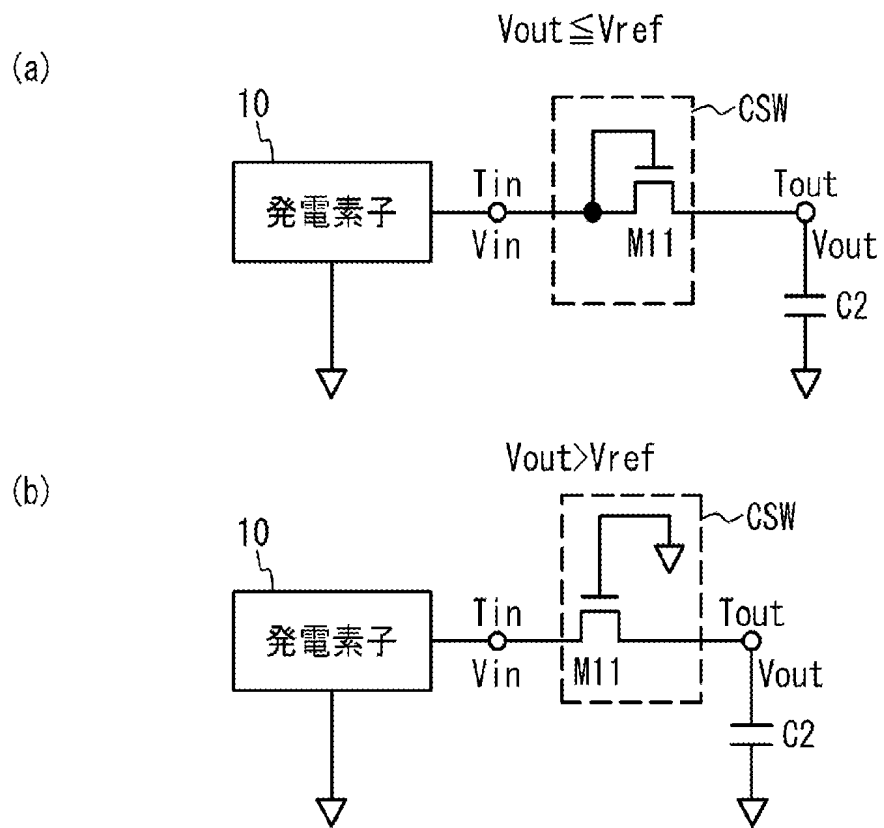
[図1]



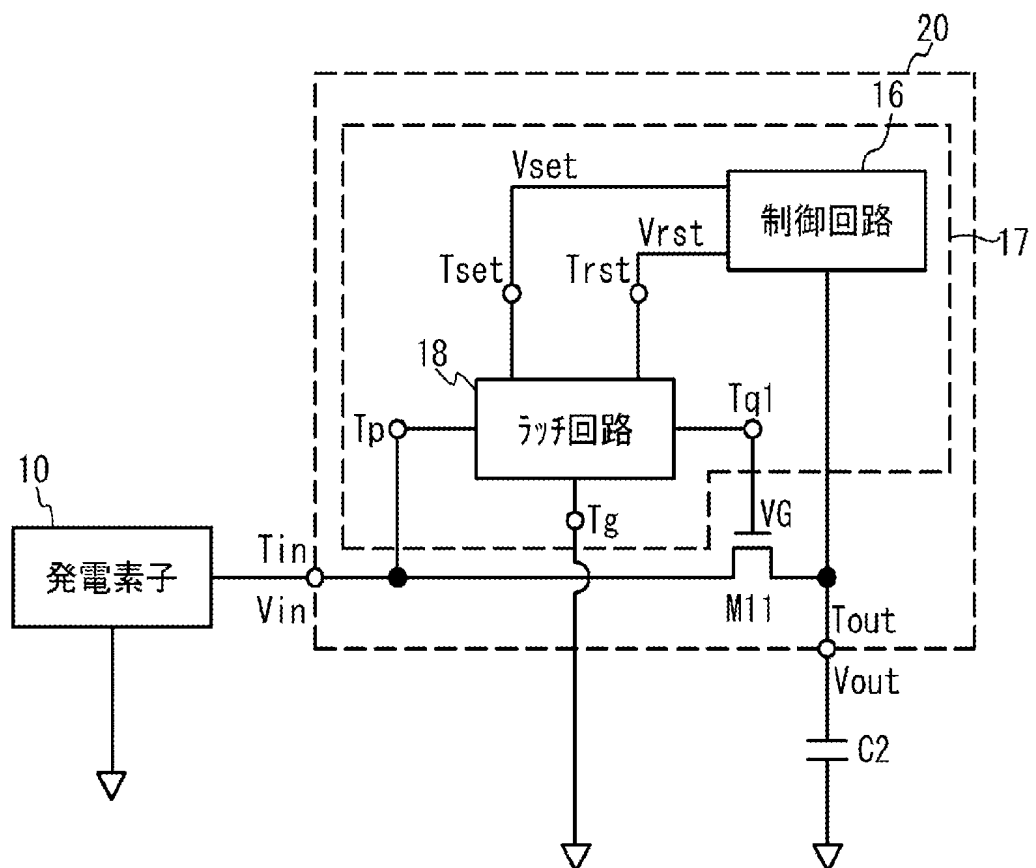
[図2]



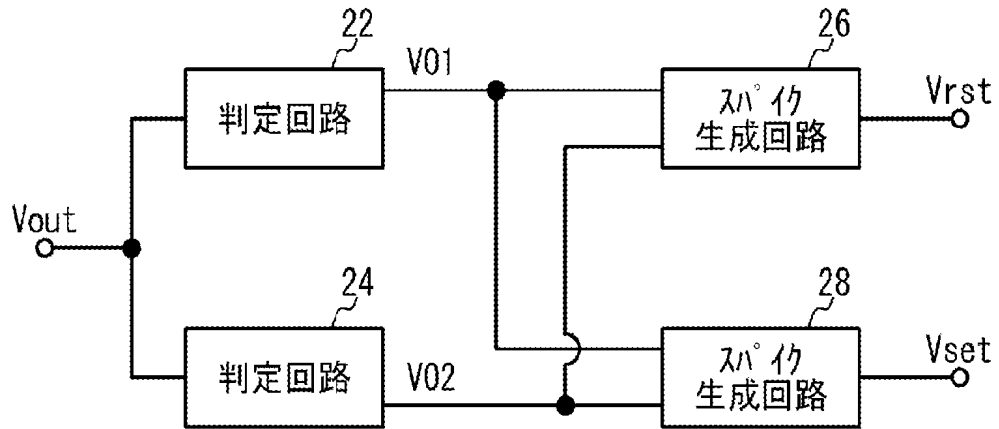
[図3]



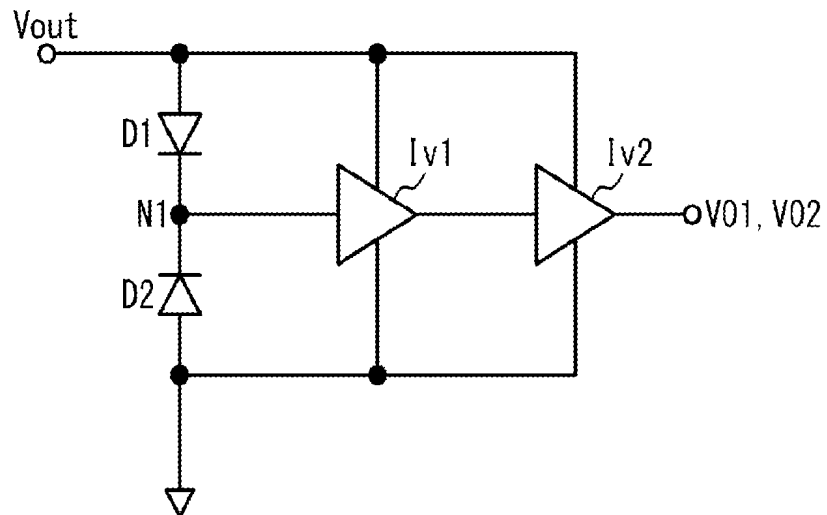
[図4]



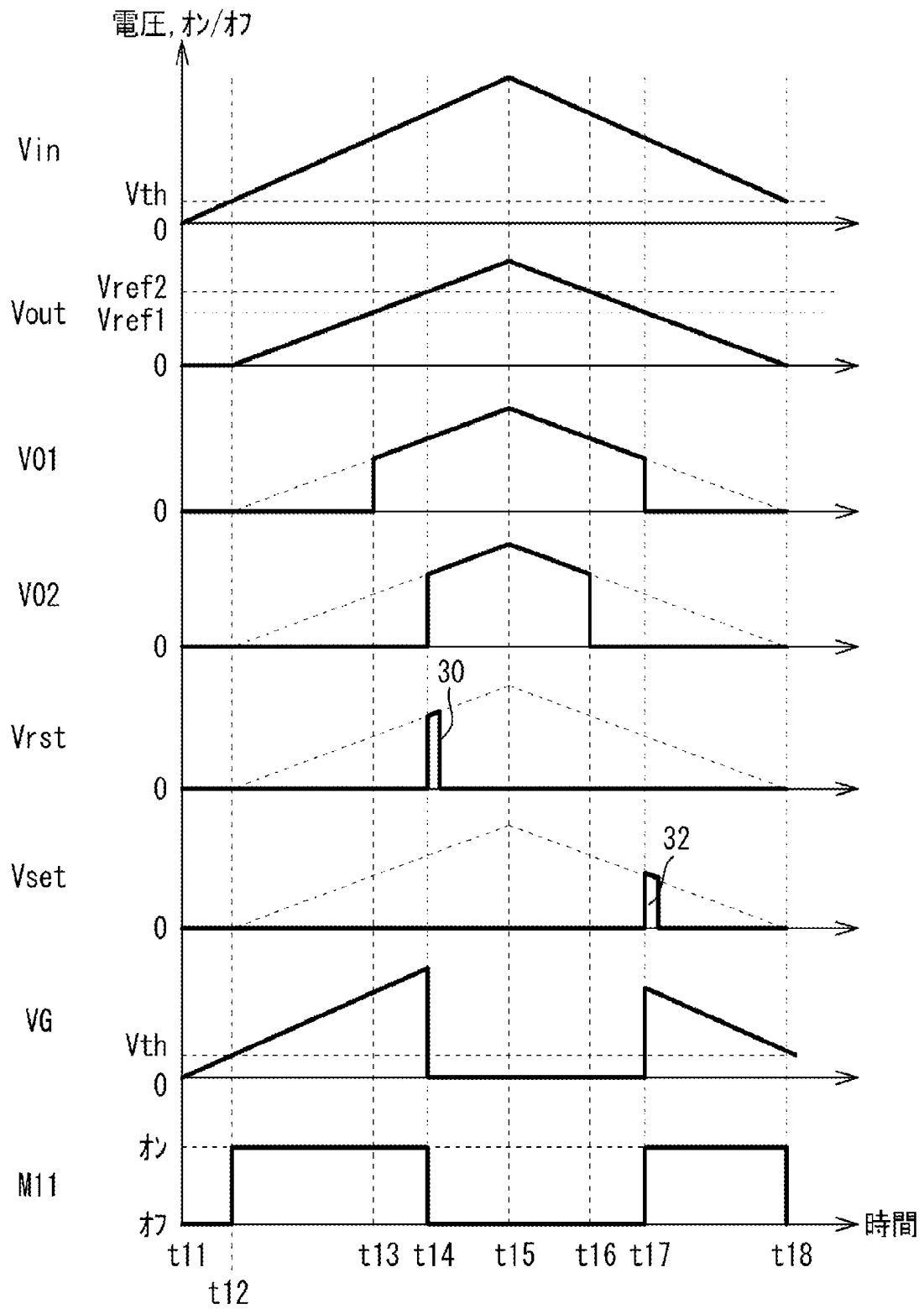
[図5]

16

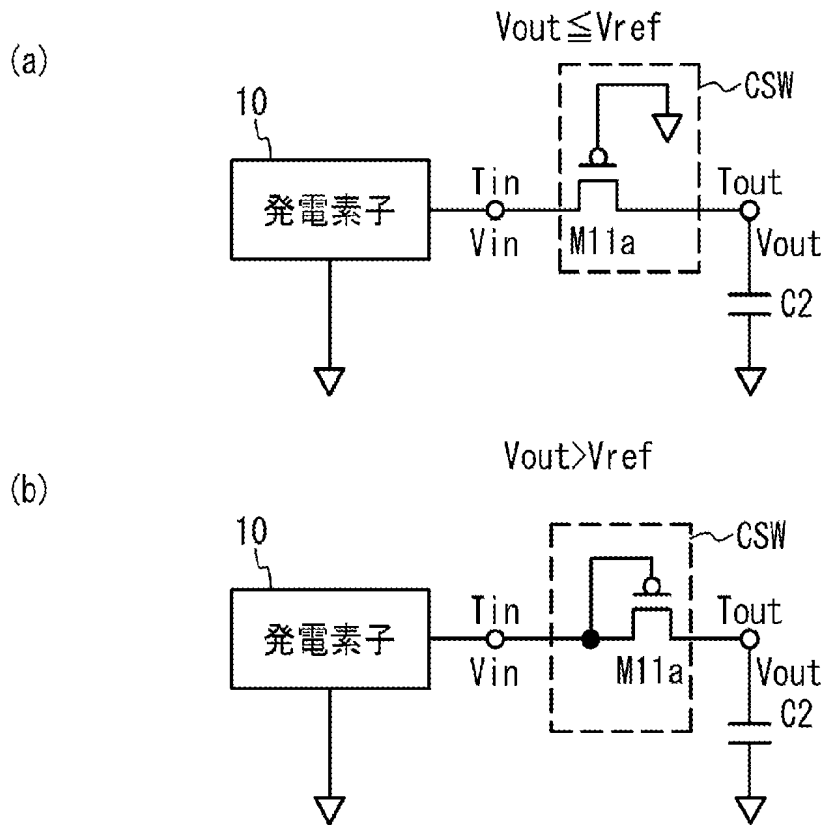
[図6]

22, 24

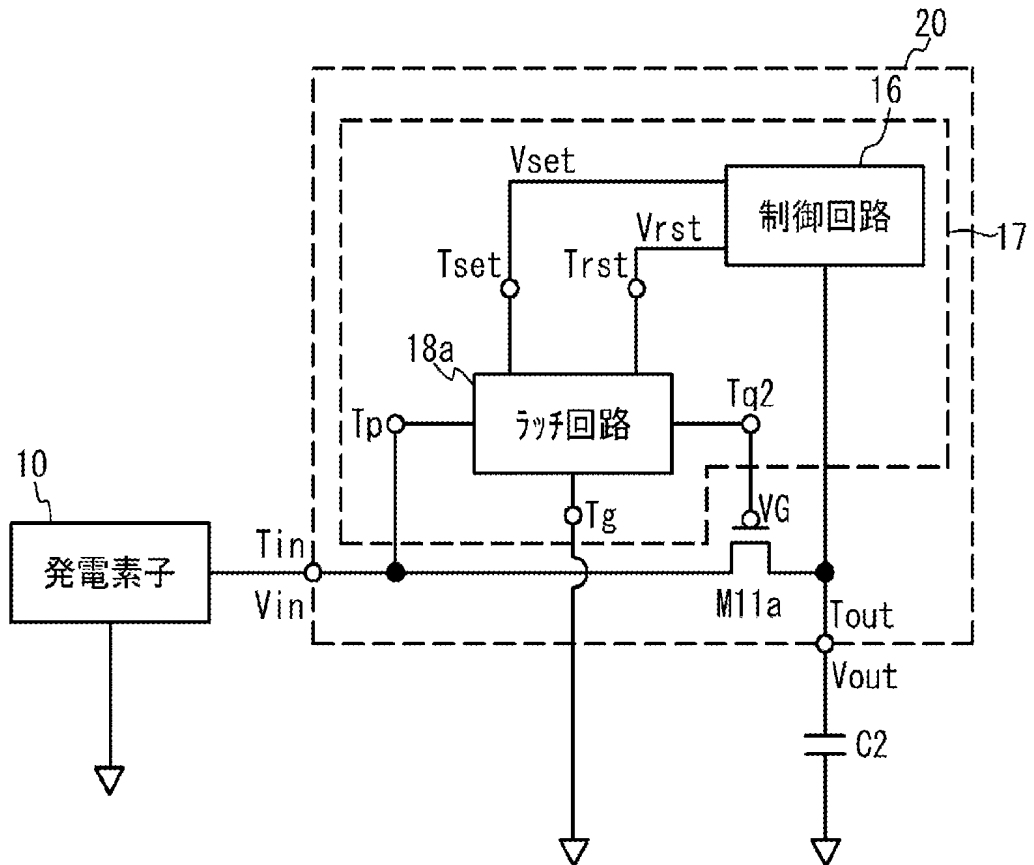
[図7]



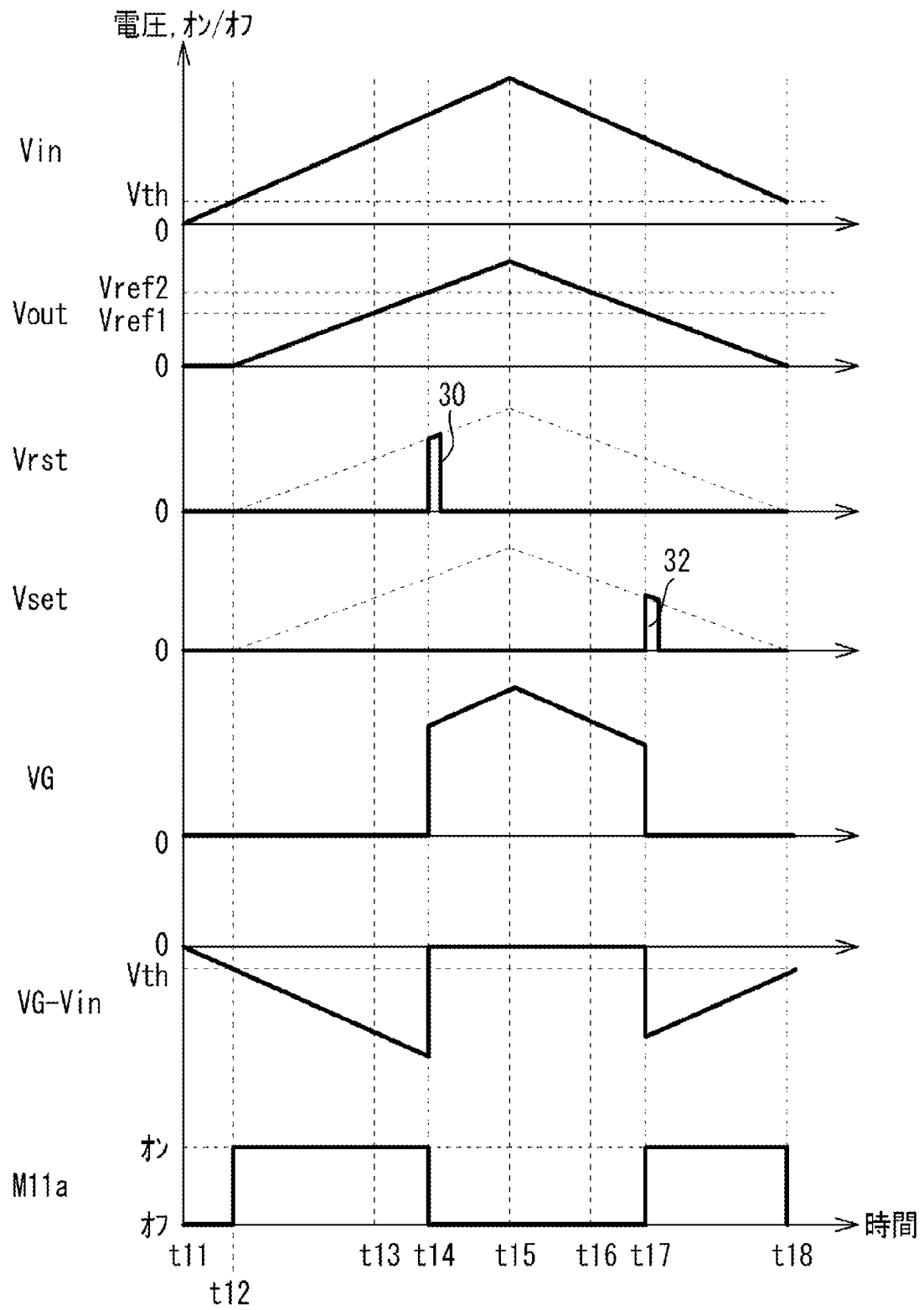
[図9]



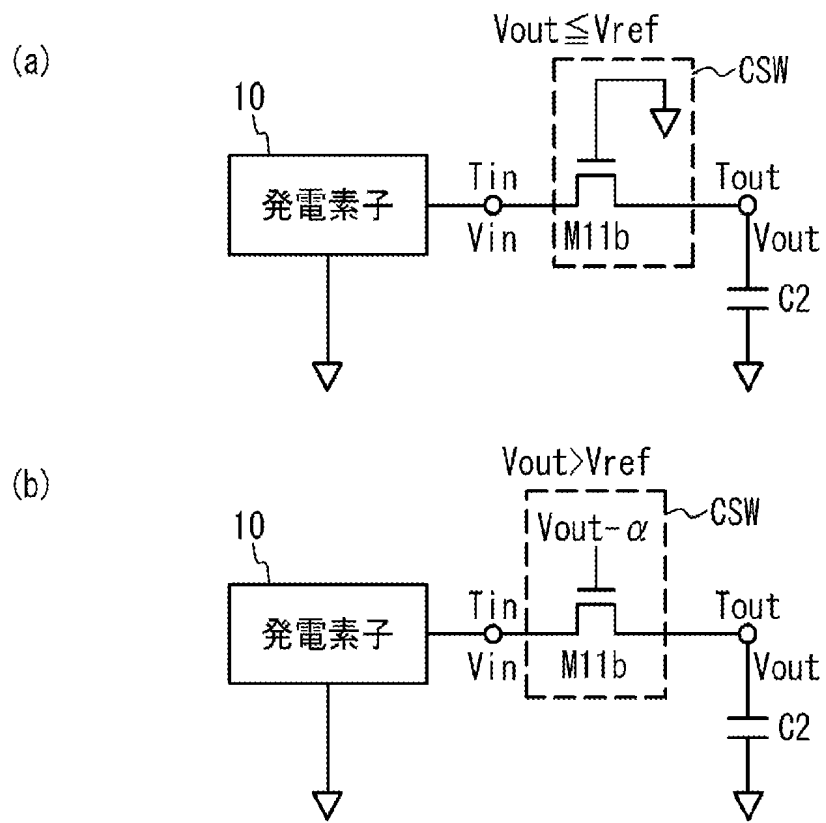
[図10]



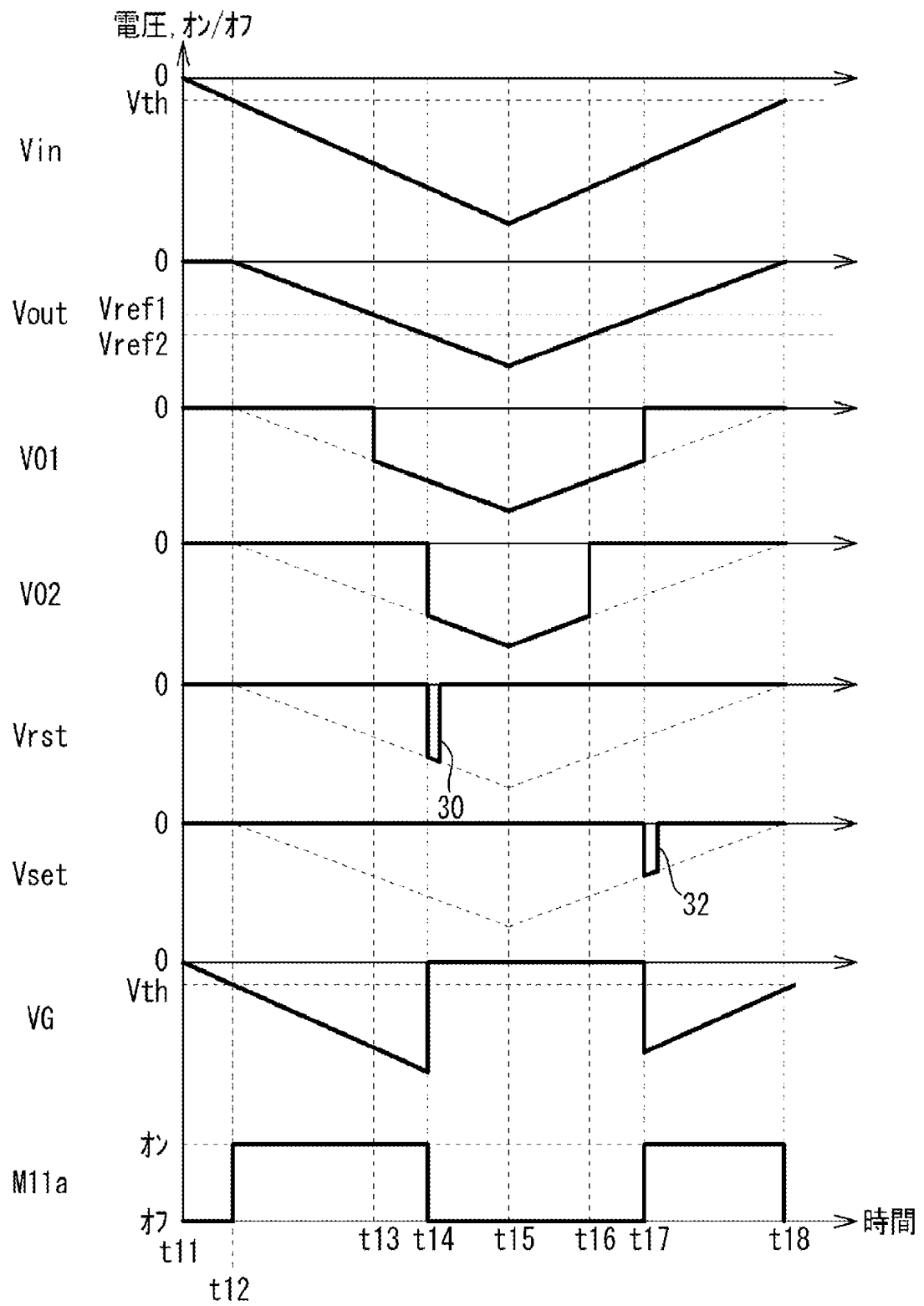
[図11]



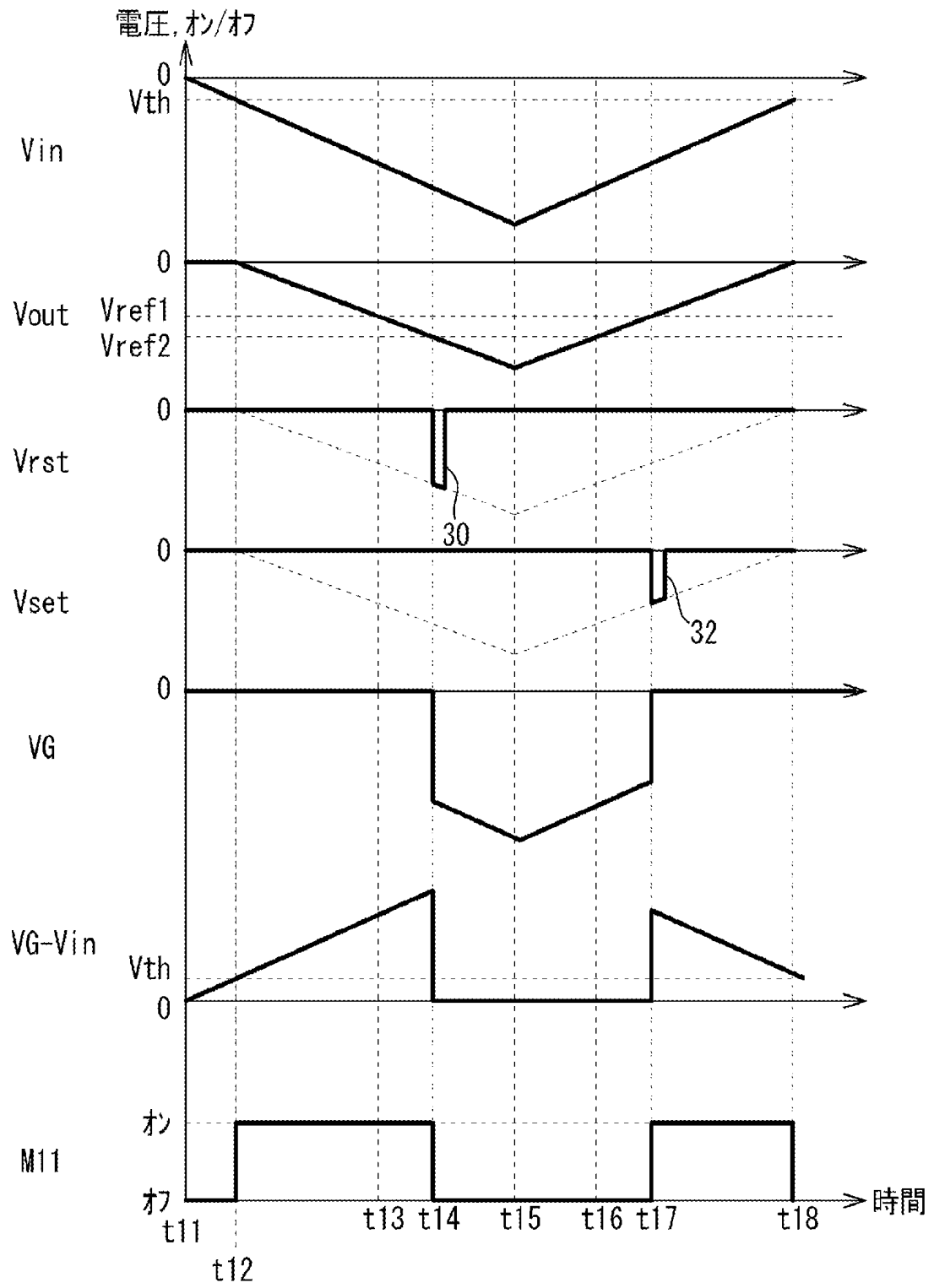
[図12]



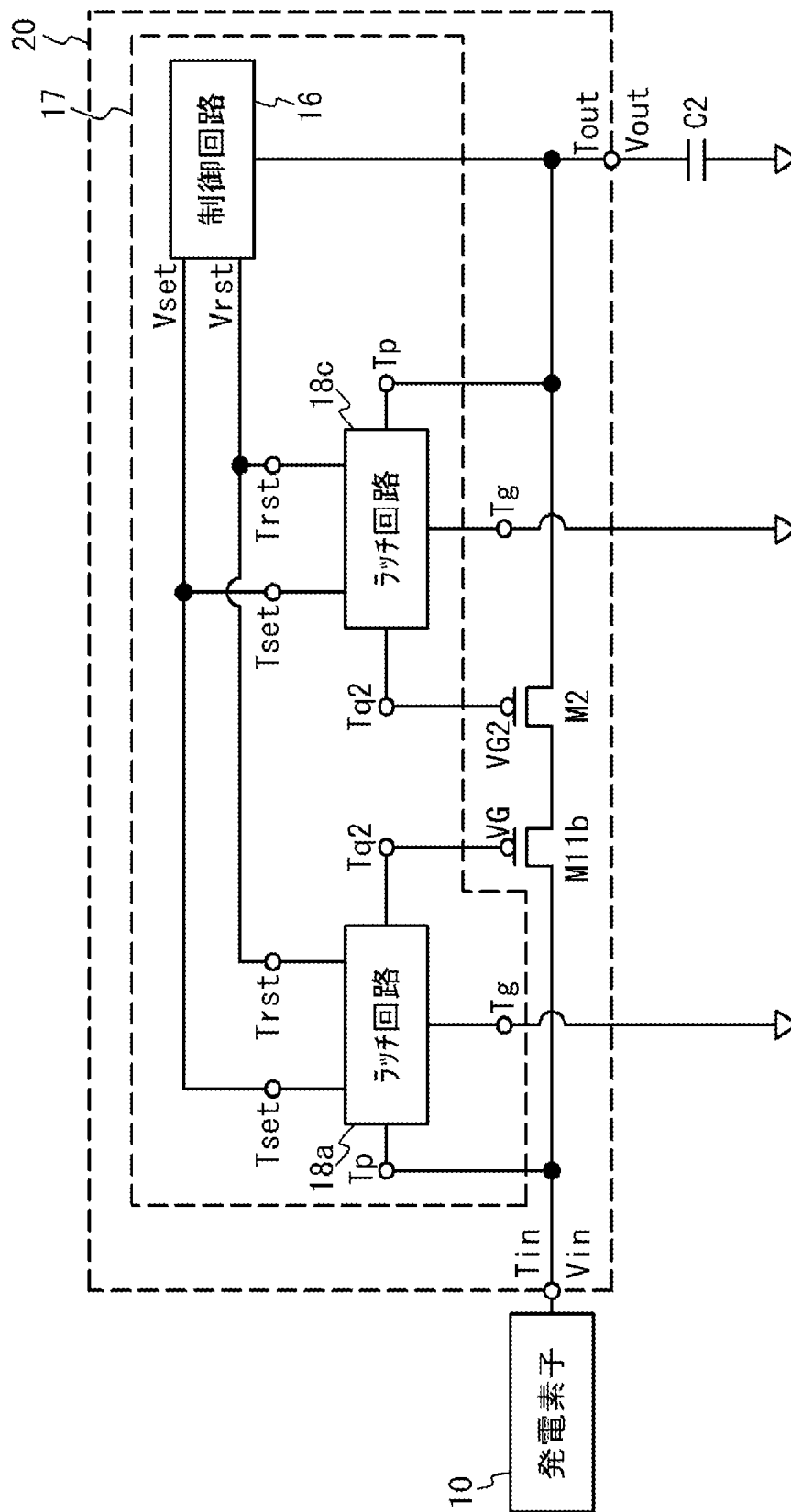
[図13]



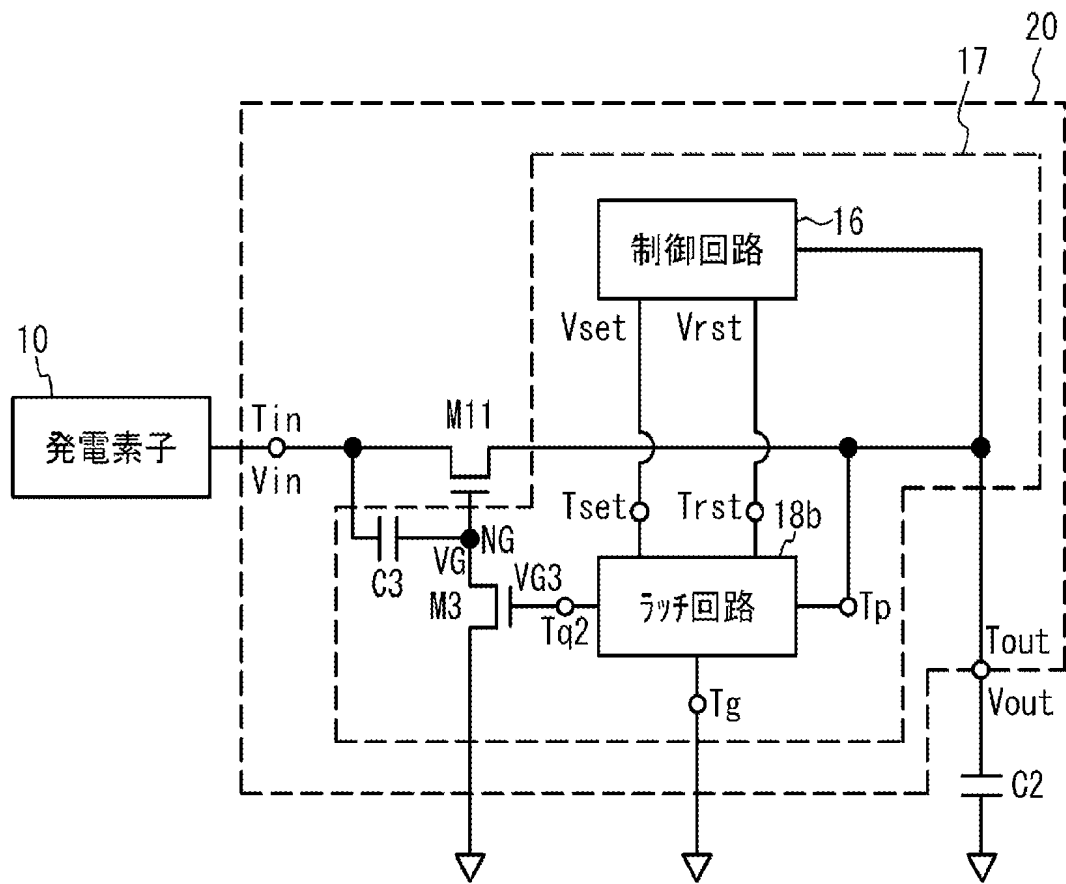
[図14]



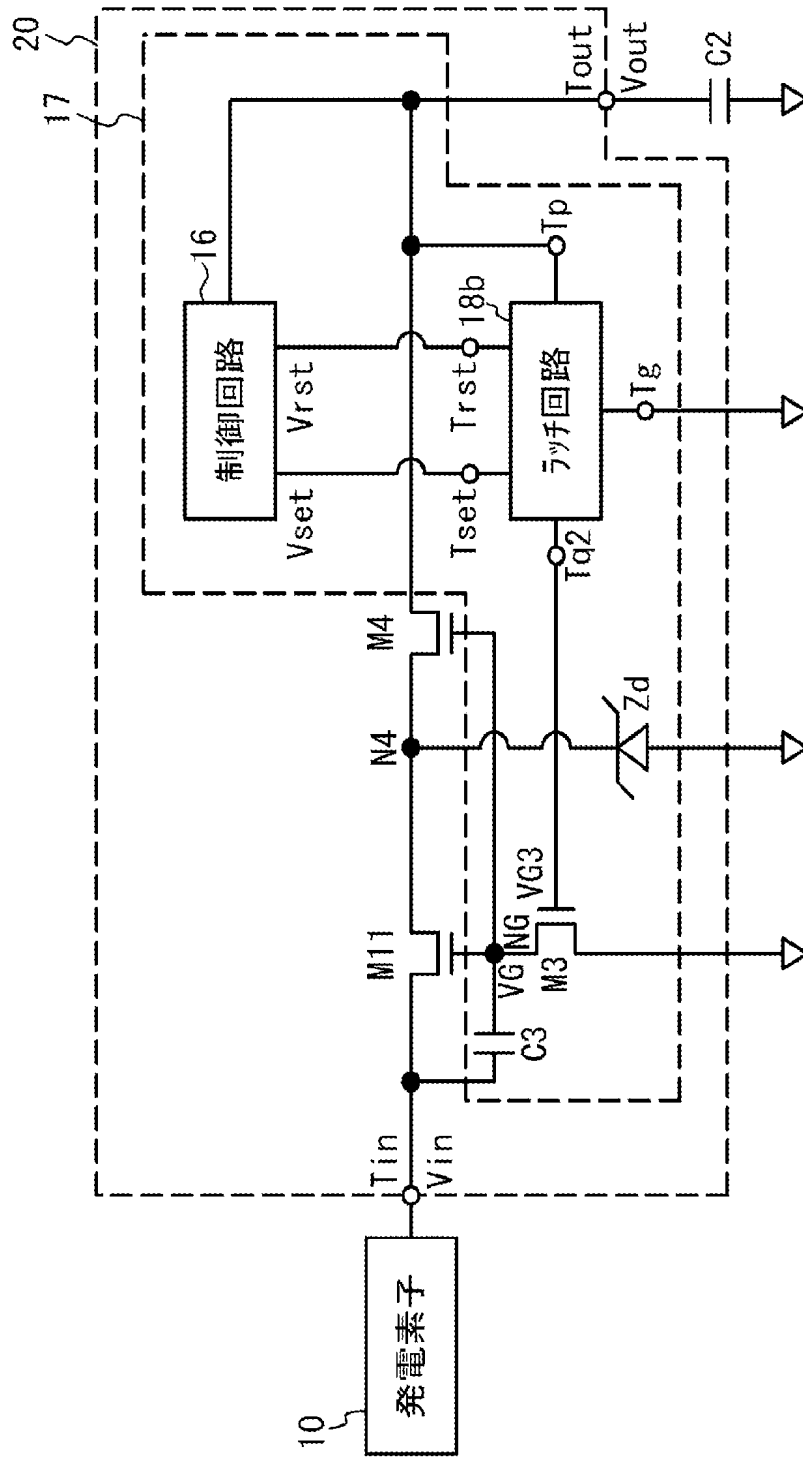
[図15]



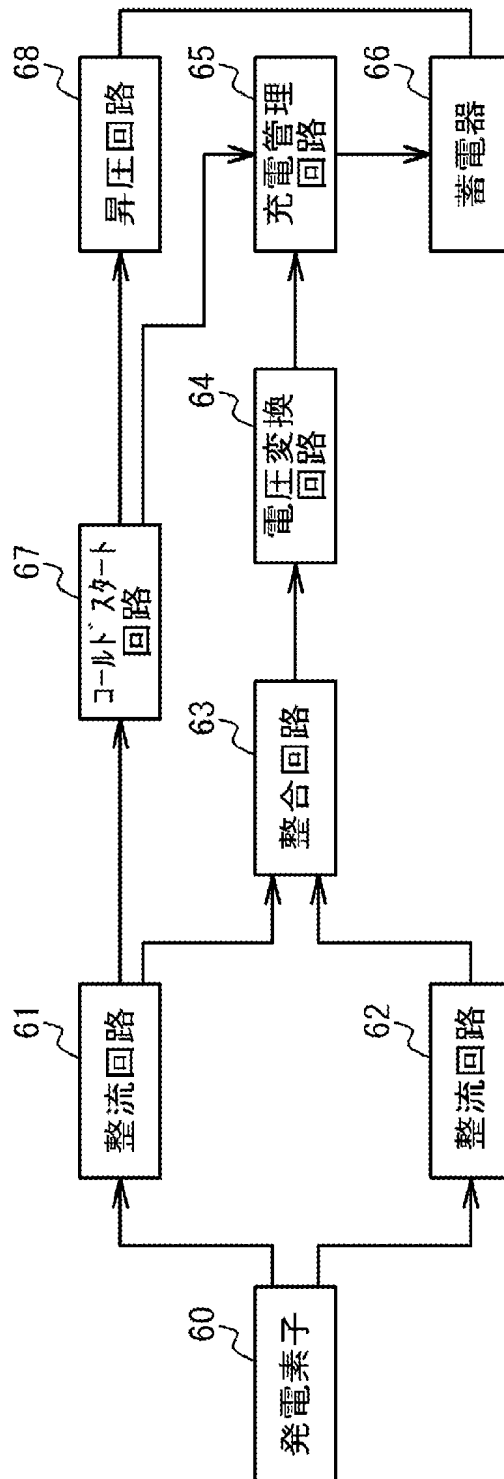
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/014036

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H03K 17/687</i> (2006.01); <i>H02M 1/08</i> (2006.01); <i>H02M 3/155</i> (2006.01); FI: H02M3/155 B; H03K17/687 G; H02M1/08 A		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K17/687; H02M1/08; H02M3/155		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-171266 A (ASAHI KASEI ELECTRONICS CO., LTD.) 28 September 2015 (2015-09-28) paragraphs [0008]-[0016], [0018], [0026], [0044], fig. 1-6	1, 14
Y		2-9
A		10-13, 15-19
Y	JP 2021-15323 A (FUJI ELECTRIC CO., LTD.) 12 February 2021 (2021-02-12) paragraphs [0014]-[0017], fig. 1	2-9
A	JP 2017-184304 A (FUJITSU LTD.) 05 October 2017 (2017-10-05) paragraphs [0073]-[0092], fig. 10-12	1-19
A	JP 2018-107963 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 05 July 2018 (2018-07-05) entire text, all drawings	1-19
A	US 2020/0321948 A1 (OREGON STATE UNIVERSITY) 08 October 2020 (2020-10-08) entire text, all drawings	1-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 June 2022		Date of mailing of the international search report 21 June 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/014036

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-171266	A	28 September 2015	(Family: none)	
JP	2021-15323	A	12 February 2021	(Family: none)	
JP	2017-184304	A	05 October 2017	US 2017/0279297 A1	paragraphs [0109]-[0136], fig. 10-12
JP	2018-107963	A	05 July 2018	US 2018/0183256 A1	
				JP 6152919 B1	
US	2020/0321948	A1	08 October 2020	US 2020/0321862 A1	

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/687(2006.01)i; H02M 1/08(2006.01)i; H02M 3/155(2006.01)i FI: H02M3/155 B; H03K17/687 G; H02M1/08 A</p>										
<p>B. 調査を行った分野</p>										
<p>調査を行った最小限資料（国際特許分類（IPC）） H03K17/687; H02M1/08; H02M3/155</p>										
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2022年									
日本国実用新案登録公報	1996 - 2022年									
日本国登録実用新案公報	1994 - 2022年									
<p>国際調査で使った電子データベース（データベースの名称、調査に使用した用語）</p>										
<p>C. 関連すると認められる文献</p>										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2015-171266 A (旭化成エレクトロニクス株式会社) 28.09.2015 (2015-09-28) 【0008】 - 【0016】 , 【0018】 , 【0026】 , 【0044】 , 図 1-6	1,14								
Y		2-9								
A		10-13,15-19								
Y	JP 2021-15323 A (富士電機株式会社) 12.02.2021 (2021-02-12) 【0014】 - 【0017】 , 図1	2-9								
A	JP 2017-184304 A (富士通株式会社) 05.10.2017 (2017-10-05) 【0073】 - 【0092】 , 図10-12	1-19								
A	JP 2018-107963 A (パナソニックIPマネジメント株式会社) 05.07.2018 (2018-07-05) 全文, 全図	1-19								
A	US 2020/0321948 A1 (OREGON STATE UNIVERSITY) 08.10.2020 (2020-10-08) 全文, 全図	1-19								
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>										
<p>* 引用文献のカテゴリー "A" 特に関連のある文献ではなく、一般的技術水準を示すもの "E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの "I" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） "O" 口頭による開示、使用、展示等に言及する文献 "P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 "T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの "X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの "Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの "&" 同一パテントファミリー文献</p>										
国際調査を完了した日	国際調査報告の発送日									
10.06.2022	21.06.2022									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 栗栖 正和 5G 3987 電話番号 03-3581-1101 内線 3526									

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2022/014036

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-171266 A	28.09.2015	(ファミリーなし)	
JP 2021-15323 A	12.02.2021	(ファミリーなし)	
JP 2017-184304 A	05.10.2017	US 2017/0279297 A1 [0109]-[0136], 図10-12	
JP 2018-107963 A	05.07.2018	US 2018/0183256 A1 JP 6152919 B1	
US 2020/0321948 A1	08.10.2020	US 2020/0321862 A1	